

1 紹介

1.1 機能

・ PCI 2.1 (2.2) 準拠の 32 ビット、33MHZ、アダプタや組込みシステムのための PCI 電源管理機能を持ったバス

・ マスター・インターフェース・コントローラーである。

・ 先進のデータ・パイプ技術を特色とする汎用目的のバス・マスター・インターフェースである。2つの DMA エンジン、プログラム可能なターゲットとイニシエータのデータ転送モード、PCI メッセージング機能を持つ。

・ PCI v2.2 生命維持製品データ (VPD) のコンフィグレーションをサポート

・ PCI デュアル・アドレス・サイクル (DAC) をサポート。

・ PCI のホット・プラグと CompactPCI のホット・スワップに対応。

・ I2O v1.5 レディ・メッセージング・ユニット。

・ 2つの独立した DMA チャンネルは、Local バスと PCI ホストバスとの間でデータ転送ができる。

・ Type0 と Type1 のコンフィグレーション・サイクルをサポート。

・ プログラム可能なバースト機能の管理

・ プログラム可能な割り込みジェネレータ

・ ゼロ・ウェイト・ステートのバースト機能のための 6 個のプログラム可能な FIFO。

・ 最大 132MB/s の PCI<->Local 間データ転送スピード。

・ 3.3V,5V 両電圧の対応の PCI と Local 信号をサポートする汎用の PCI アダプタ・デザイン、3.3V コア、176 ピン PQFP と 225 ピン PBGA の低電力 CMOS。

・ モトローラの MPC850/MPC860 Power QUICC、インテルの i960 ファミリー、IBM の PPC401 CPU、同様のバス・プロトコル・デバイスの Local バスへの直接接続をサポート。

・ プログラム可能な Local バスは、最大 50MHZ まで動作可能で、マルチプレクスしていない 32 ビット Address/Data バス、マルチプレクスしている 32 ビット、8,16,32 ビットの Local バス・デバイスのスレーブ・アクセス。

・ シリアル EEPROM インターフェース。

・ 3 個の PCI-to-Local アドレス空間。

・ プログラム可能な Local バス・ウェイト・ステート。

・ プログラム可能なプリフェッチ・カウンタ。

・ Local バスは、PCI バスに対して非同期で動作。

・ 8 個の 32 ビット・メール・ボックスと 2 個の 32 ビット・ドアベル・レジスタ。

・ Big インディアン<->Little インディアン変換を実行。

・ PCI-to-Local Delayed Read モード。

・ Local-to-PCI Deferred Read モード (M モードのみ)。

・ 50MHZ までのフレキシブルな 3.3V/5V 対応ローカルバス動作。

・ 工業温度範囲の動作

1.2. 会社と製造の背景

PLX Technology Inc.は、PCI-to-Local Bus I/O アクセラレータ・チップの世界的なリーダーであり、広

範囲で多様な PCI アプリケーションの OEM 客先をサポートします。客先のアプリケーションは、PC ワークステーションやサーバー、PCI アドイン・ボード、組み込み PCI 通信システム（ルーターやスイッチなど）、工業用 PCI 規格（CompactPCI、PMC、受動バックプレーン PCI など）を含みます。

PLX Technology Inc.は、PCI SIG、I2O SIG、PICMG、工業標準化委員会に積極的に参加し、先進の開発技術を維持し、Intel、IBM、HP、Motorola、Integrated Systems、WindRiver などの工業リーダーと相互マーケティング関係にあります。

PLX は、PCI 規格の完全なソリューションを提供することに努力し、リファレンス・デザイン・キット（RDK）とソフトウェア・デザイン・キット（SDK）という形で客先にデザインの援助を行っています。アプリケーションによっては、これらのキットがリファレンス・ボードや API ライブラリ、ソフトウェア・デバッグ・ツール、ソース付きのサンプル・デバイス・ドライバを含むかもしれません。これが客先が製品に新しいデザインをもたらすのを早めることができます。新しいツールやアプリケーション・ノート、FAQ、最新情報は、PLX の客先の便利のために、ウェブサイト（www.plxtech.com）に確実に加えられている。PCI インターフェースのための専門技術とトータル・ソリューションによって、客先は、複雑な PCI や I2O、CompactPCI 規格について心配すること無く、彼らのデザインに価値を加えることに集中できます。

1.2.1. PCI9054 I/O Accelerater

PCI9054 は、32 ビット、33MHZ、PCI バス・マスター I/O アクセラレータであり、最も先進的な汎用バス・マスター・デバイスに利用できます。それは、最大 132MB/s のバースト転送を可能にする、強力な PCI 規格 v2.2 の実現を提供します。PCI9054 は、DMA エンジン、プログラム可能な PCI イニシエータとターゲット・データ転送モード、及び PCI メッセージング機能を含む、データ・パイプライン機構の技術を、業界を牽引する PLX 社が取り入れるものです。

1.2.2. データ・パイプライン機構の技術

1.2.2.1. 2つの DMA チャンネル

- ・ 2つの独立したチャンネルが柔軟な優先順位付けの方法を提供します。
- ・ 無制限のバーストを含む、プログラム可能なバースト長
- ・ DMA の Direct hardware control
 - ・ Demand (要求) mode DMA のオペレーション
 - ・ Block mode あるいは Scatter/Gather (散らして / 集める) のオペレーション
 - ・ End of Transfer (EOT) (転送終了) の信号
- ・ Shuttle (往復する) mode DMA チャンネルのサポートが使用されている DMA descriptor (記述子) の自動的な無効を提供する。
- ・ 非整列の転送をサポートする。
- ・ ローカルなスレーブのみのデバイスからの PCI バス Mastering をサポート
- ・ Scatter/Gather (散らして / 集める) リストの管理
 - ・ descriptor (記述子) は、PCI バス、あるいは Local バスのメモリで見つけることができる。
 - ・ 独立の Scatter/Gather がマネージメントに知らせることを認める

1.2.2.2. PCI イニシエータ (ダイレクト・マスター)

- ・ Type0 と Type1 コンフィグレーション・サイクル
- ・ 全ての PCI メモリと I/O サイクルをサポート
- ・ Initiator Read 先読み
- ・ バースト長の制御をプログラムできる境界値ポインタ
- ・ 非整列転送の制御
- ・ Big/Little Endian 変換

1.2.2.3. PCI ターゲット (ダイレクト・スレーブ)

- ・ 複数の独立したアドレス空間
- ・ ダイナミックな Local バス幅の制御
- ・ ターゲット Read の先読み
- ・ Big/Little Endian 変換
- ・ Local バスの優先度を制御
- ・ PCI Latency Timer (待ち時間)

1.2.2.4. PCI メッセージ

- ・ メールボックスとドアベルのレジスタを持った完全なメッセージング・ユニット
- ・ I₂O プロトコル,あるいはカスタム・プロトコル下でメッセージ送受信のために使うことができるキュー管理ポインタ

1.2.3. PCI9054 アプリケーション

1.2.3.1. ハイ・パフォーマンスのモトローラ製 MPC850/MPC860 PowerQUICC のデザイン

PCI9054 のためのキー・アプリケーションは、モトローラ製の MPC850、または MPC860 ベースのテレコム用アダプタです。これらのアプリケーションは、WAN/LAN コントローラ・カード、高速度のモデム・カード、フレーム・リレー・カード、およびルーターやスイッチといった高いパフォーマンスコミュニケーションを含みます。PCI9054 は、MPC850 あるいは MPC860 プロセッサに直結するための、産業をリードする、改良したインターフェースを供給することによってデザインを簡単にします。3.3V、5V に耐性があり、最大 50MHZ の Local バス・オペレーションに接続できる、フレキシブルな PCI9054 は、現在と将来の PowerQUICC プロセッサに理想的に適合します。PCI9054 は、内部の MPC850 あるいは MPC860 の I/O と PCI バスの間とのデータの移動のための MPC850 あるいは MPC860 の IDMA チャンネルのサポートを提供します。さらに、PCI9054 は、図 1-3 に示されているように、制限のないバーストを可能にする、高度な Data Pipe Architecture の技術を利用します。

1.PowerQUICC IDMA オペレーションのために、PCI9054 は、IDMA ハンドシェイク・プロトコルの管理下で PCI バスへデータ転送します。

2.同時に、PCI9054 の Data Pipe Architecture 技術の DMA は、PCI9054 が両方のバス・マスターとしての状態で、Local バスから PCI バスへ、またはその逆に、データを送るのを管理することを双方向に制御されることが可能です。これは、PCI9054 が優れた一般的な目的のバス・マスターにパフォーマンス

スを提供する方法と、PowerQUICC プロセッサを利用したデザイナーに、多重同時入出力転送の機能を組み込む時に大きな柔軟性を提供する方法の第一の例です。PCI9054 は、無制限のバースト転送の能力を持っています。そして、それは、任意の MPC850 , あるいは MPC860 PowerQUICC のデザインの能力を高めます。

1.2.3.2. ハイ・パフォーマンスの CompactPCI アダプタのデザイン

PCI9054 のもう 1 つのキー・アプリケーションは、テレコムやネットワーク・アプリケーションのための CompactPCI アダプタです。これらのアプリケーションは、WAN/LAN コントローラ、高速モデム・カード、フレーム・リレー・カードや、テレコム・スイッチやリモート・アクセス・システムのための機能カードのような高機能な通信を含みます。

PCI9054 は、Hot Swap CompactPCI アダプタの活線挿入を可能にする、統一されたキーとなる機能を持っています。PCI9054 の PICMG v2.1 コンパチの Hot Swap Friendly PCI インターフェースは、Hot Swap Capable と Hot Swap Friendly の両方の機能を持っています。

1.2.3.2.1. Hot Swap Capable

- ・ PCI 仕様 v2.1 以上
- ・ VCC は、early power に耐える
- ・ 非同期リセットに対応
- ・ precharge 電圧に耐える
- ・ precharge 電圧がかかったときの I/O ピンの漏れ電流を制限する

1.2.3.2.2 Hot Swap Friendly

- ・ Hot Swap Control/Status register(HS_CSR)を取り入れた。
- ・ Extended Capability Pointer (ECP)の機構を取り入れた。
- ・ ENUM#のソフトウェア制御、エジェクタ・スイッチや、ユーザーに挿抜を知らせるステータス LED などのために追加されたリソースを取り入れた。

1.2.3.3. PCI バス組み込みホストのデザイン

PCI9054 のもう 1 つのアプリケーションは、ネットワーク・スイッチやルーター、プリンタ・エンジン、セット・トップ・ボックス、工業用装置のような PCI ホスト組み込みシステムのデザインです。このコンフィグレーションにおいて、PCI9054 の Data Pipe Architecture の技術は、ハイ・パフォーマンスな転送モードを許可します。さらに、PCI9054 は、システム内の他のデバイスやカードをコンフィグレーションすることができる、Type 0 と Type 1 の両方の PCI コンフィグレーション・サイクルをサポートします。

1.2.4 PCI9054 の概要

- ・ PCI v2.1 と v2.2 に準拠

PCI Power Management 仕様を含む、PCI 仕様 v2.1 と v2.2 の全ての内容に準拠。PCI Power Management 機構のための 4 つの電源状態 (D0,D1,D2,D3hot) と Power Management Event 割込み

(PME#) をサポート。

・ VPD サポート

Vital Product Data (VPD) PCI 拡張を完全にサポートします。それは、VPD のための拡張 ROM 以外の交互にアクセスする方法を提供します。

・ PCI Dual-Address Cycle (DAC) をサポート (64 ビット・アドレス空間)

下位 4GB のアドレス空間を超える PCI Dual Address Cycle をサポート。PCI DAC は、PCI9054 PCI Bus Master operation (DMA, PCI Initiator) の間、使うことができます。

・ PCI Hot Plug と CompactPCI Hot Swap に準拠

PCI Hot Plug と CompactPCI Hot Swap アダプタの仕様に準拠。

・ I2O Ready Messaging Unit

I2O Ready Messaging Unit を取り入れている。これは、アダプタ、あるいは組み込みシステムが他の I2O サポート・デバイスと通信するのを可能にします。I2O Messaging Unit は、I2O 仕様 v1.5 の PCI 拡張と完全にコンパチです。

・ プログラム可能な FIFO を持った 2 つの独立なプログラム可能 DMA

共有されるプログラム可能な FIFO を持った 2 つの独立なプログラム可能な DMA コントローラを提供します。それぞれのチャンネルが Block DMA と Scatter/Gather DMA をサポートします。同様に End of Transfer (EOT) モードをサポートします。PCI9054 は、DMA チャンネル 0 のための Demand Mode DMA をサポートします。

・ PCI Host Capability

PCI イニシエータ・モードにおいて、PCI9054 は、Type 1 と Type 0 PCI Configuration サイクルをサポートできます。

・ ウェイトステート無しのバースト機能のための 6 個のプログラム可能な FIFO

次の表は、FIFO の深さを列挙します。

表 1-1 FIFO の深さ

FIFO	長さ
PCI Initiator Read	16 Lwords
PCI Initiator Write	32 Lwords
PCI Target Read	16 Lwords
PCI Target Write	32 Lwords
DMA Read	32 Lwords

DMA Write	32 Lwords
-----------	-----------

- ・最高 132 MB/sec の PCI <-> Local 間データ転送

- ・5V 耐圧のオペレーション

PCI9054 は、3.3V Vcc を必要とします。それは、PCI と Local の両方のバスにおいて、5V I/O 耐圧を持つ 3.3V の信号ドライブを提供します。

- ・Local バス直結インターフェース

モトローラ MPC850 あるいは MPC860 ファミリや、インテル i960 ファミリ、IBM PPC401 ファミリ、他の同等なバス・プロトコルを持つデバイスに対する、Local バス直結インターフェースをサポートします。

- ・プログラム可能な Local バス

最高 50 MHz で動作し、多重無しの 32 ビット・アドレス / データ・バスと、多重の 32 ビットと、8/16/32 ビットの Local バス・デバイスのスレーブ・アクセスをサポートします。

- ・シリアル EEPROM インターフェース

選択可能なシリアル EEPROM インターフェース (Local プロセッサが使われているときのみ選択可能) を含みます。これは、特殊なアダプタがユニークにするための情報 (例えば、ネットワーク ID あるいはベンダー ID) をロードするのに役立ちます。

- ・3 個の PCI-to-Local アドレス空間

PCI9054 は、PCI9054 が PCI ターゲット、あるいは PCI スレーブ・モードにあるとき、3 個の PCI-to-Local アドレス空間をサポートします。これらの空間 (空間 0、空間 1、外部 ROM 空間) は、何れの PCI バス・マスターにも、プログラム可能なウェイト・ステート、バス幅、バースト能力などを持つ Local メモリ空間にアクセスすることを許可します。

- ・プログラム可能な先読み (プリフェッチ) カウンタ

PCI9054 は、PCI ターゲット、あるいは PCI イニシエータの先読み (既知、あるいは未知のサイズ) 期間の先読みデータをプログラムできます。バースト・リードを実行するには、先読みが有効でなければいけません。先読みサイズは、マスターのバースト長と合うようにプログラムでき、Read Ahead モードのデータとして使うことができます。PCI9054 は、もしマスターがシングル・サイクルを発行したら、単位データ (8/16/32 ビット) を Read します。そうでない場合は、PCI9054 は、プログラムされたサイズを先読みします。

- ・Mailbox レジスタ (Registers)

PCI、あるは Local バスからアクセスできる、8 個の 32 ビット Mailbox レジスタを持っています。

- ・ Doorbell レジスタ (Registers)

2 個の 32 ビット Doorbell レジスタを持っています。1 個が PCI バスから Local バスへの割り込みをアサートします。他の 1 個は、Local バスから PCI バスへの割り込みをアサートします。

- ・ Big/Little Endian 変換

PCI ターゲットや、PCI イニシエータ、DMA、Local バス上の内部レジスタ・アクセスのための、Big Endian (アドレス不変) と Little Endian (データ不変) 間のオペレーションのダイナミック・スイッチングをサポートします。PCI9054 は、空間 0、空間 1、拡張 ROM 空間のための on-the-fly Endian 変換をサポートします。Local バスは、BIGEND#入力ピンを使うか、プログラム可能な内部レジスタをコンフィグレーションすることによって、Big/Little Endian にできます。BIGEND#がアサートされると、Local バス上への PCI イニシエータと内部レジスタのアクセス中、内部レジスタのコンフィグレーションをオーバーライドします。

<注意> PCI バスは、常に Little Endian です。

- ・ プログラム可能な Local バス・モード

PCI9054 は、モード・ピンを選択して、3 つの Local バス・タイプ (M/C/J モード) の内の 1 つに、PCI バスを接続できる、PCI バス

- ・ マスター・インターフェース・チップです。

PCI9054 は、小さな、あるいはグルー・ロジックの全く無いのと同様なデザインを持つ Local バスに接続されるかもしれません。表 1-2 に 3 つのリストを示します。

表 1-2 プログラム可能な Local バス・モード

モード	説明
M	32 ビット・アドレス / 32 ビット・データ、MPC850 あるいは MPC860 への非多重直結インターフェース
C	32 ビット・アドレス / 32 ビット・データ、非多重
J	32 ビット・アドレス / 32 ビット・データ、多重

- ・ クロック

Local バス・インターフェースは、Local クロックから必要な内部クロックを供給して動作します。このクロックは、PCI クロックと非同期で動作します。

- ・ Read Ahead Mode

Read Ahead Mode をサポートします。先読みされたデータを、Local バスの代わりに、PCI9054 内部の PCI Target Read FIFO から読み出すことができます。アドレスは、前のアドレスに連続していなければなりません。さらに、32 ビット整列 (次のアドレス = 現在のアドレス + 4) していなければなりません。この機能は、バンド幅の増加とデータレイテンシの減少を考慮しています。

- ・ M モード・オペレーション

PCI9054 は、モトローラ MPC850 あるいは MPC860 RISC プロセッサとのシームレスなインターフェースを持ってデザインされています。PCI9054 は、MPC850 あるいは MPC860 と、5 個の可能な Data-Transfer モードを使って通信します。

- ・ Configuration Register アクセス
- ・ PCI イニシエータ・オペレーション
- ・ PCI ターゲット・オペレーション
- ・ DMA オペレーション
- ・ IDMA/SDMA オペレーション

- ・ C と J モード・オペレーション

PCI9054 は、インテル i960 と IBM PPC401 ファミリ RISC プロセッサとのシームレスなインターフェースを持ってデザインされています。PCI9054 は、これらのプロセッサと、4 個の可能な Data-Transfer モードを使って通信します。

- ・ Configuration Register アクセス
- ・ PCI イニシエータ・オペレーション
- ・ PCI ターゲット・オペレーション
- ・ DMA オペレーション

- ・ 割込みジェネレータ

PCI と Local 割込みを外部と内部のソースからアサートできます。

- ・ 非整列の DMA 転送をサポート

PCI と Local アドレス空間のどんなバイト境界の組み合わせのデータでも転送できます。

- ・ バス・モードをキープ (M モード)

PCI9054 は、もし PCI Target Write FIFO が満杯になったら、ウェイト・ステートを発生することによって、PCI バスをキープするようにプログラムできます。PCI9054 は、もし PCI Target Write FIFO が空になったり、PCI Target Read FIFO が満杯になったら、Local バス (BB#がアサートされる) をキープするようにプログラムできます。Local バスは、Local Bus Latency Timer がイネーブルで終了したとき、どちらかのケースになります。

- ・ バス・モードをキープ (C と J モード)

PCI9054 は、もし PCI Target Write FIFO が満杯になったら、ウェイト・ステートを発生することによって、PCI バスをキープするようにプログラムできます。PCI9054 はまた、もし PCI Target Write FIFO が空になったり、PCI Target Read FIFO が満杯になったら、Local バス (LHOLD がアサートされる) をキープするようにプログラムできます。Local バスは、Local Bus Latency Timer がイネーブルで終了したとき、どちらかのケースになります。

- ・ 新機能の仕組み

PCI ファンクションの追加機能を定義するための新機能レジスタをサポートします。

- ・ Posted Memory Writes

最大のパフォーマンスのためと、潜在的なデッドロックの事態を避けるために Posted Memory Writes (PMW)をサポートします。

- ・ RST#のタイミング

2 の 25 乗クロック未満の RST#のディアサートの後での最初のコンフィグレーションのアクセスに対する応答をサポートします。

- ・ Subsystem ID と Subsystem Vendor ID

System ID と Vendor ID に加えて、PCI コンフィグレーション・レジスタ空間の中に Subsystem ID と Subsystem Vendor ID を含みます。PCI9054 はまた、固定された Vendor ID(10B5h)と Device ID(9054h) を含みます。

- ・ Direct Bus Master

Local Bus Master からの PCI アクセスをサポートします。バースト転送は、メモリ・マップのデバイスのためにサポートされ、シングル転送は、メモリ・マップと I/O デバイスのためにサポートされています。PCI9054 はまた、PCI Bus interlock(LOCK#)サイクルをサポートします。

- ・ PCI ターゲット

Local バスに対するバースト・メモリ・マップとシングル I/O マップのアクセスをサポートします。Read FIFO と Write FIFO は、ハイ・パフォーマンスなバーストを可能にします。

1.2.5. PCI9054 のデータ割当ての規定

表 1-3 は、PCI9054 のデータ割当ての規定を示します。

表 1-3 PCI9054 のデータ割当ての規定

データ幅	PCI9054 の規定
1 バイト (8 ビット)	Byte
2 バイト (16 ビット)	Word
4 バイト (32 ビット)	Lword

1.2.5.1 PCI9050/9080 とのコンパチの程度

1.2.5.2 ピン・コンパチの程度

PCI9054 は、PCI9080、PCI9050 の何れともピン・コンパチではありません。

1.2.5.3 レジスタ・コンパチの程度

PCI9080 にインプリメントされているレジスタは、全て PCI9054 にインプリメントされています。PCI9054 は、多くの新しいビット定義と種々の新しいレジスタを含んでいます。（詳細は、セクション 11.1 を参照）

PCI9054 は、PCI9050 とレジスタ・コンパチではありません。

1.2.6 PCI9054, PCI9080, PCI9050 の比較

表 1-4 PCI9054, PCI9080, PCI9050 の比較

機能	PCI9054	PCI9080	PCI9050
パッケージ・サイズ/タイプ	176 PQFP, 225 PBGA	208 PQFP	160 PQFP
DMA チャンネル数	2	2	0
Local アドレス空間	3	3	5
PCI イニシエータ・モード	Yes	Yes	No
Mailbox レジスタ	8 x 32-bit	8 x 32-bit	8 x 32-bit
Doorbell レジスタ	2 x 32-bit	2 x 32-bit	2 x 32-bit
FIFO の数	6	8	-
FOFO の深さ - PCI Target Write and PCI Initiator Write	32 Lwords (128 bytes)	32 Lwords (128 bytes)	-
FOFO の深さ - PCI Target Read and PCI Initiator Read	16 Lwords (64 bytes)	16 Lwords (64 bytes)	2
FOFO の深さ - DMA チャンネル 0	32 Lwords (128 bytes) シングル双方向 Read/Write FIFO	32 Lwords (128 bytes) Read and Write FIFOs	N/A
FOFO の深さ - DMA チャンネル 1	16 Lwords (64 bytes) シングル双方向 Read/Write FIFO	16 Lwords (64 bytes) Read and Write FIFOs	N/A
ロック・サイクルのための LLOCKO#ピン	Yes	Yes	Yes
ウェイト・ステート発生のための WAIT#ピン	Yes	Yes	No
BPCLKo ピン;バッファされた PCI クロック	No	Yes	Yes
Demand Mode DMA をサポートする DREQ0#ピンと DACK0#ピン	Yes (1 チャンネルのみ)	Yes	No
レジスタ・アドレス	追加された機能に関連して追加されたレジスタを除いて PCI9080 に同じ	-	-
Big Endian と Little Endia の変換	Yes	Yes	Yes
PCI 仕様 v2.1 に従う Read	Yes	Yes	Yes
PCI仕様v2.2のPCI Power Management、PCI Hot Plug準拠、CompactPCI Hot Swap準拠	Yes	No	No
PCI v2.2 VPDをサポート	Yes	No	No
プログラム可能な先読みカウンタ	Yes	Yes	Yes
Memory Write and Invalidate Cycle	Yes	Yes	No
Device IDとVendor IDのレジスタ	Yes	Yes	No
I2O Messaging Unit	Yes	Yes	No
CoreとLocalバスのVcc	3.3V	5V	5V
PCIバスのVcc	3.3V	3.3/5V	5V
3.3V PCIバスとLocalバスの信号ドライブ	Yes	Yes (if PCI Vcc is 3.3V)	No
PCIバスとLocalバスの5V対応	Yes	Yes (if PCI Vcc is 3.3V)	Yes
シリアルEEPROMのサポート	2K bit, 4K bit devices	1K bit, 2K bit devices	-
シリアルEEPROMのReadコントロール	Vital Product Data Function を使って読み出し可能 (セクション 10 参照)	シリアル EEPROM コントロール・レジスタ (CNTRL) で読み出し可能	1K bit device

1.2.7 PCI 9054 信号リスト (M, C, あるいは J モード)

表 1-5. PCI 9054 PCI 信号リスト (M, C, あるいは J モード)

信号	モード	信号名	ピン数	機能
AD[31:0]	All	Address and Data	32	同じ PCI のピンに全てマルチプレクスされる。バス・トランザクションは、1つのアドレス・フェーズと1つ以上のデータ・フェーズからなる。PCI9054 は、Read と Write のバーストをサポートする。
C/BE[3:0]#	All	Bus Command and Byte Enables	4	同じ PCI のピンに全てマルチプレクスされる。トランザクションのアドレス・フェーズの間、バス・コマンドを決める。データ・フェーズの間、バイト・イネーブルとして使われる。詳細については、PCI 仕様を参照。
DEVSEL#	All	Device Select	1	能動的にドライブされたとき、ドライブしているデバイスがそのアドレスをカレント・アクセスのターゲットとしてデコードしたことを示す。入力として、そのバス上のどのデバイスが選択されたかを示す。
FRAME#	All	Cycle Frame	1	アクセスの開始と継続を示すためにカレント・マスターによってドライブされる。FRAME#は、バス・トランザクションが開始しつつあることを示すためにアサートされる。FRAME#がアサートされている間、データの転送は継続する。FRAME#がデアサートされたとき、そのトランザクションは、最後のデータ・フェーズにある。
GNT#	All	Grant	1	そのバスへのアクセスが許可されていることをエージェントに示す。
IDSEL	All	Initialization Device Select	1	コンフィグレーション Read と Write のトランザクションの間、チップセレクトとして使われる。
INTA#	All	Interrupt A	1	PCI 割り込み要求
IRDY#	All	Initiator Ready	1	イニシエータとなったエージェント(バス・マスター)がそのトランザクションの現在のデータ・フェーズを完了できることを示す。
LOCK#	All	Lock	1	いくつかのトランザクションの完了を要求するアトミック・オペレーションであることを示す。
PAR	All	Parity	1	AD[31:0]と C/BE[3:0]#を含む偶数パリティ。全ての PCI エージェントは、パリティの生成を要求する。PAR は、IRDY#が Write トランザクション時のアサート後、あるいは TRDY#が Read トランザクション時のアサート後の、安定した有効な 1 クロックである。1 度 PAR が有効になれば、現在のデータ・フェーズ完了後の 1 クロックまで有効のままである。
PCLK	All	Clock	1	PCI 上の全てのトランザクションのためのタイミングを提供する。PCI9054 は、33MHz まで動作する。
PERR#	All	Parity Error	1	スペシャル・サイクルを除く全ての PCI トランザクションの間、データ・パリティ・エラーを報告する。
PME#	All	Power Management Event	1	ウェイクアップ・イベント割り込み
REQ#	All	Request	1	このエージェントがそのバスを使わなければならないことをアービタに知らせる。全てのマスターがそれぞれ自身の GNT#と REQ#を持っている。
RST#	All	Reset	1	PCI 仕様のレジスタや、シーケンサ、信号を一貫したステートに持っていくために使われる。
SERR#	All	Systems Error	1	アドレス・パリティ・エラー、あるいはスペシャル・サイクル・コマンド上でのデータ・パリティ・エラー、重大な結果となる他のシステム・エラーを報告する。
STOP#	All	Stop	1	現在のターゲットが、マスターに現在のトランザクションを止めるよう要求していることを示す。
TRDY#	All	Target Ready	1	ターゲットのエージェント(選ばれたデバイス)がそのトランザクションの現在のデータ・フェーズを完了できることを示す。

表 1-6. PCI 9054Local 信号リスト (M, C, あるいは J モード)

信号	モード	信号名	ピン数	機能
ADS#	C,J	Address Strobe	1	有効なアドレスと新しいバス・アクセスの開始を示す。バス・アクセスの最初のクロックのためにアサートされる。
ALE	J	Address Latch Enable	1	アドレス・フェーズの間アサートされ、データ・フェーズの前と、次の LCLK の立ち上がりエッジの前にディアサートされる。
BB#	M	Bus Busy	1	省略
BDIP#	M	Burst Data in Progress	1	省略
BG#	M	Bus Grant	1	省略
BI#	M	Burst Inhibit	1	省略
BIGEND#/ WAIT#	All M	Big Endian Select WAIT Input/Output Select (WAIT#は、 M モードでのみ有効。)	1	マルチプレクスされた入出力ピン。PCI イニシエータ転送の Local バス・アドレス・フェーズ、あるいは Big Endian Byte ordering の使用を決めるためのコンフィグレーション・レジスタ・アクセスの間、アクセスされる。PCI イニシエータ転送のための Big Endian Byte order、あるいはコンフィグレーション・レジスタ・アクセスも、コンフィグレーション・レジスタを通してプログラムできる。WAIT#の説明は省略。
BLAST#	C,J	Burst Last	1	バス・アクセスの最後の転送を示すために、現在の Local バスのマスターによってドライブされる信号。
BR#	M	Bus Request	1	省略
BREQi	C,J	Bus Request	1	Local Bus Master がそのバスを要求していることを示すためにアサートされる。PCI9054 のコンフィグレーション・レジスタを通してイネーブルにされているなら、PCI9054 はこの信号がアサートされれば DMA 転送の間、そのバスをリリースする。
BREQo	C,J	Bus Request Out	1	PCI イニシエータ・アクセスが Local バス上で保留中に、PCI9054 が PCI Target PCI-to-Local バス・アクセスを実行するため、そのバスを要求していることを示すためにアサートされる。Local Bus Master に対して backoff をアサートするために外部ロジックとともに使うことができる。動作パラメータは、PCI9054 のコンフィグレーション・レジスタを通して設定される。
BTERM#	C,J	Burst Terminate	1	PCI9054 へ入力の場合： 4 Lwords までのバーストをするプロセッサのためにある。もし、Bterm Mode ビットが PCI9054 のコンフィグレーション・レジスタを通してディゼーブルに設定されていたら、PCI9054 もまた 4 Lwords までのバーストを行う。BTERM#は、1 つのバースト・サイクルを終わらせて、もう 1 つのアドレス・サイクルを発生させる原因となる Ready 入力である。PCI9054 のプログラム可能なウェイト・ステート発生器と関連して使われる。 PCI9054 から出力の場合： バーストの終了と新しいアドレス・サイクルの開始を要求するために、READY#といっしょにアサートされる。(PCI Abortsのみ)

表 1-6. PCI 9054 Local 信号リスト (M, C, あるいは J モード) (前ページの続き)

信号	モード	信号名	ピン数	機能
BURST#	M	Burst	1	省略
CCS#	All	Configuration Register Select	1	内部の PCI9054 レジスタは、CCS#が Low にアサートされているときに選択される。
DACK0#	All			USERi/DACK0#/LLOCKi#を参照。
DEN#	J	Data Enable	1	Local バスに取り付けられたデータ・トランシーバを制御するために、DT/R#と併用に使われる。
DMPAF	All			MDREQ#/DMPAF/EOT#を参照。
DP[0:3]	M	Data Parity	4	Local バス上の 4 バイト・レーンまでのそれぞれの偶数パリティである。パリティは、PCI9054 に対する Write、あるいは Read のためにチェックされる。パリティは、PCI9054 からの Read、あるいは PCI9054 による Write のためにアサートされる。
DP[3:0]	C,J			
DREQ0#	All			USERo/DREQ0#/LLOCKo#を参照。
DT/R#	J	Data Transmit/Receive	1	Local バスに取り付けられたデータ・トランシーバを制御するために、DEN#と併用に使われる。アサートされたら、PCI9054 がデータを受け取ったことを示す。
EECS	All	Serial EEPROM Chip Select	1	シリアル EEPROM のチップ・セレクト
EEDI/ EEDO	All	Serial EEPROM Data IN/ Serial EEPROM Data OUT	1	Write/Read のデータをマルチプレクスしているシリアル EEPROM のピン
EESK	All	Serial Data Clock	1	シリアル EEPROM のクロック・ピン
ENUM#	All	Enumeration	1	PCI9054 を使っているアダプタが新たに挿入されたとき、あるいは PCI スロットから外される準備が整ったとき、アサートされる割込み出力。
EOT#	All			MDREQ#/DMPAF/EOT#を参照
LA[28:2]	J	Local Address Bus	27	物理アドレスの中間の 27 ビットを運ぶ。バースト中、正しいデータ・サイクルを示すためにインクリメントする。下位 2 ビットの LA[3:2] は、32 ビット・メモリ・アドレスの Word アドレスを運ぶ。全ビットがバースト・アクセス中、インクリメントする。
LA[0:31]	M	Address Bus	32	物理アドレスの 32 ビットを運ぶ。
LA[31:2]	C		30	物理アドレス・バスの上位 30 ビットを運ぶ。バースト中、LA[31:2]は、正しいデータ・アクセスを示すため、インクリメントする。
LAD[31:0]	J	Address/Data Bus	32	アドレス・フェーズの間、バスは物理アドレスバスの上位 30 ビットを運ぶ。データ・フェーズの間、バスはデータの 32 ビットを運ぶ。

表 1-6. PCI 9054 Local 信号リスト (M, C, あるいは J モード) (前ページの続き)

信号	Mode	信号名	ピン数	機能
LBE[3:0]#	C	Byte Enables	4	次の様に、バス幅の設定に基づいてエンコードされる。 32 ビットバス 4 つのバイト・イネーブルは、データ・サイクルの間、4 バイトのどれがアクティブであるかを示す。 BE3# : Byte Enable 3 - LD[31:24] BE2# : Byte Enable 2 - LD[23:16] BE1# : Byte Enable 1 - LD[15:8] BE0# : Byte Enable 0 - LD[7:0] 16 ビットバス BE3# , BE1#と BE0# は、それぞれ BHE# , LA1 と BLE# を供給するためにエンコードされる。4 つのバイト・イネーブルは、データ・サイクルの間、4 バイトのどれがアクティブであるかを示す。 BE3# : 上位バイト・イネーブル (BHE#) - LD[15:8] BE2# : 使われない BE1# : アドレス・ビット1 (LA1) BE0# : 下位バイト・イネーブル (BLE#) - LD[7:0] 8 ビットバス BE1#と BE0# は、それぞれ LA1 と LA0 を供給するためにエンコードされる。 BE3# : 使われない BE2# : 使われない BE1# : アドレス・ビット1 (LA1) BE0# : アドレス・ビット 0 (LA0)
	J			次の様に、バス幅の設定に基づいてエンコードされる。 32 ビットバス 4 つのバイト・イネーブルは、データ・サイクルの間、4 バイトのどれがアクティブであるかを示す。 BE3# : Byte Enable 3 - LAD[31:24] BE2# : Byte Enable 2 - LAD[23:16] BE1# : Byte Enable 1 - LAD[15:8] BE0# : Byte Enable 0 - LAD[7:0] 16 ビットバス BE3# , BE1#と BE0# は、それぞれ BHE# , LAD1 と BLE# を供給するためにエンコードされる。4 つのバイト・イネーブルは、データ・サイクルの間、4 バイトのどれがアクティブであるかを示す。 BE3# : 上位バイト・イネーブル (BHE#) - LAD[15:8] BE2# : 使われない BE1# : アドレス・ビット1 (LAD1) BE0# : 下位バイト・イネーブル (BLE#) - LAD[7:0] 8 ビットバス BE1#と BE0# は、それぞれ LAD1 と LAD0 を供給するためにエンコードされる。 BE3# : 使われない BE2# : 使われない BE1# : アドレス・ビット1 (LAD1) BE0# : アドレス・ビット 0 (LAD0)
LCLK#	All	Local processor Clock	1	Local クロックの入力
LD[0:31]	M	Data Bus	32	バス幅の設定によって、8 ,16 ,32 ビットのデータ量を運ぶ。PCI9054 に対する全てのマスターのアクセスは、32 ビットのみである。
LD[31:0]	C			
LEDon/ LEDin	J	LEDon/LEDin	1	出力時は、Hot Swap board indicator LED として動作する。入力時は、CompactPCI ボードのラッチ・ステータスを監視する。
LFRAME#	All	PCI Buffered FRAME# Signal	1	PCI バスを動的に監視するために使われる。PBGA パッケージのみで有効。
LHOLD	C,J	Hold Request	1	Local バスの使用を要求するためにアサートされる。Local バスのアービタは、制御が許可されたとき LHOLDA をアサートする。

表 1-6. PCI 9054 Local 信号リスト (M, C, あるいは J モード) (前ページの続き)

信号	Mode	信号名	ピン数	機能															
LHOLDA	C,J	Hold Acknowledge	1	LHOLD への応答において制御が許可されたとき、Local バスのアービタによってアサートされる。もし、LHOLD によって要求されなければ、バスは PCI9054 に許可されない。															
LINT#	All	Local Interrupt	1	PCI9054 への入力時は、Low にアサートされたとき、PCI 割り込みが発生する。 出力時は、割り込み状態が存在する限りアサートされ続ける非同期レベル出力である。もし、割り込み状態が存在し続けるか、新しい割り込み状態が発生してエッジ割り込みが要求されたら、INTCSR を通して Local 割り込みをディゼーブルにしイネーブルにしてエッジを作る。															
LLOCKi#	All			USERi/DACK0#/LLOCKi# を参照															
LLOCKo#	All			USERo/DREQ0#/LLOCKo# を参照															
LRESETo#	All	Local Bus Reset Out	1	PCI9054 チップがリセットされたときアサートされる。Local プロセッサの RESET#入力をドライブするために使用できる。															
LSERR#	C,J	System Error Interrupt Output	1	PCI Bus Target Abort ビットがセット (PCISR[11]=1) されるか、Received Master Abort ビットがセット (PCISR[13]=1)されたとき、アサートされる同期レベル出力。もし、割り込み状態が存在し続けるか、新しい割り込み状態が発生してエッジ割り込みが要求されたら、interrupt/control を通して LSERR# 割り込みをディゼーブルにしイネーブルにしてエッジを作る。															
LW/R#	C,J	Write/Read	1	Read のときは Low に、Write のときは High にアサートされる。															
MDREQ#/ DMPAF/ EOT#	M All All	IDMA Data Transfer Request (MDREQ# is available at this location in M mode only) PCI Initiator Programmable Almost Full End of Transfer for Current DMA Channel	1	マルチプレクスされた入力、あるいは出力ピン。 MDREQ# : 省略 DMPAF : PCI Initiator Write FIFO Almost Full ステータスの出力。コンフィグレーション・レジスタを通してプログラムできる。 EOT# : 現在の DMA 転送の終了 注意 : EOT#は、汎用目的の EOT として使う。EOT#をアサートする前に、ユーザーは DMA チャンネルの動作を知るべきである。															
MODE[1:0]	All	Bus Mode	2	PCI9054 の動作モードを選択する。 <table border="1"> <thead> <tr> <th>Mode 0</th> <th>Mode 1</th> <th>Bus Mode</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>M</td> </tr> <tr> <td>1</td> <td>0</td> <td>J</td> </tr> <tr> <td>0</td> <td>1</td> <td>Reserved</td> </tr> <tr> <td>0</td> <td>0</td> <td>C</td> </tr> </tbody> </table>	Mode 0	Mode 1	Bus Mode	1	1	M	1	0	J	0	1	Reserved	0	0	C
Mode 0	Mode 1	Bus Mode																	
1	1	M																	
1	0	J																	
0	1	Reserved																	
0	0	C																	
RD/WR#	M	Read/Write	1	Read のときは High に、Write のときは Low にアサートされる。															
READY#	C,J	Ready Input/Output	1	PCI9054 がバス・マスターのとき、バス上の Read データが有効であり、Write データの転送が完了したことを示す。PCI9054 のプログラム可能なウェイト・ステート発生器とともに使われる。Local バス・アクセスが PCI9054 に対して作られたとき、バス上の Read データが有効であり、Write データの転送が完了したことを示す。															
RETRY#	M	Retry	1	省略															
TA#	M	Transfer Acknowledge	1	省略															

表 1-6. PCI 9054 Local 信号リスト (M, C, あるいは J モード) (前ページの続き)

信号	Mode	信号名	ピン数	機能
TEA#	M	Transfer Error Acknowledge	1	省略
TEST	All	Test Pin	1	テストのときは、High にプルアップ、通常は Low にプルダウン。 High にプルアップしたとき： USERo/DREQ0#/LLOCKo#と LEDon/LEDin を除く全ての出力は、トライステート状態になる。USERo/DREQ0#/LLOCKo#は、NANDTREE 出力になる。
TS#	M	Address Strobe	1	省略
TSIZ[0:1]	M	Transfer Size	2	省略
USERi/ DACK0#/ LLOCKi#	All	User Input Demand Mode DMA Acknowledge Local Lock Input	1	マルチプレクスされた入出力ピン。 USERi： PCI9054 のコンフィグレーション・レジスタを使って読み出すことができる汎用入力。 DACK0#： チャンネルがコンフィグレーション・レジスタを通して Demand モードで操作することをプログラムされているとき、この出力は、DMA 転送が実行されていることを示す。DACK0#は、PCI9054 の DMA Ch0 に対応する。 LLOCKi#： 実行すべき複数のトランザクションを要求するまとまった処理を示す。PCI バスに対するダイレクト Local アクセスのために PCI9054 によって使われる。
USERo/ DREQ0#/ LLOCKo#	All	User Output Demand DMA Request Local Lock Output	1	マルチプレクスされた入出力ピン。 USERo： PCI9054 のコンフィグレーション・レジスタから制御できる汎用出力。 DREQ0#： チャンネルがコンフィグレーション・レジスタを通して Demand モードで操作することをプログラムされているとき、この出力は、DMA 要求として働く。DREQ0#は、PCI9054 の DMA Ch0 に対応する。 LLOCKo#： 実行すべき複数のトランザクションを要求する PCI Target PCI-to-Local バス・アクセスのためのまとまった処理を示す。
VDD	All	Power (+3.3V)	15	コアと I/O バッファのために 3V を供給するピン。PCI9054 の近くに 0.01 ~ 0.1 μ F のデカップリング・コンデンサをたくさん置くべきです。
VSS	All	Ground	12	グラウンド・ピン。
WAIT#	C, J	Wait Input/Output	1	入力時は、PCI イニシエータが PCI バスにアクセスするときに PCI9054 に対してウェイト・ステートを入れるためにアサートされる。PCI イニシエータのためにある、外部マスターからの Ready 入力と考えることができる。 出力時は、内部ウェイト・ステート発生器がウェイトステートを発生させるとき、PCI9054 によってアクセスされる。PCI9054 の Ready ステータスを供給する出力と考えられる。
WAIT#	M	Wait Input/Output	1	省略

2. M モード動作 (省略)

3. M モードの機能 (省略)

4. C/J モードのバス動作

4.1. PCI バス・サイクル

PCI9054 は、PCI 仕様 v2.2 に準拠している。PCI バス機能については、PCI 仕様 v2.2 を参照。

4.1.1. PCI ターゲット・コマンド・コード

ターゲットのとき、PCI9054 は、表 4-1 のコマンド・リストを使って PCI9054 の内部レジスタと Local バスにアクセスすることを許す。

PCI9054 に対する全ての Read あるいは Write アクセスは、32 ビットとして定義された Byte , Word , Lword(longword)アクセスである。全てのメモリ・コマンドは、基本的なメモリ・コマンドにエイリアスされる。PCI9054 に対する全ての I/O アクセスは、Lword 境界にデコードされる。Byte イネーブルは、どの Byte が Read/Write されるかを決定するのに使われる。違法な Byte イネーブルの組み合わせを伴う I/O アクセスは、Target Abort で終わる。

表 4-1 PCI Target コマンド・コード

コマンド・タイプ	コード (C/BE[3:0]#)
I/O Read	0010 (2h)
I/O Write	0011 (3h)
Memory Read	0110 (6h)
Memory Write	0111 (7h)
Configuration Read	1010 (Ah)
Configuration Write	1011 (Bh)
Memory Read Multiple	1100 (Ch)
PCI Dual Address Cycle	1101 (Dh)
Memory Read Line	1110 (Eh)
Memory Write and Invalidate	1111 (Fh)

4.1.2. PCI マスター・コマンド・コード

PCI9054 は、DMA、あるいは PCI イニシエータの Local-to-PCI Bus 転送を実行するために PCI バスにアクセスできる。PCI イニシエータ転送、あるいは DMA 転送の間、PCI9054 内部レジスタ上 (CNTRL[15:0]) に割り付けられたコマンド・コードは、PCI コマンド・コード (DMA サイクルのための Memory Write and Invalidate モードのところ (DMPBAM[9]=1) を除く) として使われる。表 4-2 から表 4-5 は、いろいろな PCI マスター・コマンド・コードの表である。

注意：プログラム可能な内部レジスタは、PCI9054 がマスターのとき、PCI コマンド・コードを決定づける。DMA は、I/O アクセスやコンフィグレーション・アクセスを実行できない。

4.1.2.1. DMA マスター・コマンド・コード

PCI9054 の DMA コントローラは、表 4-2 に示すメモリ・サイクルをアサートできる。

表 4-2 DMA Master コマンド・コード

コマンド・タイプ	コード (C/BE[3:0]#)
Memory Read	0110 (6h)

Memory Write	0111 (7h)
Memory Read Multiple	1100 (Ch)
PCI Dual Address Cycle	1101 (Dh)
Memory Read Line	1110 (Eh)
Memory Write and Invalidate	1111 (Fh)

4.1.2.2. ダイレクト Local-to-PCI コマンド・コード

ダイレクト Local-to-PCI バス・アクセスのとき、PCI9054 は、表 4-3 から表 4-5 に示されたサイクルをアサートする。

表 4-3 Local-to-PCI メモリ・アクセス。

コマンド・タイプ	コード (C/BE[3:0]#)
Memory Read	0110 (6h)
Memory Write	0111 (7h)
Memory Read Multiple	1100 (Ch)
PCI Dual Address Cycle	1101 (Dh)
Memory Read Line	1110 (Eh)
Memory Write and Invalidate	1111 (Fh)

表 4-4 Local-to-PCI I/O アクセス

コマンド・タイプ	コード (C/BE[3:0]#)
I/O Read	0010 (2h)
I/O Write	0011 (3h)

表 4-1 PCI Target コマンド・コード

コマンド・タイプ	コード (C/BE[3:0]#)
Configuration Memory Read	1010 (Ah)
Configuration Memory Write	1011 (Bh)

4.1.3. PCI の調停

PCI9054 は、PCI バスを要求するときに REQ# をアサートする。Bus Master cycle の間に PCI9054 が FRAME# をアサートするとき REQ# をディアサートのために、あるいは Bus Master cycle 全体のためにアサートされた REQ# を保持するために、PCI Request Mode bit (MARBR[23]) を使ってプログラムできる。PCI9054 は、Target disconnect を含む Bus Master 所有権のほんの 2 つの PCI クロックの間、いつも REQ# をディアサートする。

PCI Initiator Write Delay bits (DMPBAM[15:14]) は、PCI Initiator Write cycle の間、PCI REQ# をアサートすることから PCI9054 に遅延をかけるようにプログラムできる。DMPBAM は、PCI9054 が Local Bus Master から最初の Write データを受け取って PCI Write transaction を始める準備ができた後に、0, 4, 8, 16 個の PCI Bus クロックのウェイトを入れるようにプログラムできる。この機能は、Local Master がバーストを行っているときや、Local Bus クロックが PCI Bus クロックより遅いアプリケー

ションの場合に有効である。これは、Write データを PCI9054 の PCI Initiator Write FIFO に蓄積させ、それは、PCI Bus の効率の良い使い方を提供する。

4.2 LOCAL BUS CYCLES

PCI9054 は、PCI Host bus を、表 4-6 と表 4-7 にあるいろいろな Local Bus タイプにインターフェースさせる。3つのモードのうちに1つで動作する。3つのモードは、MODE[1:0] (PQFP-157,156 番ピン; PBGA-B7,E8 番ピン)で選択され、M,J,C の3つのバス・タイプに相当する。

表 4-6 Local Bus Types (176-Pin PQFP)

157 番 Pin	156 番 Pin	モード	Bus Type
1	1	M	32 ビット、非多重
1	0	Reserved	-
0	1	J	32 ビット、多重
0	0	C	32 ビット、非多重

表 4-7 Local Bus Types (225-Pin PBGA)

B7 番 Pin	E8 番 Pin	モード	Bus Type
1	1	M	32 ビット、非多重
1	0	Reserved	-
0	1	J	32 ビット、多重
0	0	C	32 ビット、非多重

4.2.1 Local Bus Arbitration

PCI9054 は、Local Bus に要求するために L_HOLD をアサートする。PCI9054 は、L_HOLD と L_HOLD_A がアサートされたとき Local Bus の所有権を得る。PCI9054 は、DMA、あるいは PCI Target Write 転送中に BREQ_i のアサートを認識したとき、もし、次の状態が存在するなら、L_HOLD をディアサートし、Local Bus 出力をフロート状態にして、2 個の Lword 転送以内に Local Bus をリリースする。

- BREQ_i がアサートされ、イネーブルになっている
- Gating がイネーブルになっており、Local Bus Latency Timer がイネーブルになり、満了している (MARBR[27, 7:0])

Local Arbiter は、もう1つの Local Master に Local Bus の使用权を今与えることができる。L_HOLD_A がディアサートされ、Local Bus Pause Timer が0になったことを PCI9054 が認識したとき、Local Bus を要求するために L_HOLD を再びアサートする。PCI9054 は、L_HOLD_A を受け取ったら、バスをドライブし、転送を継続する。

注意： Local Bus Pause Timer は、DMA 動作にのみ影響する。PCI Target 動作には影響しない。

4.2.2 PCI Initiator

Local Bus cycles は、Single、あるいは Burst cycles を実行できる。BLAST#信号は、もし、Single、あるいは Burst cycles が実行されているなら、それを終了するために使われる。もし、BLAST#信号が、最初のデータ・フェーズの始まりでアサートされたら、PCI9054 は、そこで Single PCI Bus cycle を実行する。そうでない場合、PCI9054 は、Burst PCI Bus cycle を実行し、BLAST#はそのサイクルの終了のた

めに使われる。Local Bus Target のとは、PCI9054 は内部レジスタと PCI Bus に対するアクセスを許可する。PCI9054 に対する、32 ビットでない PCI Initiator アクセスは、単純な外部ロジック（31 ビット・バスにデータを接続するためのラッチ・アレイ）を要求する。

PCI9054 に対する Local Bus PCI Initiator アクセスは、パイプラインでない 32 ビット・バスのためのものでなければならない。

4.2.3 PCI Target

PCI Bus Master は、Local Bus（PCI9054 が PCI Bus Target と Local Bus Master である）からの読み出しと書き込みを行う。

4.2.4 Wait State Control

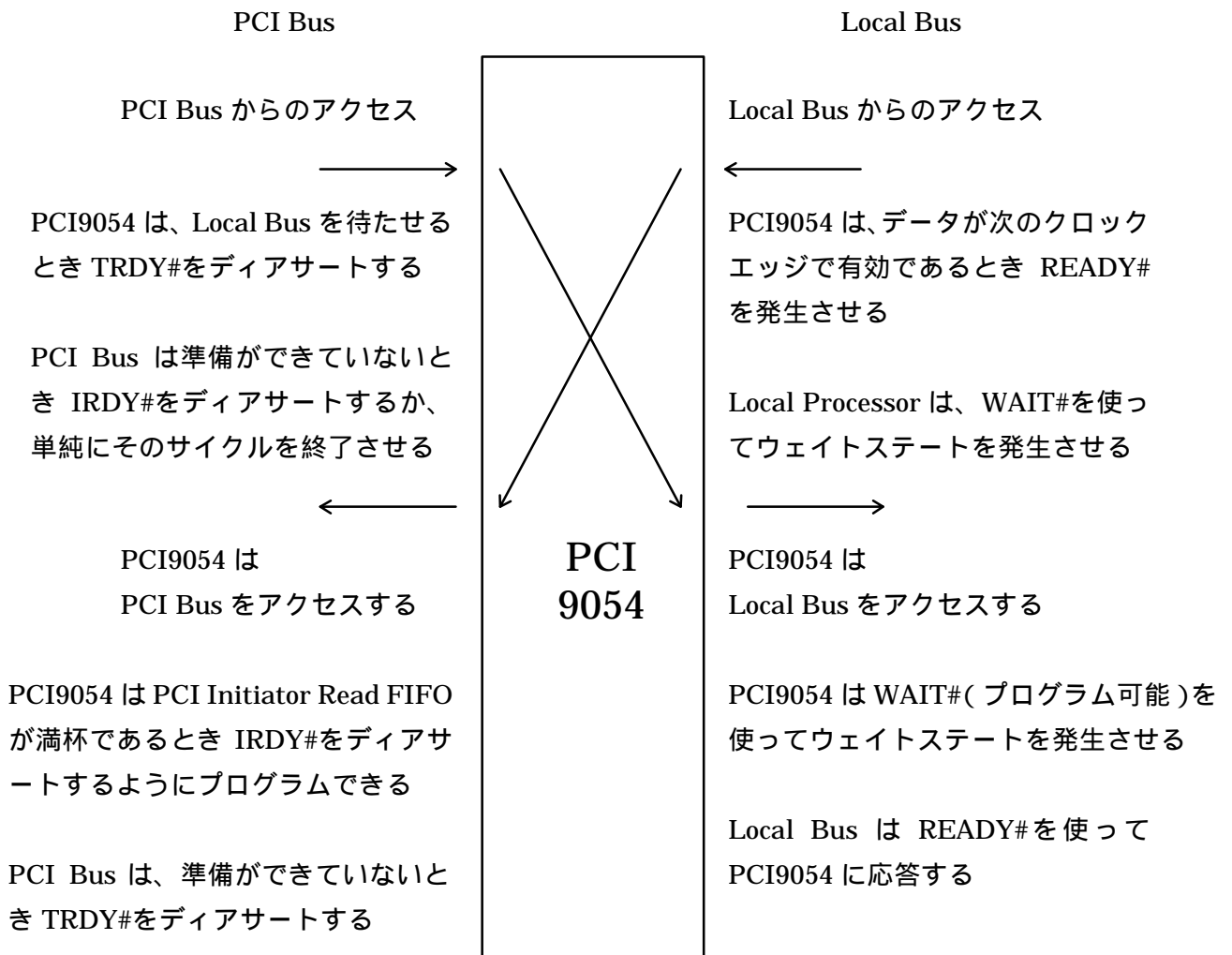


図 4-1 Wait States

注意：上図は Bus cycles のシーケンスを表している。

もし、READY#モードがディゼーブルなら、外部 READY#入力信号は Local アクセスのための Wait states に影響を与えない。Data cycles 間の Wait states は、Wait state counter によって、内部的にアサートされる。Wait state counter は、各データ・アクセスのときに Configuration register の値に初期化される。

もし、READY#モードがイネーブルなら、Wait state counter が 0 になるまで影響を与えない。READY# は、そのとき追加する Wait states 数を制御する。

BTERM#入力は、Wait state counter が 0 になるまでサンプルされない。BTERM#は、BTERM#がイネーブ

ルになりアサートされたとき READY#を無効にする。

4.2.4.1 Wait States-Local Bus

PCI Initiator モードにあり、PCI9054 のレジスタにアクセスしているとき、PCI9054 は Local Bus Slave として動作する。PCI9054 は、READY#信号を遅らせて Wait states をアサートする。Local processor は、WAIT#信号を使って Wait states をアサートする。

PCI Target と DMA モードのとき、Local Bus Master として動作する。PCI9054 は、WAIT#信号を使って内部 Wait states を挿入する。Local processor は、READY#信号を遅らせて外部 Wait states をアサートする。

Internal Wait State bit(s) (LBRD0[21:18, 5:2], (LBRD1[5:2]), DMAMODE0[5:2], and/or DMAMODE1 [5:2])は、最初の address-to-data (そして Burst モードでの次に続く data-to-data) の間の内部 Wait states 数をプログラムするために使われる。