



FLEX 10KE

エンベデッド・プログラマブル・
ロジック・ファミリ

1999年 5 月 ver. 2

Data Sheet

特長

Preliminary Information (暫定仕様)

- シングル・デバイス内にSystem-on-a-Programmable-Chip™の集積化を実現するエンベデッド・プログラマブル・ロジック・デバイス (PLD) ファミリ
 - 拡張強化されたエンベデッド・アレイにより、効率的なメモリや特殊な論理機能などのメガファンクションを実現
 - エンベデッド・アレイ・ブロック (EAB) あたり最大16ビットまでのデータ幅が実現可能なデュアル・ポート構造
 - 汎用ロジック機能を実現するためのロジック・アレイ
- 高集積
 - 30,000から200,000標準ゲート (表 1 と表 2 を参照)
 - EABあたり4,096ビット、最大98,304ビットまでのRAMをロジックのリソースを減少させることなく使用可能
- システム・レベルの機能
 - MultiVolt™ I/Oピン機能により、2.5V、3.3V、5.0Vデバイスとのインタフェースをサポート
 - 低消費電力
 - 最高250MHzまでの高性能を実現する双方向I/O (t_{SU} と t_{CO})
 - Peripheral Component Interconnect Special Interest Group (PCI SIG) の *PCI Local Bus Specification, Revision 2.2* で規定されている33MHzまたは66MHzの3.3V動作仕様に完全準拠
 - -1スピード・グレードのデバイスは、*PCI Local Bus Specification, Revision 2.2* で規定されている5.0V動作仕様に完全準拠
 - IEEE Std. 1149.1-1990仕様に準拠したJoint Test Action Group (JTAG) のバウンダリ・スキャン・テスト (BST) 回路を内蔵し、デバイス内のロジック・リソースを使用することなくJTAG BST回路が使用可能

表 1 FLEX 10KEデバイスの機能

機 能	EPF10K30E	EPF10K50E EPF10K50S	EPF10K100B
標準ゲート数 注(1)	30,000	50,000	100,000
最大システム・ゲート数	119,000	199,000	158,000
ロジック・エレメント (LE) 数	1,728	2,880	4,992
EAB数	6	10	12
トータルRAMビット数	24,576	40,960	24,576
最大ユーザI/Oピン数	220	254	191

表 2 FLEX 10KEデバイスの機能

機 能	EPF10K100E	EPF10K130E	EPF10K200E EPF10K200S
標準ゲート数 注(1)	100,000	130,000	200,000
最大システム・ゲート数	257,000	342,000	513,000
ロジック・エレメント (LE) 数	4,992	6,656	9,984
EAB数	12	16	24
トータルRAMビット数	49,152	65,536	98,304
最大ユーザI/Oピン数	338	413	470

注:

- (1) IEEE Std. 1149.1のJTAGバウンダリ・スキャン・テストを必要とするデザインには、内蔵のJTAG回路により、最大31,250ゲート分の集積度が上記の標準ゲート数に追加されることになります。



5.0VのFLEX 10Kまたは3.3VのFLEX 10KAデバイスに関する情報については、「*FLEX 10K Embedded Programmable Logic*」のデータシート（日本語版有り）をご覧ください。

さらに多くの 特長

- 2.5Vの内部電源電圧で動作する最先端プロセスを採用
- 外部のコンフィギュレーション・デバイス、インテリジェント・コントローラ、またはJTAGポートを通じたイン・サーキット・リコンフィギュラビリティ (ICR) をサポート
- ClockLock™とClockBoost™のオプションにより、クロックの遅延とスキューを最小に抑え、クロック周波数の通倍機能を提供
- 低スキューのクロック分配ツリーを内蔵
- すべてのデバイスに100%実施されるファンクション・テストにより、テスト・ベクタやスキャン・チェーンの作成が不要
- コンフィギュレーション実行前および実行時におけるI/Oピンのブルアップ機能

■ 柔軟性の高いインタコネクト

- 連続した配線構造により、高速で予測可能な配線遅延を実現するFastTrack® インタコネクト
- アダー、カウンタ、コンパレータのような演算機能を高速で実現する専用キャリア・チェーン（ソフトウェア・ツールやメガファンクションが自動的に使用）
- 高ファン・インの高速論理機能を実現する専用カスケード・チェーン（ソフトウェア・ツールやメガファンクションが自動的に使用）
- 内部でトライ・ステートのネットが実現できるトライ・ステート・エミュレーション機能
- 最大6本までのグローバル・クロック信号と4本のグローバル・クリア信号

■ パワフルなI/Oピン

- 各ピンごとに設定可能なトライ・ステート出力カインェブル・コントロール
- 各I/Oピンごとに設定可能なオープン・ドレイン出力オプション

- スイッチング・ノイズを低減することができるプログラマブルな出力のスルー・レート・コントロール
- ピンごとにユーザ・セクタブルとなっているV_{CCIO}へのクランプ
- 活線挿抜をサポート
- WindowsベースのPC、Sun SPARCstation、HP 9000シリーズ700/800、IBM RISC System/6000の各ワークステーション上で動作するアルテラのMAX+PLUS® II 開発システム、およびWindowsベースのPC、Sun SPARCstation、HP 9000シリーズ700のワークステーション上で動作するQuartus™開発システムによるソフトウェア・デザイン・サポートと自動配置配線
- 柔軟性に富んだパッケージ・オプションを提供
 - 革新的なFineLine BGA™パッケージを含む144ピンから672ピンまでの豊富なパッケージ・オプション（表3と表4を参照）
 - デバイス集積度とピン数の異なるFLEX 10KAおよびFLEX 10KEデバイスとの間でSameFrame™ピン互換機能を提供
- EDIF（Electronic Design Interchange Format）2 0 0および3 0 0のネットリスト・ファイル、LPM（Library of Parameterized Modules）、DesignWare コンポーネント、Verilog HDL、VHDLなどとのインタフェースにより、デザインの入力とシミュレーションにはケイデンス、エグゼンプラ・ロジック、メンター・グラフィックス、OrCAD、シノプシス、シンプリシティ、ペリベスト、ビューロジックなどの各ベンダから供給される業界標準のEDAツールが使用可能

表3 FLEX 10KEのパッケージ・オプションとI/Oピン数 注(1)、(2)、(3)

デバイス名	144-Pin TQFP	208-Pin PQFP	240-Pin PQFP RQFP	256-Pin FineLine BGA	356-Pin BGA	484-Pin FineLine BGA	599-Pin PGA	600-Pin BGA	672-Pin FineLine BGA
EPF10K30E	102	147		176		220			220 (4)
EPF10K50E	102	147	189	191	220	254			254 (4)
EPF10K50S	102	147	189	191	220	254			254 (4)
EPF10K100B		147	189	191					
EPF10K100E		147	189	191	274	338			338 (4)
EPF10K130E			186		274	369		424	413
EPF10K200E							470	470	470
EPF10K200S			182		274	369	470	470	470

注：

- (1) 各パッケージの供給状況については、日本アルテラまたは販売代理店へお問い合わせください。
- (2) FLEX 10KEデバイスには、薄型クワッド・フラット・バック（TQFP）、プラスチック・クワッド・フラット・バック（PQFP）、ピン・グリッド・アレイ（PGA）、およびボール・グリッド・アレイ（BGA）の各パッケージが提供されています。
- (3) 同じパッケージのデバイスでもI/Oピン数が異なる場合がありますが、これらはピン互換で提供されます。使用デバイスを変更する可能性がある場合は、すべてのデバイスに共通になっているI/Oピンを使用してください。MAX+PLUS IIのバージョン9.1以降のソフトウェアでは、共通になっているI/Oピンのみを優先的に使用する機能がサポートされています。
- (4) このオプションは484ピンのFineLine BGAパッケージでサポートされる予定です。SameFrameマイグレーション機能を利用することによって、すべてのFineLine BGAパッケージにピン互換機能が提供されます。例えば、1種類のレイアウトで、256ピン、484ピン、または672ピンのFineLine BGAパッケージが使用できるボードのデザインが作成可能です。QuartusおよびMAX+PLUS IIのソフトウェアは、将来のパッケージ変更のオプションが設定されたときに、自動的にピンの競合が発生しないようにピンを配置します。

表 4 FLEX 10KEデバイスのパッケージ・サイズ

デバイス名	144-Pin TQFP	208-Pin PQFP	240-Pin PQFP RQFP	256-Pin FineLine BGA	356-Pin BGA	484-Pin FineLine BGA	599-Pin PGA	600-Pin BGA	672-Pin FineLine BGA
ピッチ (mm)	0.50	0.50	0.50	1.0	1.27	1.0	-	1.27	1.0
面積 (mm ²)	484	936	1,197	289	1,225	529	3,904	2,025	729
長さ×幅 (mm×mm)	22×22	30.6×30.6	34.6×34.6	17×17	35×35	23×23	62.5×62.5	45×45	27×27

概要

アルテラのFLEX 10KEデバイスは、従来のFLEX 10Kデバイスの機能をさらに拡張強化した製品です。リコンフィギュラブルなCMOSのSRAMエレメントをベースにしたFlexible Logic Element Matrix (FLEX) アーキテクチャは、一般的なゲートアレイ用メガファンクションの実現に必要なすべての機能を持っています。最大200,000ゲートの集積度を持つFLEX 10KEファミリは、複数の32ビット・バスを含むシステム全体の機能を1個のデバイスで実現するために必要な集積度、スピードそして回路機能を提供しています。

FLEX 10KEデバイスはリコンフィギュラブルとなっており、出荷前に100%テストされています。このため、設計者が故障検出用のテスト・ベクタを作成する必要がなく、デザインのシミュレーションと検証に注力できるようになります。また、FLEX 10KEデバイスでは要求される個々の機能をボード上でリコンフィギュレーションできるため、ゲートアレイの場合のようにデザインの異なるデバイスごとに在庫を管理する必要がありません。

表5は代表的なアプリケーションを実現したときのFLEX 10KEデバイスの性能を示したものです。すべての性能値はシノプシスのDesignWareまたはLPMファンクションを使用して得られたものです。各アプリケーションの実現には特別なデザイン・テクニックを必要とせず、使用するファンクションをVerilog HDL、VHDL、アルテラ・ハードウェア記述言語 (AHDL)、または回路図デザイン・ファイル内でインスタンス化するか、記述するだけです。

表5 FLEX 10KEデバイスの性能						
アプリケーション	使用リソース		性 能			単位
	LE数	EAB数	スピード・グレード			
			-1	-2	-3	
16ビット ローダブル・カウンタ	16	0	200	188	128	MHz
16ビット アキュムレータ	16	0	200	188	128	MHz
16対1マルチプレクサ 注(1)	10	0	3.2	4.3	5.5	ns
3 段パイプライン付き16ビット・マルチプライヤ 注(2)	544	0	93	86	64	MHz
256×16 RAMのリード・サイクル・スピード 注(2)	0	1	212	181	131	MHz
256×16 RAMのライト・サイクル・スピード 注(2)	0	1	142	128	94	MHz

注：

- (1) このアプリケーションは入出力に組み合わせ回路を使用しています。
 (2) このアプリケーションは入出力にレジスタ付き回路を使用しています。

表6 は、FLEX 10KEデバイスをさらに複雑なデザインに使用した場合の性能を示したものです。これらのデザインはアルテラのMegaCore™ファンクションとして提供されています。

表 6 複雑なデザインに使用された場合のFLEX 10KEデバイスの性能					
アプリケーション	LE数	性 能			単位
		スピード・グレード			
		-1	-2	-3	
16ビット、 8 TAP (Test Access Port) のパラレルFIR (Finite Impulse Response) フィルタ	420	185	175	122	MSPS
8 ビット、 512 ポイントのFFT (Fast Fourier Transform) ファンクション	1,854	47.4	57.8	76.5	μs
		100	82	62	MHz
a16450 UART (Universal Asynchronous Receiver/Transmitter)	342	66	57	44	MHz

FLEX 10KEのアーキテクチャは、ゲートアレイ市場で急速に普及しているエンベデッド・ゲートアレイに近い構造となっています。エンベデッド・ゲートアレイでは、汎用ロジックが標準的なゲートアレイと同じように一般的な“シー・オブ・ゲート”アーキテクチャの中で実現されます。また、エンベデッド・ゲートアレイは、大規模で特殊な論理機能を実現するためにダイの一部に専用のエリアを持っています。エンベデッド・ゲートアレイでは、こうした論理機能がシリコン上にエンベデッドに実現されるため、一般的なゲートアレイに比較してそのダイ・サイズが縮小され、スピードが改善されます。ただし、エンベデッドに実現されたメガファンクションをカスタマイズすることは一般的に不可能ですが、FLEX 10KEデバイスはプログラマブルとなっているため、設計者はデバッグの段階で設計変更を行いながら、エンベデッド・メガファンクションと汎用ロジックの双方をフルにカスタマイズすることができます。

FLEX 10KEの各デバイスには、エンベデッド・アレイとロジック・アレイとが内蔵されています。エンベデッド・アレイは多様なメモリ機能、ディジタル信号処理（DSP）、マイクロコントローラ、多ビット幅のデータ・バス操作、データ変換などのような複雑な論理機能を実現するときに使用されます。これに対して、ロジック・アレイはゲートアレイの“シー・オブ・ゲート”と同じ機能を持っており、カウンタ、アダー、ステート・マシン、マルチプレクサなどのような汎用のロジックを実現するときに使用されます。このエンベデッド・アレイとロジック・アレイを組み合わせることによって、FLEX 10KEデバイスにはエンベデッド・ゲートアレイと同じ高い性能と集積度が提供され、システム全体を1個のデバイスで実現することができます。

FLEX 10KEデバイスはシステム電源の投入時にアルテラのシリアル・コンフィギュレーション・デバイスにストアされたデータ、またはシステム・コントローラから供給されるデータによってコンフィギュレーションされます。アルテラはFLEX 10KEデバイスをシリアル・データ・ストリームでコンフィギュレーションするためのコンフィギュレーション・デバイスとして、EPC1、EPC2およびEPC1441の各製品を供給しています。コンフィギュレーション・データはシステム内のRAM、アルテラのBitBlasterTM、ByteBlasterTMまたはByteBlasterMVTMダウンロード・ケーブルからダウンロードすることもできます。（ByteBlasterケーブルは製造中止となり、2.5V、3.3V、5.0Vの各デバイスをコンフィギュレーションおよびプログラムできるByteBlasterMVで代替されています。）FLEX 10KEデバイスをコンフィギュレーションした後、デバイスをリセットして新しいデータをロードすることによって、イン・サーキットでリコンフィギュレーションすることができます。リコンフィギュレーションに要する時間は276ms以内であるため、システムの動作中にリアルタイムの変更を行うことができます。

FLEX 10KEデバイスには、マイクロプロセッサからFLEX 10KEデバイスをコンフィギュレーションするための最適化されたインタフェースが提供されており、マイクロプロセッサからシリアルまたはパラレル、同期または非同期でコンフィギュレーションすることが可能です。また、このインタフェースにより、マイクロプロセッサはFLEX 10KEデバイスをメモリとし

て扱うことができ、バーチャルなメモリ・アドレスにデータを書き込むことによってFLEX 10KEデバイスをコンフィギュレーションすることができるため、デバイスのリコンフィギュレーションが容易に行えます。



詳細については下記の資料を参照してください。

- 「*Configuration Devices for APEX & FLEX Devices*」のデータシート(日本語版有り)
- 「*BitBlaster Serial Download Cable*」のデータシート
- 「*ByteBlasterMV Parallel Port Download Cable*」のデータシート

FLEX 10KEデバイスのデザインはアルテラのQuartusおよびMAX+PLUS II 開発システムによってサポートされています。これらの開発ツールは、回路図、アルテラ・ハードウェア記述言語 (AHDL) を含むテキストおよび波形の各デザイン入力、コンパイルーション、論理合成、完全なシミュレーション、ワースト・ケースのタイミング解析、そしてデバイス・コンフィギュレーションまでの機能を 1 パッケージに統合した開発ツールです。QuartusとMAX+PLUS IIのソフトウェアはPCおよびUNIX上で動作する業界標準のEDAツールを使用したデザイン入力やシミュレーションをサポートするために、EDIF 2 0 0 および 3 0 0、LPM、VHDL、Verilog HDLなどのインタフェースも提供しています。

QuartusとMAX+PLUS II のソフトウェアは論理合成やシミュレーションに使用されるゲートアレイ用のEDAツールとも簡単にインタフェースすることができます。例えば、MAX+PLUS IIのソフトウェアはケイデンスのVerilog-XLなどのツールでシミュレーションを行うためのVerilog HDL ファイルを生成することができます。また、QuartusとMAX+PLUS II には、高速のカウンタや演算機能を実現するときに使用されるキャリー・チェインのような各デバイス固有の機能を使用したEDAライブラリも含まれています。例えば、QuartusとMAX+PLUS IIと共に供給されるシノプシスのDesign Compilerのライブラリには、FLEX 10KEのアーキテクチャに最適化されたDesignWareファンクションが含まれています。

MAX+PLUS II開発システムは、WindowsベースのPC、およびSun SPARCstation、HP 9000シリーズ700/800、IBM RISC System/6000の各ワークステーション上で動作します。また、Quartus開発システムは、WindowsベースのPC、およびSun SPARCstation、HP 9000シリーズ700のワークステーション上で動作します。



詳細については、「*MAX+PLUS II Programmable Logic Development System & Software*」および「*Quartus Programmable Logic Development System & Software*」のデータシートを参照してください。

機能の説明

FLEX 10KEの各デバイスは、メモリや特別な論理機能を実現するための機能強化されたエンベデッド・アレイと汎用のロジックを実現するためのロジック・アレイによって構成されています。

エンベデッド・アレイは複数のEABによって構成されています。エンベデッド・アレイにメモリの機能を実現する場合は、各EABに提供されている4,096ビット分のメモリ・エレメントを使用して、RAM、ROM、デュアル・ポートRAM、またはFIFO (First-In First-Out) を構成することができます。また、ロジックを実現する場合は、各EABに提供される100ゲートから600ゲートに相当するロジックのリソースを使用して、マルチプライヤ、マイクロコントローラ、ステート・マシン、DSP機能などの複雑なロジックを構成することができます。各EABは個別に独立して使用することができます。また大規模な論理機能を実現する場合には複数のEABを結合させて使用することもできます。

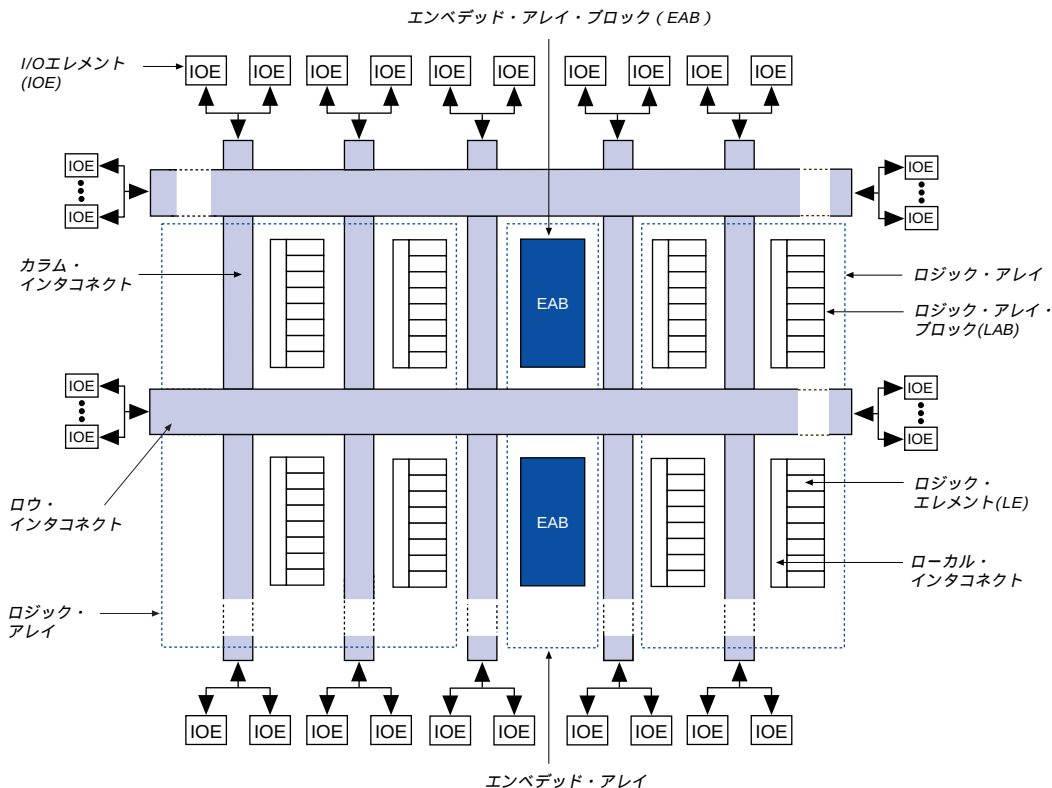
ロジック・アレイは複数のロジック・アレイ・ブロック (LAB) によって構成され、各LABは8個のLEとローカル・インタコネクトによって構成されています。1個のLEには4入力のルック・アップ・テーブル (LUT)、プログラマブルなフリップフロップが各1個含まれており、またキャリーとカスケードの機能を実現するための専用パスも含まれています。8ビットのカウンタ、アドレス・デコーダ、ステート・マシンなどの中規模の論理ブロックは8個のLEで構成することができ、複数のLABを使用してさらに大規模な論理ブロックを構成することもできます。1個のLABは約96ユーザブル・ゲートに相当する集積度を持っています。

FLEX 10KEデバイスの内部、およびデバイス・ピンとデバイス内部との信号の接続は、デバイス全体を縦方向および横方向に走っている高速で連続したロウ・チャンネルとカラム・チャンネルの配線バス、FastTrackインタコネクトによって行われます。

各I/Oピンは、ロウおよびカラムのFastTrackインタコネクトの先端に配置されているI/Oエレメント (IOE) と接続されます。各IOEは双方向のI/Oバッファと入力レジスタまたは出力レジスタとして使用できるフリップフロップを持っており、デバイスの入出力信号および双方向の信号に使用することができます。専用のクロック入力ピンを使用することにより、IOEのレジスタには高い性能が提供されます。入力レジスタとして使用された場合には、2.5nsまでのセットアップ・タイムと0 nsのホールド・タイムが提供されます。また、出力レジスタとして使用された場合には、3.7nsまでの「Clock-to-Output」遅延が提供されます。また、IOEにはJTAG BSTのサポート、スルー・レート・コントロール、トライ・ステート・バッファ、オープン・ドレイン出力などの多様な機能が提供されています。

図1はFLEX 10KEのアーキテクチャをブロック図で示したものです。ここで、複数のLEのグループが1個のLABを構成しており、各LABはロウおよびカラム方向の各位置に配置されています。そして各ロウの位置には1個のEABが配置されています。LABおよびEAB間はFastTrackインタコネクトによって相互に接続されます。また、ロウとカラムのFastTrackインタコネクトの先端には複数のIOEが配置されています。

図1 FLEX 10KEデバイスのブロック図



FLEX 10KEデバイスにはフリップフロップのコントロール入力信号をドライブすることができる6本の入力専用ピンが提供されており、高速でスキューの小さい(1.5ns以下)コントロール信号をデバイス全体に効率的に供給することができます。これらのコントロール信号の接続にはFastTrackよりも遅延が短くスキューの小さな専用の高速配線チャネルが使用されます。入力専用ピンのうちの4本はグローバル信号をドライブします。また、これら4本のグローバル信号は内部のロジックからもドライブすることができるようになっており、クロック・デバイダやデバイス内の多数のレジスタを非同期にクリアする信号の内部生成に理想的なソリューションが提供されています。

エンベデッド・アレイ・ブロック

EABは入力と出力のポートにレジスタを持った柔軟性の高いRAMとなっており、一般的なゲートアレイ用メガファンクションを構成する場合にも使用されます。EABの提供するサイズと高い柔軟性は、マルチプライヤ、ベクタ・スケーラ、エラー・コレクション回路などのような回路機能の構成にも最適となっています。これらの回路機能はデジタル・フィルタやマイクロコントローラなどのアプリケーションに使用できます。

これらの論理機能はコンフィギュレーションの期間にリード・オンリのパターンをEABにプログラミングして1個の大きなLUTを形成することによって実現されます。LUTを使用することにより、組み合わせ回路の機能は論理演算によってではなく、このLUTの出力によって実現されます。この組み合わせ回路を実現する方法は通常のロジックの実現に使用されるアルゴリズムよりも高速となり、この高い性能はEABの高速アクセス・タイムによってさらに強化されています。また、EABの高い集積度により、FPGA (Field Programmable Gate Array) のRAMブロックや複数のLEをリンクさせた場合のような配線遅延を発生させることなく、複雑な機能を1段のロジック・レベルで実現することができます。例えば、1個のEABで8入力/16出力の任意のファンクションを実現することができます。LPMファンクションのようなパラメータ化されたファンクションは、EABの提供する利点を自動的に活用することができます。

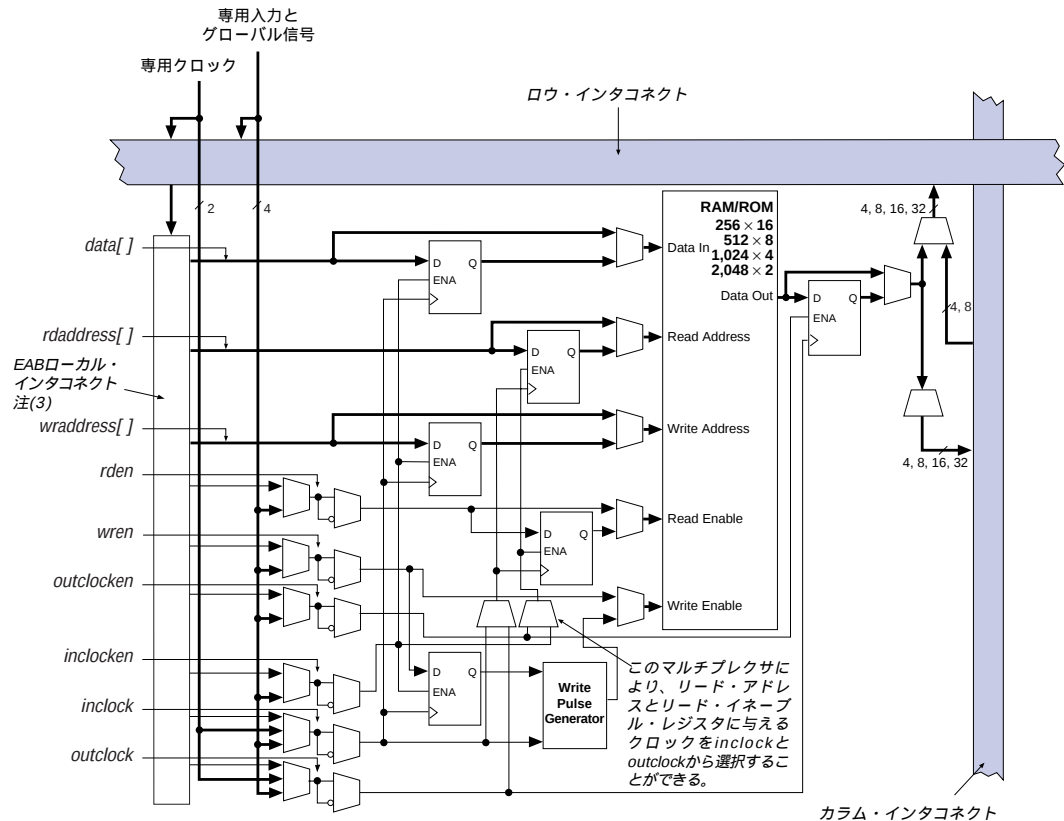
FLEX 10KEのEABは、デバイス全体に分散した小規模なRAMブロックによってオン・ボードRAMを実現するFPGAよりもすぐれた特長を持っています。これらの小規模なFPGAのRAMブロックは、使用可能なサイズにするとときに相互に接続される必要があります。そして、FPGAの複数のRAMブロックの接続にはマルチプレクサが使用されるため、さらに多くのロジック・リソースが必要となります。これらの追加されるマルチプレクサは遅延を発生させるため、RAMブロックの性能を低下させます。また、FPGAでは、大きなサイズのメモリを構成する場合に複数の小規模なRAMブロック間を接続する必要があるため、配線の問題が生じがちです。これに対してFLEX 10KEデバイスでは、大規模な専用のRAMブロックの構成にEABが使用できるため、配線やタイミングに関連した問題が解消されます。

機能が強化されたFLEX 10KEのEABには、従来のEAB構造にデュアル・ポートの動作モードが追加されています。このデュアル・ポート構造は、シングルまたはデュアル・クロックで動作するFIFOバッファの実現に最適です。また、FLEX 10KEのEABは、最大16ビット幅までのRAMブロックをサポートしており、既存のFLEX 10KのEABを使用したデザインとの互換性も実現しています。FLEX 10KEのEABは、デュアル・ポートまたはシングル・ポートのモードで動作することができます。デュアル・ポートのモードでは、EABへのライトとリードにそれぞれ別個の独立したクロックが使用され、EABに対するリードとライトの動作を異なるレートで実行することができます。また、この構造では、リードとライトが実行されるEABのセクションに対して、別個の同期クロック・イネーブル信号が提供されており、それぞれのセクションを個別にコントロールすることができます。

また、EABは、2つのポートでリードまたはライトの動作が同時に実行される双方向のデュアル・ポート・メモリのアプリケーションにも使用できます。このようなデュアル・ポート・メモリを実現するときは、2つのポートでのリードまたはライトの同時動作をサポートするために2個のEABが使用されます。

さらに、1本のクロックとクロック・イネーブル信号を使用してEABの入力レジスタをコントロールしながら、別のクロックとクロック・イネーブル信号で出力のレジスタをコントロールすることも可能です（図2を参照）。

図2 FLEX 10KEデバイスのデュアル・ポートRAMモード 注(1)、(2)

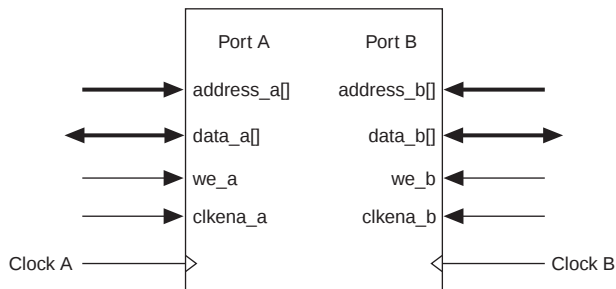


注：

- (1) すべてのレジスタは、EABローカル・インタコネクト信号、グローバル信号、またはチップ全体のリセット信号により、非同期でクリアされます。
- (2) EPF10K100Bには、デュアル・ポートRAMモードが提供されていません。
- (3) EPF10K30EとEPF10K50Eは88本のEABローカル・インタコネクト・チャンネルを、EPF10K100E、EPF10K130E、EPF10K200Eの各デバイスは104本のEABローカル・インタコネクト・チャンネルを持っています。

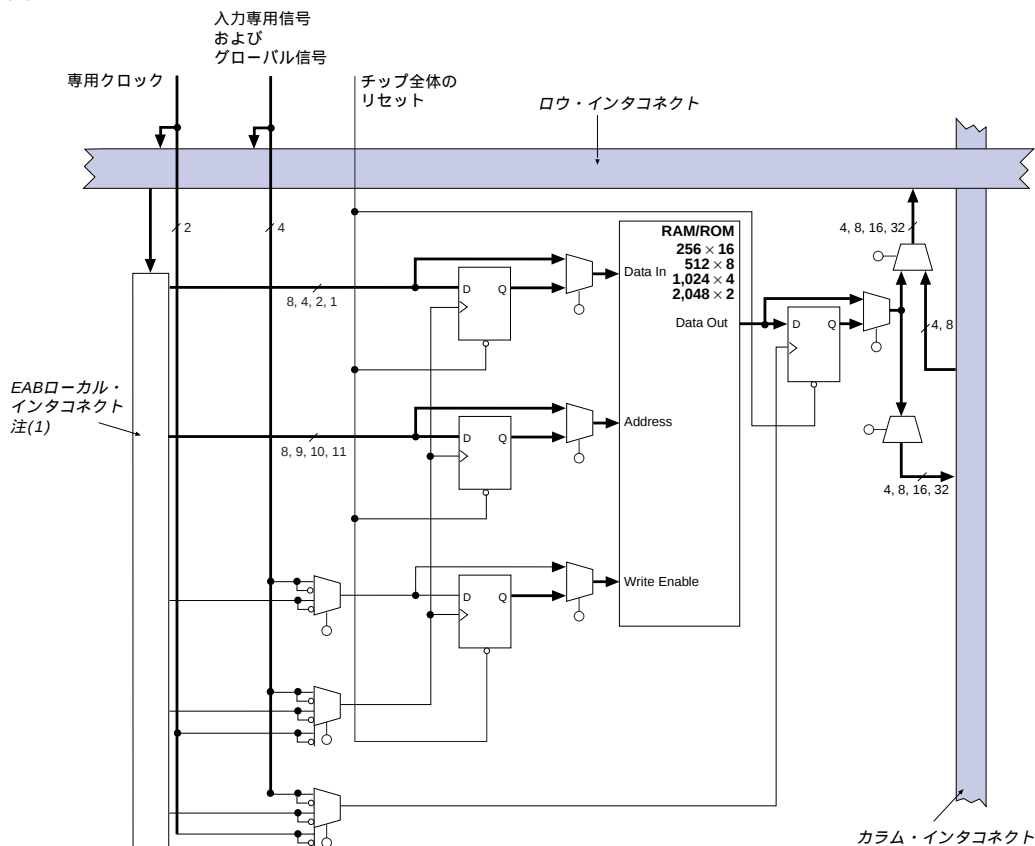
FLEX 10KEのEABは、図3に示す双方のポートでリードまたはライトの動作が行えるようにしたデュアル・ポートRAMのアプリケーションを実現するアルテラのメガファンクションにも使用できます。

図3 デュアル・ポートRAMモードにしたときのFLEX 10KEのEAB



FLEX 10KEのEABは、FLEX 10Kのデザインと互換性を持たせるときに便利となるシングル・ポートのモードもサポートしています（図4を参照）。

図4 シングル・ポートRAMモードにしたときのFLEX 10KE



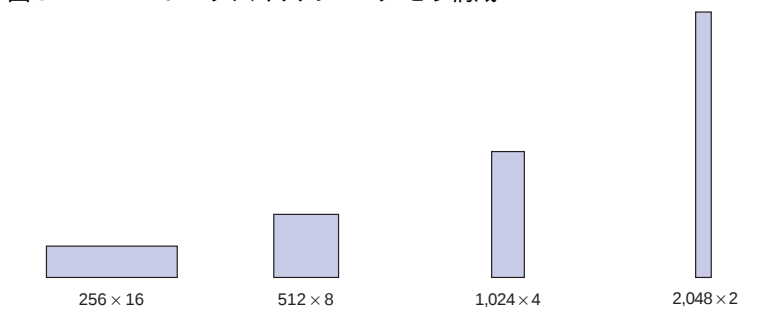
注：

- (1) EPF10K30E、EPF10K50E、EPF10K50Sは88本のEABローカル・インタコネク・チャンネルを、EPF10K100E、EPF10K100B、EPF10K130E、EPF10K200E、EPF10K200Sの各デバイスには104本のEABローカル・インタコネク・チャンネルを持っています。

EABは同期型のRAMの構成にも使用することができ、これは非同期型のRAMよりも簡単に実現することができます。非同期型RAMの回路ではライト・イネーブル（WE）信号を生成する必要があり、アドレスとデータの信号はこのWEに対して規定されたセットアップ・タイムとホールド・タイムを守る必要があります。これに対してEABを使用した同期型RAMは自分自身のWE信号を生成し、対応する入力またはライト・クロックに対するタイミングが取られます。セルフ・タイミング機能を持つEABのRAMでは、守られる必要があるタイミングは、グローバル・クロックに対して規定されているセットアップ・タイムとホールド・タイムのみとなります。

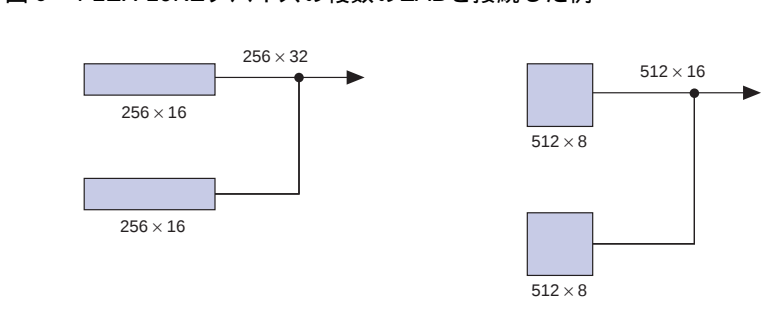
EABをRAMとして使用した場合、そのメモリ構成を 256×16 、 512×8 、 $1,024 \times 4$ 、または $2,048 \times 2$ のいずれかに設定することができます（図5を参照）。

図5 FLEX 10KEデバイスのEABメモリ構成



複数のEABを接続することによって、さらに大規模なメモリを構成することができます。例えば、2個の 256×16 のRAMを接続して 256×32 の構成にしたり、2個の 512×8 のRAMを接続して 512×16 の構成にすることもできます（図6を参照）。

図6 FLEX 10KEデバイスの複数のEABを接続した例



必要に応じて、デバイス内のすべてのEABをカスケード接続して1個のRAMを構成することも可能です。タイミングに影響を与えることなく、すべてのEABをカスケード接続して、最大2,048ワードまでのRAMを構成することができます。QuartusとMAX+PLUS IIのソフトウェアは指定されたRAMを実現するために必要となる複数のEABを自動的に接続します。

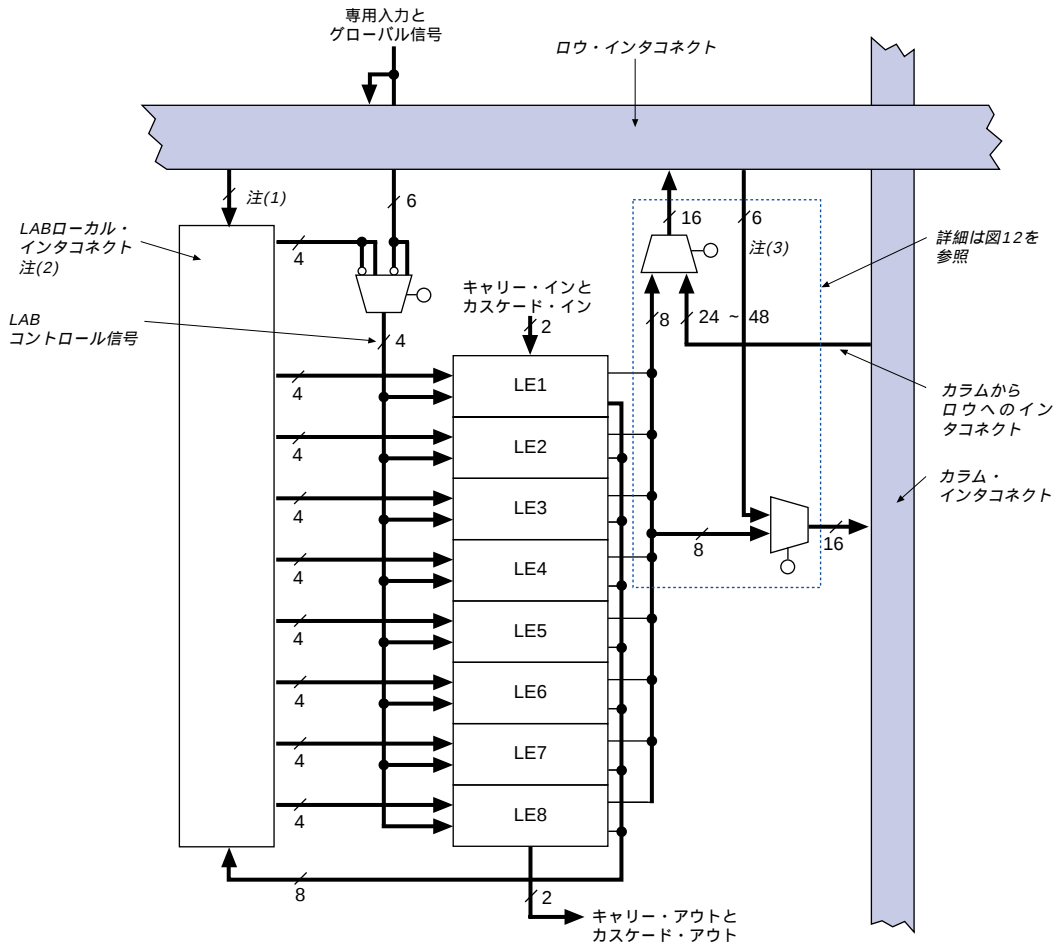
EABはクロックのドライブとコントロールのために柔軟性の高いオプションを提供しています。EABへのリードとライトの動作には異なるクロックとクロック・イネーブル信号を使用することができます。データの入力、EABの出力、ライト・アドレス、ライト・イネーブル信号、リード・アドレス、およびリード・イネーブル信号には、個別にレジスタを挿入することができます。グローバル信号とEABのローカル・インタコネクトはWE、RE、クロック・イネーブルの各信号をドライブすることができます。また、EABのクロック信号は、専用のクロック入力ピン、グローバル信号、またはEABのローカル・インタコネクトからドライブすることができます。LEはEABのローカル・インタコネクトをドライブするようになっているため、LEでWE、RE、クリア、クロック、クロック・イネーブルの各信号をコントロールすることができます。

各EABの入力はロウ・インタコネクトと接続されており、出力はロウ・インタコネクトとカラム・インタコネクトをドライブすることができます。各EABの出力は最大2本までのロウ・チャンネルとカラム・チャンネルをドライブすることができます。使用されていないロウ・チャンネルは他のLEからドライブすることができます。この機能はEABの出力に対する配線のリソースを増加させています（詳細については図2と図4を参照）。EABに隣接したカラム・インタコネクトには、デバイス内の他のカラム・インタコネクトの2倍にあたる配線チャンネルが提供されています。

ロジック・アレイ・ブロック

LABは8個のLE、関連するキャリー・チェーンとカスケード・チェーン、LABのコントロール信号、そしてLABローカル・インタコネクトによって構成されています。LABはFLEX 10KEのアーキテクチャに対してコース・グレインの構造を提供しており、デバイス使用効率の最適化と高い性能を実現します（図7を参照）。

図 7 FLEX 10KEデバイスのLAB



注：

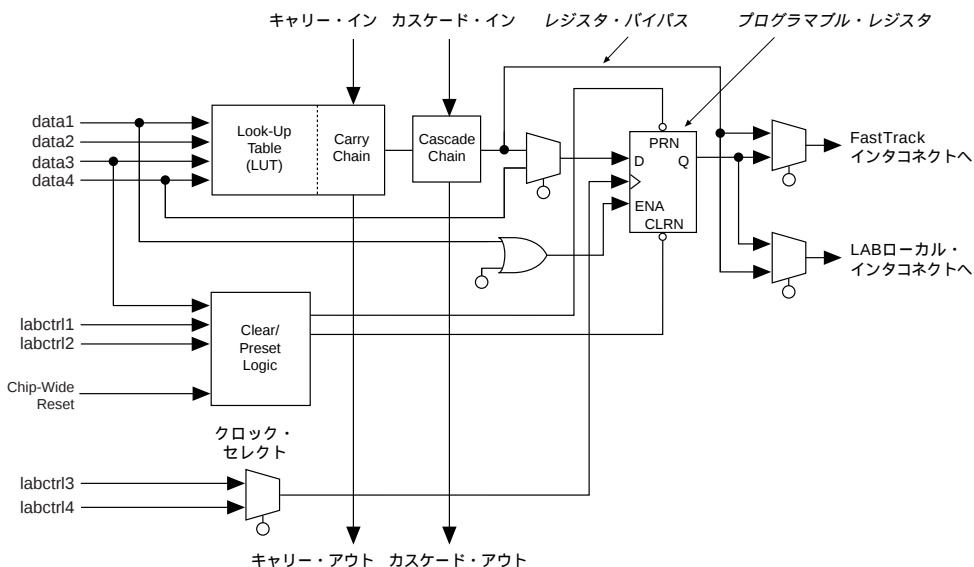
- (1) EPF10K30E、EPF10K50E、EPF10K50Sの各デバイスはロウ・インタコネクトからLABローカル・インタコネクト・チャンネルへの入力を22本持っており、EPF10K100E、EPF10K100B、EPF10K130E、EPF10K200E、EPF10K200Sの各デバイスは26本の入力を持っています。
- (2) EPF10K30E、EPF10K50E、EPF10K50Sの各デバイスは30チャンネルのLABローカル・インタコネクトを持っており、EPF10K100E、EPF10K100B、EPF10K130E、EPF10K200E、EPF10K200Sの各デバイスは34チャンネル持っています。
- (3) EPF10K100Bデバイスでは、4本のロウ・チャンネルが各交差点でカラム・チャンネルをドライブすることができます。

各LABには極性反転が可能な4本のコントロール信号が提供されており、これらは8個すべてのLEで使用することができます。このうちの2本の信号はクロックとして使用することができ、残りの2本はクリア/プリセットのコントロール信号として使用することができます。LABのクロックは、専用のクロック入力ピン、グローバル信号、I/O信号、またはLABのローカル・インタコネクトを経由した内部信号によってドライブすることができます。また、LABのプリセットとクリアのコントロール信号は、グローバル信号、I/O信号、またはLABローカル・インタコネクトを経由した内部信号によってドライブすることができます。グローバル・コントロール信号はデバイス全体で非常にスキューの小さい非同期のコントロール信号となるため、通常はグローバル・クロック、クリアまたはプリセットの信号として使用されます。コントロール信号の生成にロジックが必要となる場合は、任意のLAB内の1個または複数のLEを使用して生成し、ターゲットとなるLABのローカル・インタコネクトをドライブすることができます。また、LEの出力からグローバルなコントロール信号を生成することもできます。

ロジック・エレメント

ロジック・エレメント (LE) はFLEX 10KEアーキテクチャが提供するロジックの最小単位となっており、高いデバイス使用効率を実現するコンパクトなサイズとなっています。各LEには4変数によるあらゆる論理演算が高速で実行できる4入力のLUTが含まれています。さらに、各LEには同期クロック・イネーブル機能を持ったプログラマブルなフリップフロップ、キャリア・チェーン、カスケード・チェーンが含まれています。各LEは、ローカル・インタコネクトおよびFastTrackインタコネクトの双方をドライブするようになっています (図8を参照)。

図8 FLEX 10KEデバイスのロジック・エレメント



LE 内のプログラマブル・フリップフロップは、D、T、JKまたはSRタイプの動作を行うようにコンフィギュレーションすることができます。フリップフロップのクロック、クリア、プリセットの各信号は、グローバル信号、汎用のI/Oピン、または任意の内部ロジックからドライブすることができます。組み合わせ回路を構成する場合はフリップフロップがバイパスされ、LUTの出力がLEの出力を直接ドライブします。

LEはインタコネクタをドライブする2本の出力を持っています。このうちの1本はローカル・インタコネクタをドライブし、もう1本は口またはカラムのFastTrackインタコネクタをドライブします。この2本のLEの出力はそれぞれ個別にコントロールすることができます。例えば、LUTが一方の出力をドライブしているときに、レジスタがもう一方の出力をドライブするように設定することができます。この機能はレジスタ・バッキングと呼ばれ、LUTとレジスタをそれぞれ独立した機能に使用できるため、LEの使用効率を改善することができます。

FLEX 10KEのアーキテクチャには、ローカル・インタコネクタを使用することなく隣接したLE間を接続する高速の専用データ・パスとして、キャリア・チェーンとカスケード・チェーンが提供されています。キャリア・チェーンは高速のカウンタとアダーを構成するときに使用され、カスケード・チェーンは多入力論理機能を最小の遅延時間で実現するときに使用されます。カスケード・チェーンとキャリア・チェーンはLAB内のすべてのLE、およびデバイス内の同じ口ウの位置に配置されているすべてのLAB間を接続することができます。ただし、このキャリアとカスケードのチェーンが多数使用された場合には、配線の柔軟性が低下することがあります。したがって、これらのチェーンはデザイン内でスピードがクリティカルとなる部分に限定して使用する必要があります。

キャリア・チェーン

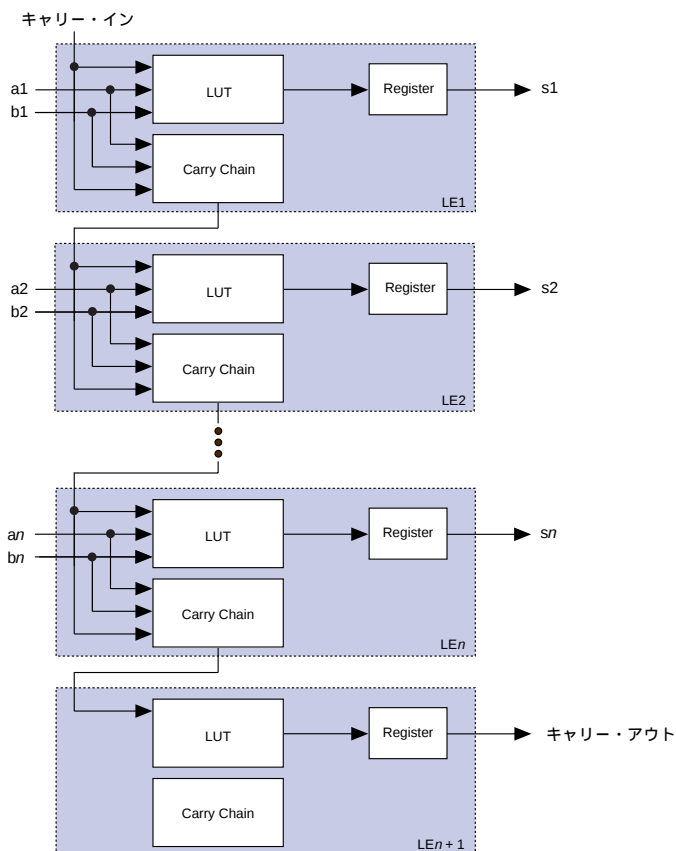
キャリア・チェーンはキャリアをLE間で非常に高速（最高速バージョンで0.2ns以下）で転送します。下位ビットからのキャリア・イン信号はキャリア・チェーンを通して上位ビットに転送され、上位ビットのキャリア・チェーンとLUTの双方に入力されます。この機能を使用することによって、FLEX 10KEアーキテクチャはカウンタやアダー、指定したビット幅のコンパレータを高速で実現することができます。キャリア・チェーンのロジックはデザインを処理する段階でQuartusとMAX+PLUS IIのコンパイラによって自動的に生成され、またデザインの入力時にマニュアルで指定することもできます。LPMやDesignWareのようなパラメータ化されたファンクションはキャリア・チェーンの利点を自動的に活用します。

複数のLABをリンクさせることによって、8個以上のLEで接続される長いキャリア・チェーンが自動的に生成されます。フィッティング機能を強化するため、長いキャリア・チェーンは同じ口ウのLABを1個おきにスキップするようになっています。このため、複数のLABを通る長いキャリア・チェーンは、偶数番号のLABから偶数番号へのLABへ、あるいは奇数番号のLABから奇数番号のLABへとスキップして接続されます。例えば、最初のLABの最後のLEは同じ口ウにある3番目のLABの最初のLEにキャリアを

転送するようになっていきます。また、キャリア・チェーンは各口ウの中央に位置しているEABを越えて接続することはできません。例えば、EPF10K50Eデバイスでは、キャリア・チェーンが18番目のLABでストップし、新しいキャリア・チェーンが19番目のLABからスタートします。

図9は $n+1$ 個のLEとキャリア・チェーンを使った n ビットのフル・アダーがどのように実現されるかを示したものです。ここで、LUTの一部を使用して入力信号とキャリア・イン信号から2ビットのサム（和）を生成します。そして、このサムはLEの出力に接続されます。単純なアダーを構成する場合は、レジスタが通常バイパスされますが、レジスタを使用してアキュムレータの機能を構成することもできます。LUTの他の部分とキャリア・チェーンのロジックはキャリア・アウトの信号を生成し、この信号は次の上位ビットのキャリア・インに直接、接続されます。最後のキャリア・アウト信号はLEに接続され、この最後のLEで通常の信号と同じように使用できるようになります。

図9 FLEX 10KEのキャリア・チェーン動作（ n ビットのフル・アダー）



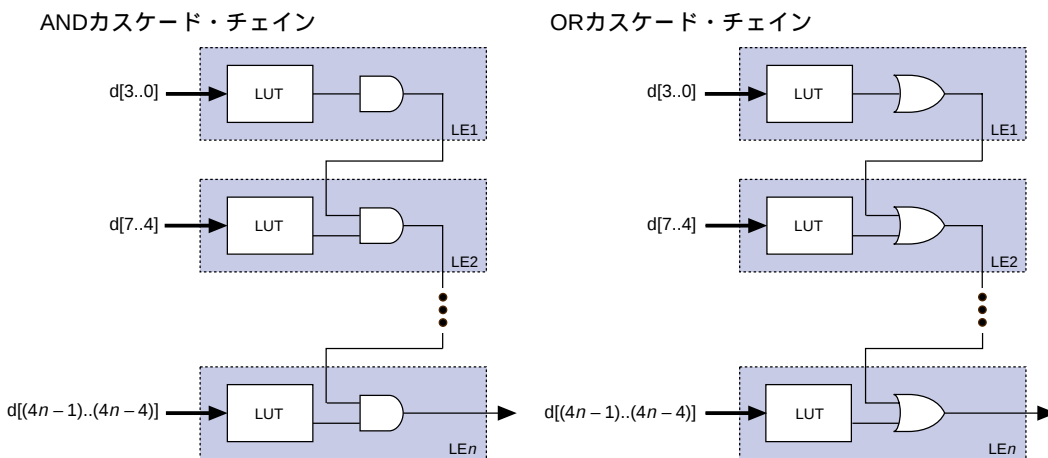
カスケード・チェーン

FLEX 10KEのアーキテクチャは、カスケード・チェーンを使用することによって非常に大きなファン・インを持った回路機能を実現できるようになっています。隣接している複数のLUTをパラレルに動作させ、その間の中間値をカスケード・チェーンを使ってシリアルに転送させることによって論理機能の1部を実現することができます。このカスケード・チェーンは隣接したLEの出力を接続して論理積 (Logical AND) またはドモルガンの反転定理による論理和 (Logical OR) を実現することができます。追加される各LEは要求される回路機能の入力ビット幅をLEあたり0.6nsの遅延時間で4ビットずつ効率的に拡張します。カスケード・チェーンのロジックはデザインの処理の段階でMAX+PLUS IIのコンパイラによって自動的に生成され、またデザインの入力時にマニュアルで指定することもできます。

複数のLABをリンクさせることによって、8ビット以上の長さのカスケード・チェーンが自動的に生成されます。配線を容易にするため、長いカスケード・チェーンは同じロウに配置された隣のLABをスキップして接続されます。複数のLABを通る長いカスケード・チェーンは、偶数番号のLABから偶数番号のLABへ、あるいは奇数番号のLABから奇数番号のLABへとスキップして接続されます。(最初のLAB内の最後のLEは同じロウにある3番目のLAB内の最初のLEにカスケード接続される。) カスケード・チェーンは各ロウの中央部分を越えて接続することはできません。(EPF10K50Eデバイスでは、カスケード・チェーンが18番目のLABでストップし、新しいカスケード・チェーンが19番目のLABからスタートします。) これは各ロウの中央部にEABが配置されているためです。

図10は大きなファン・インを持つ回路機能を実現するときにカスケード・チェーンが隣接したLE間でどのように接続されるかを示したものです。この例は n 個のLEで $4n$ 個の変数を持つ論理機能が実現できることを示しています。最高速バージョンのデバイスでは、LEの遅延が1.3ns以下で、カスケード・チェーンの遅延が0.6ns以下となっています。カスケード・チェーンを使用した場合、16ビット・アドレスのデコードを約3.1nsのスピードで実現できます。

図10 FLEX 10KEデバイスのカスケード・チェーン動作



LEの動作モード

FLEX 10KEデバイスのLEは次の4種類のモードのいずれかで動作します。

- ノーマル・モード
- 演算モード
- アップ/ダウン・カウンタ・モード
- クリアブル・カウンタ・モード

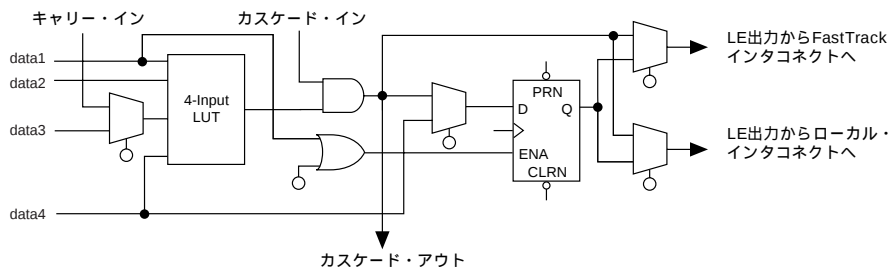
これらの各モードでは、LEのリソースをそれぞれ異なる形で使用します。LEには各モードで、計7本の入力提供されており（LABローカル・インタコネクトからの4本とプログラマブル・レジスタからのフィードバック、前段のLEからのキャリア・インとカスケード・インの計7本）、要求される論理機能を実現するためにこれらの入力はそれぞれ異なるリソースに接続されます。LEのレジスタのクロック、およびクリアとプリセットのコントロールには3本の入力提供されています。QuartusとMAX+PLUS IIのソフトウェアはLPMやDesignWareファンクションのようなパラメータ化されたファンクションと共にカウンタやアダー、マルチプライヤなどのような標準的なアプリケーションに適切な動作モードを自動的に選択します。また、必要に応じて、ユーザが性能が最適化されるLEの動作モードを選択して、特定用途のファンクションを作成することもできます。

このFLEX 10KEデバイスのアーキテクチャでは、4種類すべてのモードでレジスタに対する同期クロック・イネーブルの機能が提供されています。QuartusとMAX+PLUS IIのソフトウェアはDATA1を使用してレジスタに同期イネーブル機能を設定することができるため、完全な同期型の設計が簡単に行えます。

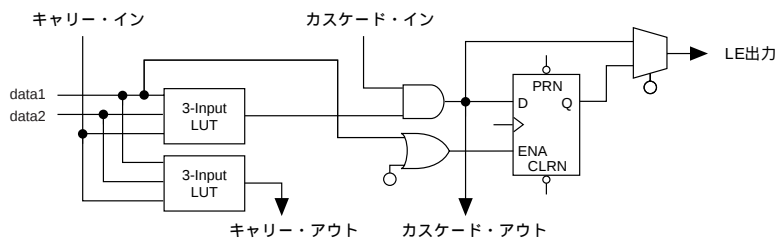
図11はLEの各動作モードを示したものです。

図11 FLEX 10KEデバイスのLE動作モード

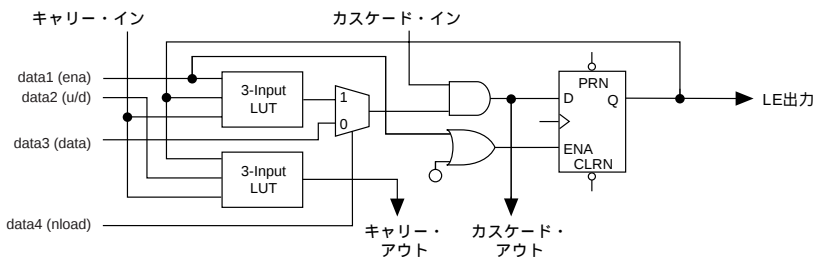
ノーマル・モード



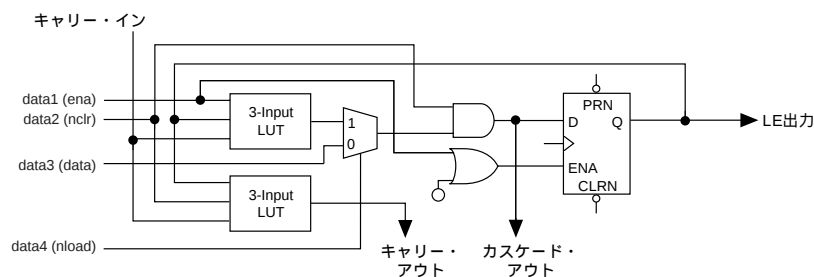
演算モード



アップ / ダウン・カウンタ・モード



クリアブル・カウンタ・モード



ノーマル・モード

ノーマル・モードは汎用のロジック・アプリケーションや、カスケード・チェーンの長所が活用できる多入力のデコーダなどに適しています。ノーマル・モードでは、LABのローカル・インタコネクトからの4本のデータ入力とキャリア・インが4入力のLUTの入力になります。MAX+PLUS IIのコンパイルはDATA3とキャリア・インのいずれかをLUTの入力として自動的に選択します。LUTの出力をカスケード・インの信号と組み合わせることによって、カスケード・アウトの信号を持つカスケード・チェーンを構成することができます。レジスタまたはLUTを使用して、ローカル・インタコネクトとFastTrackインタコネクトの双方を同時にドライブすることができます。

LE内のLUTとレジスタはそれぞれ個別に独立させた状態で使用することができます、この機能はレジスタ・パッキングと呼ばれています。このレジスタ・パッキングの機能をサポートするため、LEには2本の出力が提供されています。一方の出力はローカル・インタコネクトをドライブし、もう一方の出力はFastTrackインタコネクトをドライブします。DATA4の信号はレジスタを直接ドライブすることができます、LUTがレジスタされた信号から独立した状態で論理演算を行うことができます。この場合、LUTでは3入力の論理演算が行われ、4番目の独立した信号がレジスタに入力されます。また、LUTに4入力の論理関数を生成させ、このうちの1本の入力信号でレジスタをドライブするように設定することもできます。レジスタ・パッキングされたLEでも、クロック・イネーブル、クリア、プリセットの各信号をLE内のレジスタに使用することができます。レジスタ・パッキングされたLEでは、LUTにローカル・インタコネクトをドライブさせながらレジスタからFastTrackをドライブする状態にすることができます、またこの逆の設定を行うこともできます。

演算モード

演算モードでは、アダー、アキュムレータ、コンパレータの構成に最適な3入力のLUTが2個提供されます。このうち1個のLUTは3入力の論理関数を実現し、もう1個のLUTがキャリア・アウトを生成します。22ページの図11に示されているように、最初のLUTはキャリア・インとLABローカル・インタコネクトからの2本の入力を使用して組み合わせ出力またはレジスタ出力の論理を生成します。アダーを構成した場合は、この出力がaとbとキャリア・イン信号による3ビットのサム（和）となります。そして、2番目のLUTは同じ3本の信号からキャリア・アウト信号を生成して、キャリア・チェーンを構成します。演算モードでは、同時にカスケード・チェーンを使用することもサポートされています。

アップ/ダウン・カウンタ・モード

アップ/ダウン・カウンタ・モードでは、カウンタ・イネーブル、クロック・イネーブル、同期アップ/ダウン・コントロールの各信号と、データ・ロードのオプション機能用の信号が提供されます。これらのコントロール信号はLABローカル・インタコネクトからのデータ入力、キャリア・イン信号、プログラマブル・レジスタの出力からのフィードバック信号によって生成されます。このモードでは3入力のLUTが2個使用され、このうちの1個がカウンタ・データを生成し、もう1個が高速のキャリア・ビットを生成します。2対1のマルチプレクサにより、データの同期ロード機能が提供されています。また、LUTのリソースを使用することなく、クリアとプリセットのレジスタ・コントロール信号を使用した非同期のデータ・ロードを行うこともできます。

クリアブル・カウンタ・モード

クリアブル・カウンタ・モードはアップ/ダウン・カウンタ・モードと類似していますが、アップ/ダウン・コントロールの代わりに同期クリアの機能がサポートされています。このモードでは、アップ/ダウン・カウンタ・モードのカスケード入力の代わりにクリア入力を使用されます。このモードでも3入力のLUTが2個使用され、このうちの1個がカウンタ・データを生成し、もう1個が高速のキャリー・ビットを生成します。また、2対1マルチプレクサを使用した同期ロードの機能がサポートされています。このマルチプレクサの出力は同期クリアの信号とANDされるようになっています。

インターナル・トライ・ステート・エミュレーション

FLEX 10KEデバイスには、インターナル・トライ・ステート・エミュレーション機能が提供されており、実際のトライ・ステート・バスのような制限を受けることなく、デバイス内部にトライ・ステートを実現することができます。実際のトライ・ステート・バスでは、トライ・ステート・バッファの出力イネーブル(OE)信号がバスをドライブする信号を選択します。ただし、複数の出力イネーブル(OE)がアクティブになったときには、競合する複数の信号がバスをドライブすることになります。逆に言えば、どの出力イネーブル信号もアクティブにならない場合には、バスがフローティングの状態となります。インターナル・トライ・ステート・エミュレーションの機能は、競合するトライ・ステート・バッファをLowの値に、フローティング状態のバスをHighの値にしてこれらの問題を解消します。MAX+PLUS IIのソフトウェアはマルチプレクサを使用してトライ・ステート・バスの機能を自動的に実現します。

クリアおよびプリセット・ロジック・コントロール

プログラマブル・レジスタのクリアとプリセットの機能を実現するロジックは、LEの入力となっているDATA3、LABCTRL1、LABCTRL2の信号によって構成することができます。LEのクリアとプリセットの機能はレジスタに非同期でデータをロードするときにも使用されます。また、LABCTRL1またはLABCTRL2を使用して、非同期クリアの機能を実現することもできます。さらに、LABCTRL1によってコントロールされる非同期データ・ロード機能を持つレジスタの設定も行うことができます。この場合、レジスタにロードされるデータはDATA3から入力され、LABCTRL1がアクティブとなったときにレジスタへDATA3の信号がロードされます。

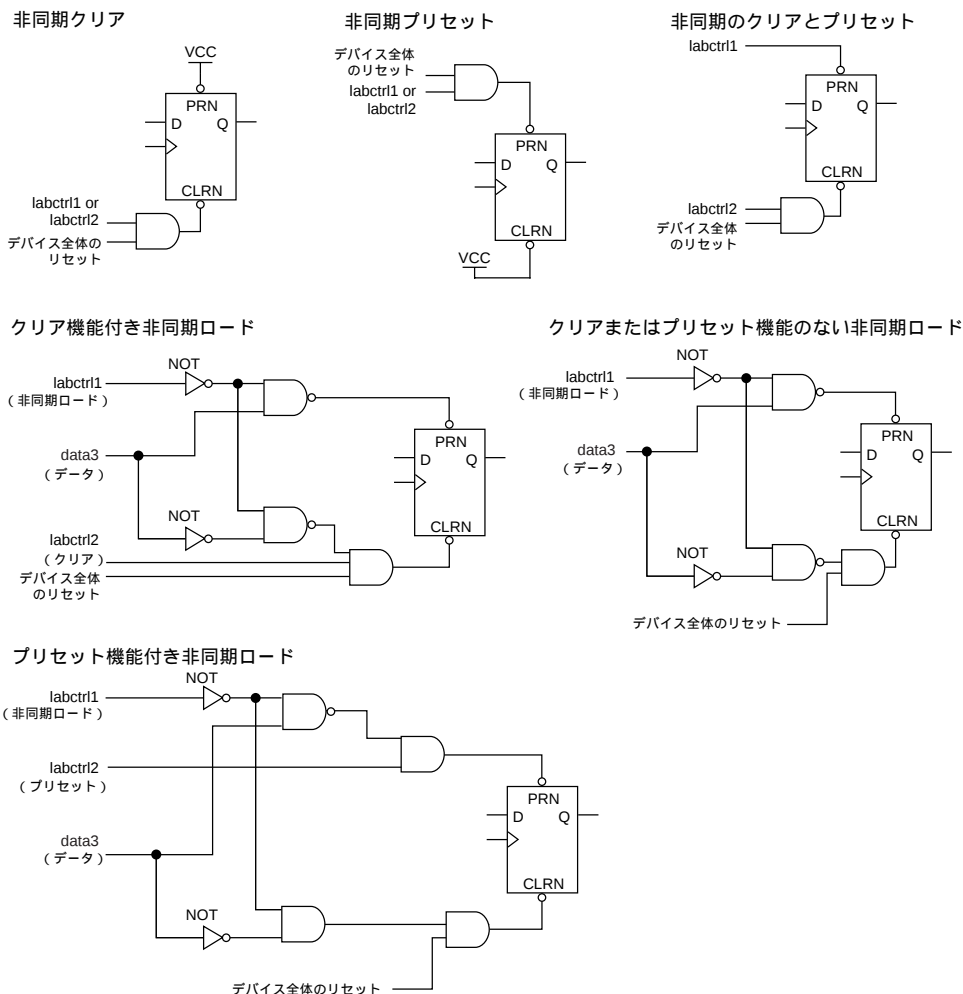
QuartusとMAX+PLUS IIのコンパイラは、コンパイル時に最も適切なコントロール信号を自動的に生成します。クリアとプリセットの信号はアクティブLowとなっているため、コンパイラは未使用のクリアとプリセットのノードを自動的にHighレベルにセットします。

クリアとプリセットのロジックは、デザインの入力時に次の6種類のモードからいずれかひとつを選択することによって実現できます。

- 非同期クリア
- 非同期プリセット
- 非同期のクリアとプリセット
- クリア機能付き非同期ロード
- プリセット機能付き非同期ロード
- クリアまたはプリセット機能のない非同期ロード

前記の6種類のクリアとプリセットのモードに加え、FLEX 10KEデバイスにはデバイス内のすべてのレジスタをリセットすることができるデバイス全体のリセット・ピンが提供されており、デザインの入力時に指定することができます。クリアとプリセットのいずれのモードにおいても、デバイス全体のリセットの信号は他のすべての信号よりも優先されます。チップ全体のリセット信号がアサートされたときに非同期のプリセット機能を持ったレジスタが、プリセットされるようにすることもできます。極性反転機能を使用して、非同期のプリセット機能を実現することもできます。図12は要求されるクリアとプリセット機能を実現する場合のデザインの入力方法の例を示したものです。

図12 FLEX 10KEのLEに対するクリアとプリセットのモード



非同期クリア

フリップフロップはLABCTRL1またはLABCTRL2のいずれかでクリアされます。このモードではプリセット信号がVCCに接続され、非アクティブとなります。

非同期プリセット

非同期プリセットは非同期のデータ・ロードとしての機能か、非同期クリアの機能付きのいずれかで実現されます。DATA3がVCCに接続された状態でLABCTRL1がアサートされると、非同期でレジスタに1がロードされます。また、MAX+PLUS IIのソフトウェアがレジスタの入力と出力の極性反転とクリア機能を使用して、プリセット・コントロール機能が実現されるようにすることもできます。LEとIOEの入力には極性反転の機能が提供されています。このため、2本のLABCTRL信号のいずれか1本でレジスタがプリセットされる場合は、DATA3の入力が不要となり、これをLEのいずれかの動作モードで使用するできるようになります。

非同期のクリアとプリセット

非同期のクリアとプリセットを実現する場合は、LABCTRL1でプリセットを、LABCTRL2でクリアをコントロールします。このとき、DATA3はVCCに接続され、LABCTRL1がアサートされるとレジスタに1が非同期でロードされ、レジスタがプリセットされたことになります。また同様にLABCTRL2をアサートすることによって、レジスタがクリアされます。

クリア機能付き非同期ロード

クリア機能付きの非同期ロードを実現する場合は、LABCTRL1でレジスタのプリセットとクリアをコントロールし、DATA3の信号を非同期でレジスタへロードします。また、LABCTRL2はレジスタのクリア端子をコントロールしてレジスタのクリア機能を実現し、LABCTRL2をプリセットの回路に接続する必要はありません。

プリセット機能付き非同期ロード

プリセット機能付きの非同期ロードを実現する場合は、MAX+PLUS IIのソフトウェアがレジスタの入力と出力の極性を反転させ、クリア信号を使ったプリセット機能を実現します。LABCTRL2がアサートされるとレジスタがプリセットされ、LABCTRL1がアサートされると、レジスタにデータがロードされます。MAX+PLUS IIのソフトウェアはレジスタの出力が反転されていることを考慮して、DATA3をドライブする信号の極性を反転させます。

クリアまたはプリセット機能のない非同期ロード

クリアまたはプリセット機能のない非同期ロードを実現する場合は、LABCTRL1でレジスタのプリセットとクリアをコントロールし、DATA3の信号が非同期でレジスタへロードされるようにします。

FastTrackインタコネクットの配線構造

FLEX 10KEのアーキテクチャでは、デバイス全体を縦横に走っている連続した配線チャンネル、FastTrackインタコネクットによって、LE、EABおよびデバイスI/Oピン間の接続が行われます。FLEX 10KEデバイスでは、このデバイス全体をカバーするグローバルな配線構造により、複雑なデザインにおいてもその性能が予測可能となっています。これに対してFPGAでは配線領域が分割されているため、一定しない複数のパスを接続するためのスイッチ・マトリックスが必要となり、ロジック・リソース間のディレイが大きくなって性能が低下します。

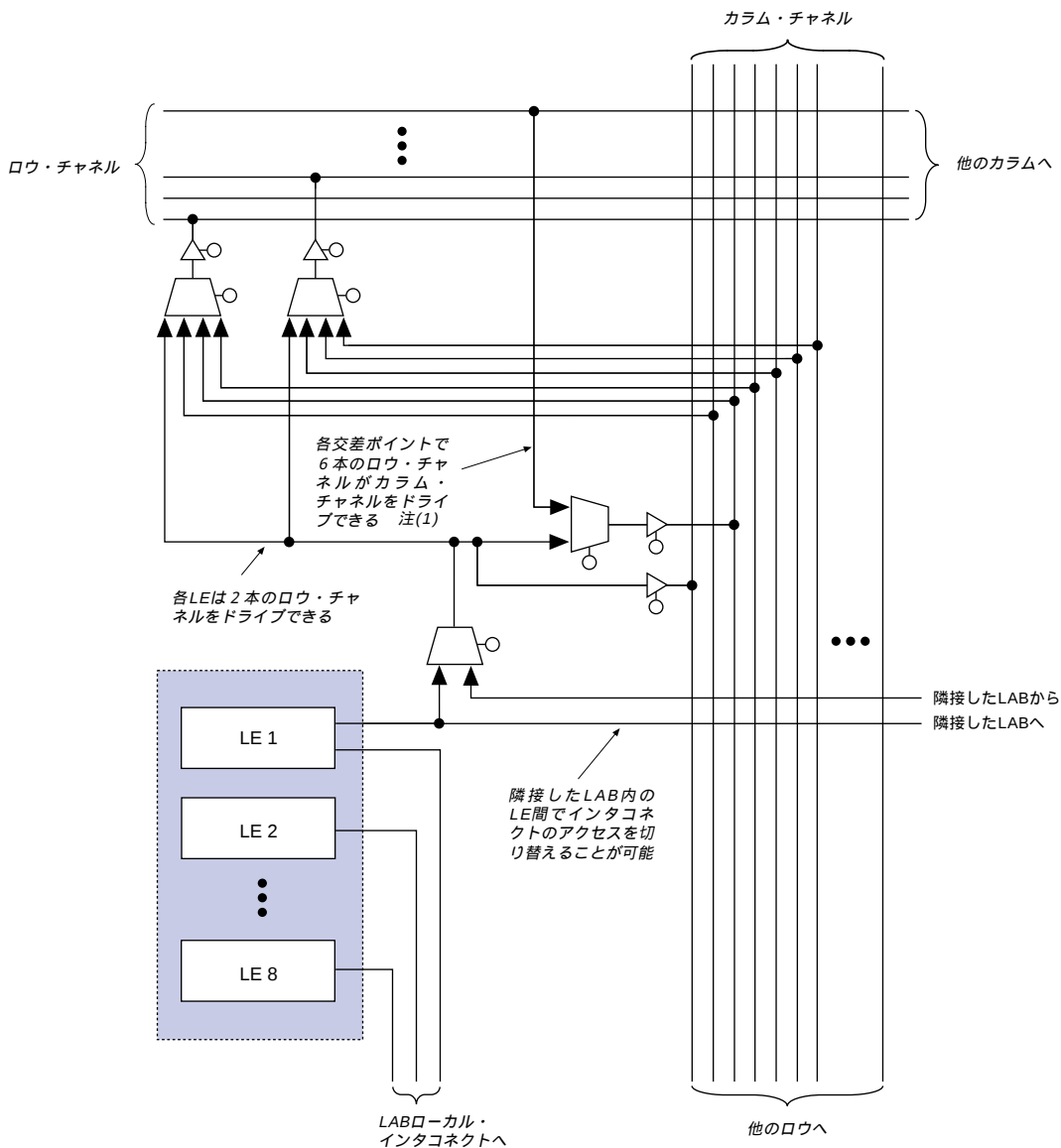
FastTrackインタコネクットはデバイス全体をカバーしているロウとカラムのインタコネクット・チャンネルによって構成されています。各ロウに配置されているLAB間の接続は専用のロウ・インタコネクットによって行われます。ロウ・インタコネクットはI/Oピンをドライブすることができ、同じロウにある他のLABに信号を供給します。また、カラム・インタコネクットは異なるロウの間の信号を接続し、またI/Oピンをドライブすることができます。

ロウ側の配線チャンネルはLABまたはEABのローカル・インタコネクットをドライブします。ロウ側からの信号は各LABまたはEABでバッファされ、ファンアウトによる遅延の影響が低下されています。1個のLE、または3本のカラム・チャンネルのうちのいずれか1本によってドライブすることができます。これら4本の信号は、特定の2本のロウ・チャンネルに接続されている2個の4対1マルチプレクサの入力となっています。これらのマルチプレクサは各LEに接続されており、LAB内にある8個すべてのLEがロウ・インタコネクットをドライブしている場合でも、カラム・チャンネルがロウ・チャンネルをドライブすることができます。

各カラムに配置されているLABまたはEABとの接続は専用のカラム・インタコネクットによって行われます。各EABに対応したカラム・インタコネクットには他のカラム・インタコネクットの2倍にあたる配線チャンネルが提供されています。カラム・インタコネクットはI/Oピンをドライブすることができ、またデバイス内の異なるロウにあるLABまたはEABの信号を接続します。LEの出力またはI/Oピンからの入力となっているカラム・インタコネクットからの信号は、LABまたはEAB入力される前にロウ・インタコネクットを通らなければなりません。IOEまたはEABによってドライブされる各ロウ・チャンネルは指定された1本のカラム・チャンネルをドライブすることができます。

ロウとカラムのチャンネルへのアクセスを隣接した2つのLAB内のLE間で切り替えることができます。例えば、LAB内の特定のLEが、同じロウの隣接したLAB内の特定のLEによってドライブされているロウおよびカラム・チャンネルをドライブするように設定することができ、またその逆の設定も行えます。このような柔軟性の高い配線構造によって、配線のリソースをより効率的に使用することができます（図13を参照）。

図13 FLEX 10KEデバイスのLABとロウおよびカラム・インタコネクトの接続



注:

(1) EPF10K100Bでは、4本のロウ・チャンネルが各交差ポイントでカラム・チャンネルをドライブすることができます。

ロウ・インタコネクトは、配線の能力を改善するためにフル・レンジスのチャンネルとハーフ・レンジスのチャンネルの配線リソースとを組み合わせたものになっています。フル・レンジスのチャンネルは同じロウのすべてのLAB間を接続することができます。これに対して、ハーフ・レンジスのチャンネルはひとつのロウの半分のLAB間を接続します。EABはフル・レンジスのチャンネル、または同じロウの左半分のハーフ・レンジスのチャンネルによってドライブされます。また、EABはフル・レンジスのチャンネルをドライブしています。このアーキテクチャでは、性能の予測を可能にする配線構造やロウ全体をカバーした配線リソースが提供できる特長に加え、さらに多くの配線リソースが提供されています。2つの隣接したLAB間はハーフ・レンジスのロウ・チャンネルで接続できるようになっており、このハーフ・レンジスのチャンネルを活用することによって、同じロウのもう半分には別のハーフ・レンジスのチャンネルが使用できるようになります。

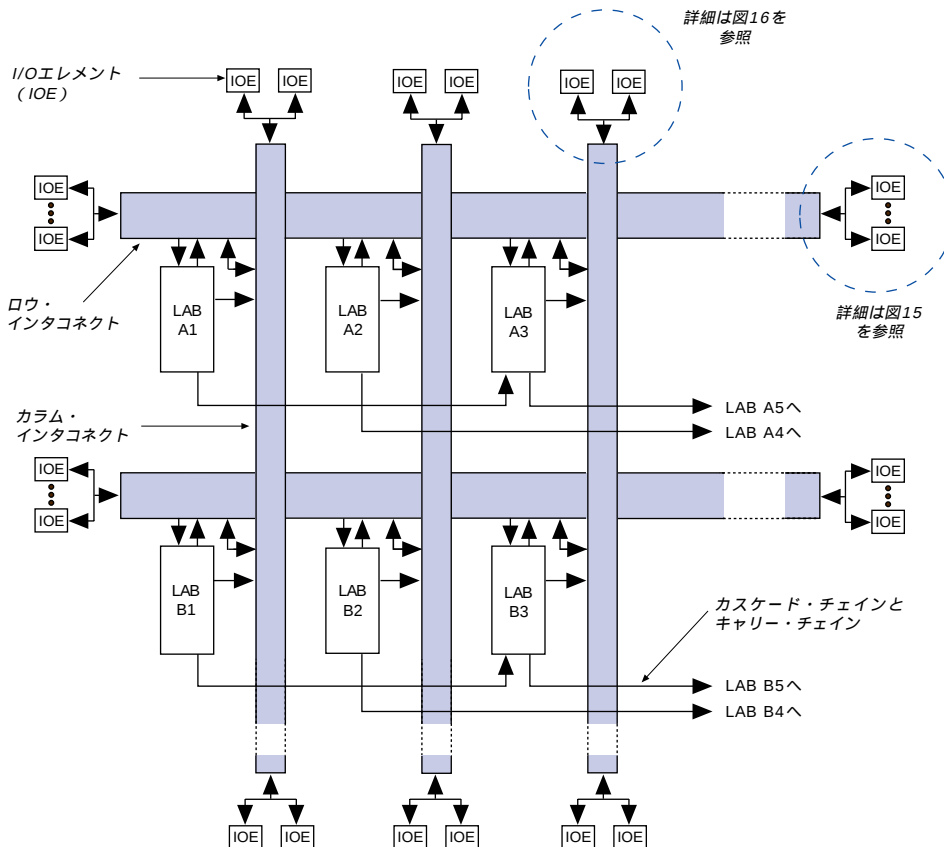
表7は各FLEX 10KEデバイスに提供されているFastTrackインタコネクトのリソースの数をまとめたものです。

表7 FLEX 10KEデバイスのFastTrackインタコネクトのリソース				
デバイス名	ロウの数	ロウあたりのチャンネル数	カラムの数	カラムあたりのチャンネル数
EPF10K30E	6	216	36	24
EPF10K50E EPF10K50S	10	216	36	24
EPF10K100B EPF10K100E	12	312	52	24
EPF10K130E	16	312	52	32
EPF10K200E EPF10K200S	24	312	52	48

FLEX 10KEデバイスには、汎用のI/Oピンに加えて、スキューの小さな信号をデバイス全体に供給できる6本の入力専用ピンが提供されています。これら6本の入力は、グローバルなクロック、クリア、プリセット、ペリフェラルの出力イネーブル、クロック・イネーブルのコントロール信号などに使用することができます。これらのピンからの入力は、デバイス内のすべてのLABとIOEをコントロールする信号としても使用することができます。これらの入力専用ピンからの信号はデバイス内の各LABのローカル・インタコネクトにも接続されるようになっているため、汎用のデータ入力としても使用できます。

図14は、隣接した複数のLABとEABの接続関係を、ロウおよびカラム・インタコネクト、ローカル・インタコネクト、関連したカスケード・チェーン、キャリア・チェーンによって示したものです。ここで、各LABの名前は、デバイス内のロウ(1,2,3...)、およびカラム(A,B,C...)の物理的な位置を表わしたものになっています。例えば、B3のLABはロウ-B、カラム-3の位置にあることを示しています。

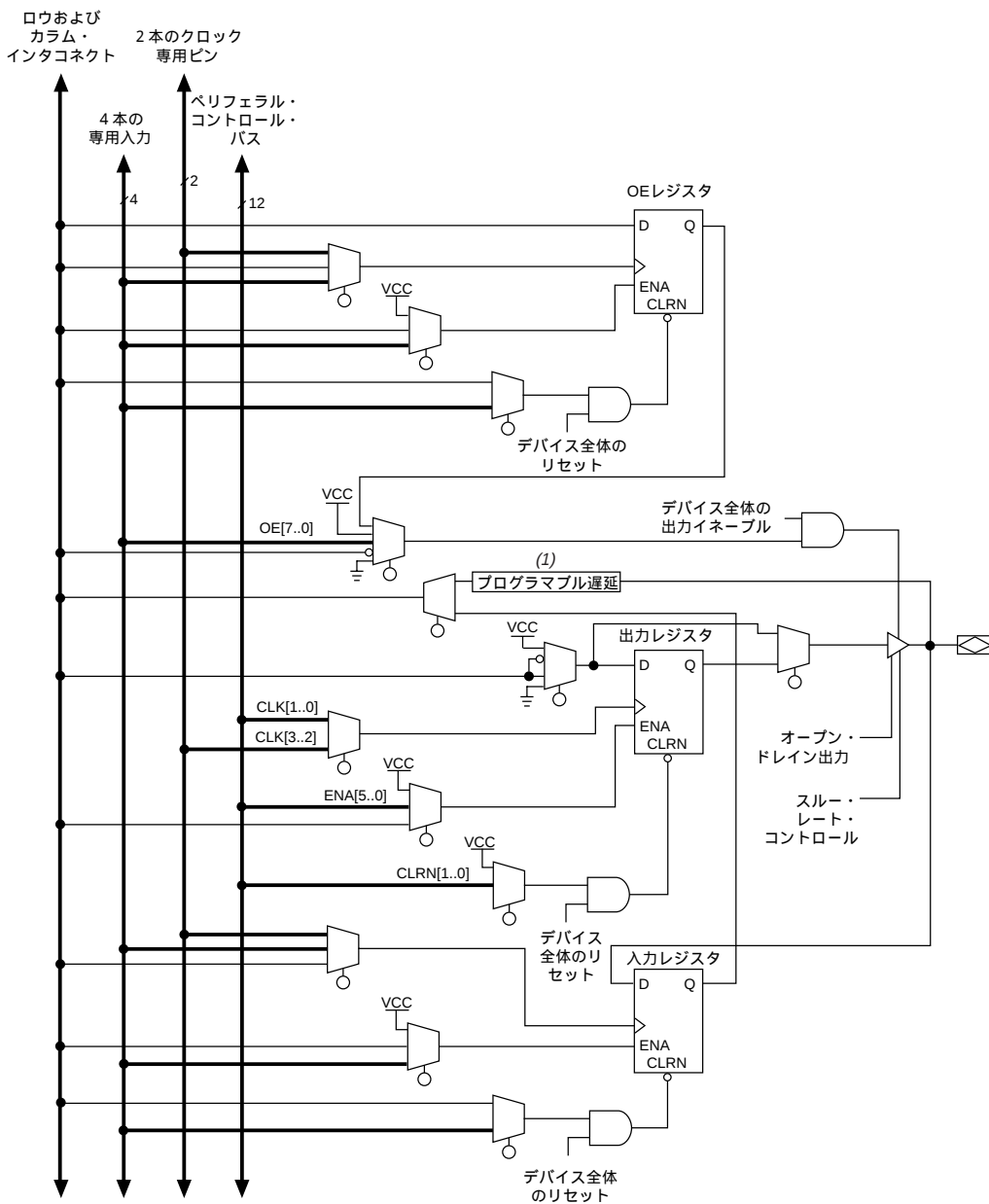
図14 FLEX 10KEデバイスのインタコネクト・リソース



I/Oエレメント

各I/Oエレメント (IOE) には双方向のI/Oバッファとレジスタが1個ずつ含まれています。このレジスタは高速のセットアップ・タイムを必要とする外部データの入力レジスタとして、あるいは高速の「Clock-to-Output」性能を必要とするデータの出力レジスタとして使用することができます。LE内のレジスタを入力レジスタとして使用したほうが、IOEのレジスタを使用した場合よりも高速のセットアップ・タイムが提供されることもあります。I/Oエレメントは入力、出力、または双方向のピンとして使用することができます。QuartusとMAX+PLUS II のコンパイラは必要に応じて、ロウおよびカラム・インタコネクトからの信号の極性をプログラマブルな反転オプションを使って自動的に反転させます。FLEX 10KEのIOEの構造が図15に示されています。

図15 FLEX 10KEデバイスの双方向I/Oレジスタ



注：

(1) 一部のFLEX 10KEデバイスには、入力バスにプログラマブルな遅延機能が提供されています。

EPF10K50EとEPF10K200Eを除くすべてのFLEX 10KEデバイスには、I/OパッドからFastTrackインタコネクタへの入力バスにプログラマブルな遅延エレメントが提供されており、これを使用して0nsのホールド・タイムを実現することができます。EPF10K50SとEPF10K200Sの各デバイスは、この機能をサポートしています。信号をデバイス内部にドライブしているIOEの相対的な位置に応じて、設計者はこのプログラマブルな遅延コントロール機能をオンにして0nsのホールド・タイムを確保したり、またはオフに設定して最小のセットアップ・タイムを実現することができます。この機能は、ピンからレジスタまでの複雑なパスに対するセットアップ・タイムを減少させるときに使用されます（例：PCIのデザイン）。

各IOEに対するクロック、クリア、クロック・イネーブル、および出力イネーブル・コントロールの各信号は、ペリフェラル・コントロール・バスと呼ばれるI/Oコントロール信号のネットワークから選択されます。このペリフェラル・コントロール・バスにはデバイス全体で信号のスキューを最小にする高速ドライバが使用されており、下記のペリフェラル・コントロール信号を最大12本まで使用できます。

- 最大8本までの出力イネーブル信号
- 最大6本までのクロック・イネーブル信号
- 最大2本までのクロック信号
- 最大2本までのクリア信号

6本を超えるクロック・イネーブル信号や8本を超える出力イネーブル信号が必要になる場合は、特定のLEからドライブされているクロック・イネーブルと出力イネーブルの信号を使用してデバイス内の各IOEをコントロールすることができます。各IOEにはペリフェラル・コントロール・バスに提供されている2本のクロックに加え、2本のクロック専用ピンからの信号のうちのいずれか1本を使用することができます。各ペリフェラル・コントロール信号は入力専用ピン、または特定の口の位置に配置されたLABの最初のLEからドライブすることができます。異なる口のLEからはカラム・インタコネクタをドライブされるようになっているため、ペリフェラル・コントロール信号は口・インタコネクタからドライブされることになります。デバイス全体のリセット信号は、他のコントロール信号よりも優先してすべてIOEレジスタをリセットします。

専用のクロック入力ピンからIOEのレジスタをドライブする場合、デバイス内のすべてのIOEに対して、このクロックの極性を反転させて使用することが可能です。ただし、この場合は、すべてのIOEがこのクロックを同じ手法で使用する必要があります。例えば、あるIOEに極性反転されたクロックを使用した場合は、他のすべてのIOEにも同じ極性反転されたクロックを使用する必要があります。どのIOEでも非反転のクロックを使用することはできません。しかしながら、この場合でもLEにはLABごとに反転または非反転のクロックが使用可能です。

入力される信号をクロック専用ピンで極性反転させ、すべてのIOEに供給させることもできます。IOEのドライブに極性反転されたクロックと非反転の

クロックを使用する場合は、2本のグローバル・クロック・ピンを使用し、1本のグローバル・クロック・ピンからは非反転のクロックを、もう1本のピンから極性反転されたクロックを供給します。

入力専用ピンからの極性反転されたクロックと非反転のクロックでIOEをドライブしていて、ペリフェラル・コントロール・バスで2本の信号が使用されている場合は、それぞれ1本のコントロール信号が一方のクロック信号に対応したものととなります。

入力専用ピンから極性反転および非反転のペリフェラル・クリア、クロック・イネーブル、出力イネーブルをドライブする場合は、ペリフェラル・コントロール・バスの2本の信号が使用されます。

表8と表9は各ペリフェラル・コントロール信号のソースをまとめたものです。これらの表は12本あるペリフェラル・コントロール信号から、出力イネーブル信号、クロック・イネーブル信号、クロック信号、クリア信号をどのように実現するかを示しており、各グローバル信号をドライブできるロウの位置を示しています。

表8 EPF10K30E、EPF10K50E、EPF10K50Sのペリフェラル・バス・ソース		
ペリフェラル・コントロール信号	EPF10K30E	EPF10K50E EPF10K50S
OE0	Row A	Row A
OE1	Row B	Row B
OE2	Row C	Row D
OE3	Row D	Row F
OE4	Row E	Row H
OE5	Row F	Row J
CLKENA0/CLK0/GLOBAL0	Row A	Row A
CLKENA1/OE6/GLOBAL1	Row B	Row C
CLKENA2/CLR0	Row C	Row E
CLKENA3/OE7/GLOBAL2	Row D	Row G
CLKENA4/CLR1	Row E	Row I
CLKENA5/CLK1/GLOBAL3	Row F	Row J

表 9 EPF10K100B、EPF10K100E、EPF10K130E、EPF10K200EおよびEPF10K200Sの
ペリフェラル・バス・ソース

ペリフェラル・コントロール信号	EPF10K100B EPF10K100E	EPF10K130E	EPF10K200E EPF10K200S
OE0	Row A	Row C	Row G
OE1	Row C	Row E	Row I
OE2	Row E	Row G	Row K
OE3	Row L	Row N	Row R
OE4	Row I	Row K	Row O
OE5	Row K	Row M	Row Q
CLKENA0/CLK0/GLOBAL0	Row F	Row H	Row L
CLKENA1/OE6/GLOBAL1	Row D	Row F	Row J
CLKENA2/CLR0	Row B	Row D	Row H
CLKENA3/OE7/GLOBAL2	Row H	Row J	Row N
CLKENA4/CLR1	Row J	Row L	Row P
CLKENA5/CLK1/GLOBAL3	Row G	Row I	Row M

ペリフェラル・コントロール・バス上の信号は表 8 と表 9 でGLOBAL0からGLOBAL3までの名前で表示されている 4 本のグローバル信号をドライブすることもできます。また、内部で生成された信号でグローバル信号をドライブすることもでき、1 本の入力ピンからドライブされる信号と同じようにスキューと遅延の小さな特性を得ることができます。ペリフェラル・バスをドライブしているロウ側の配線チャネルをLEからドライブすることによって、LEからグローバル信号をドライブすることができます。この機能は、ファンアウトの大きいクリア信号やクロック信号を内部生成するときに最適です。ただし、内部生成されたグローバル信号が、データ信号の配線を行うための汎用インタコネクトの使用効率を高めることにはなりません。

デバイス全体の出力イネーブル・ピンはアクティブLowで動作し、デバイスのすべてのピンをトライ・ステートにすることができます。このオプションはQuartusとMAX+PLUS IIのソフトウェアで設定することができます。EPF10K50EとEPF10K200Eデバイスでは、デバイス全体の出力イネーブル・ピンがアクティブになると内蔵のI/Oピン用プルアップ抵抗がアクティブになります（コンフィギュレーション時もアクティブ）。また、デバイス全体のリセット・ピンによってIOE内のレジスタをリセットすることもできます。

ロウ・チャンネルとIOEの接続

IOEを入力として使用した場合は、IOEから分離された2本のロウ・チャンネルをドライブすることができます。この信号は同じロウに配置されているすべてのLEによってアクセス可能になります。また、IOEが出力として使用された場合は、IOEが各ロウ・チャンネルの信号から1本の信号を選択するマルチプレクサによってドライブされます。各ロウ・チャンネルの両端には最大8個までのIOEが接続されています（図16を参照）。

図16 FLEX 10KEデバイスのロウ・チャンネルとIOEの接続

この図で表示されている m と n の値は表10の通りです。

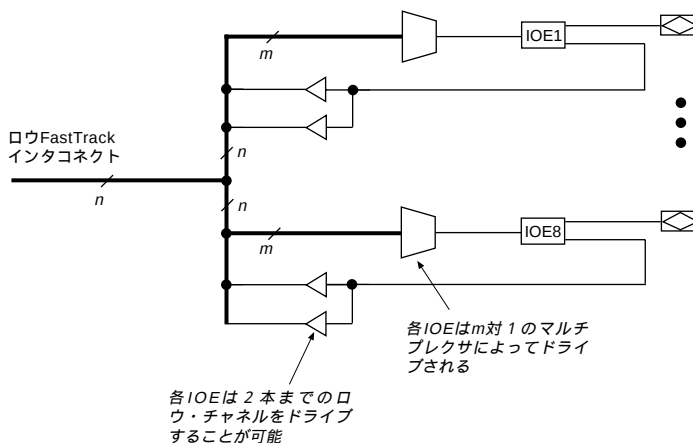


表10はFLEX 10KEデバイスにおけるロウ・チャンネルからIOEに接続するときのリソースの数を示したものです。

表10 FLEX 10KEデバイスのロウ・チャンネルからIOEへのインタコネクト・リソース		
デバイス名	ロウあたりのチャンネル数(n)	ピンあたりのロウ・チャンネル数(m)
EPF10K30E	216	27
EPF10K50E EPF10K50S	216	27
EPF10K100B EPF10K100E	312	39
EPF10K130E	312	39
EPF10K200E EPF10K200S	312	39

コラム・チャンネルとIOEの接続

IOEを入力として使用した場合、IOEから分離された 2 本までのコラム・チャンネルをドライブすることができます。また、IOEが出力として使用された場合は、IOEは各コラム・チャンネルの信号から 1 本の信号を選択するマルチプレクサによってドライブされます。各コラム・チャンネルの両端には 2 個のIOEが接続されています。各IOEはマルチプレクサを介してコラム・チャンネルからドライブできます。IOEがアクセスできるコラム・チャンネル信号の組み合わせは、デバイスごとに異なります（図17を参照）。

図17 FLEX 10KEデバイスのコラム・チャンネルとIOEの接続

この図で示されている m と n の値は表11の通りです。

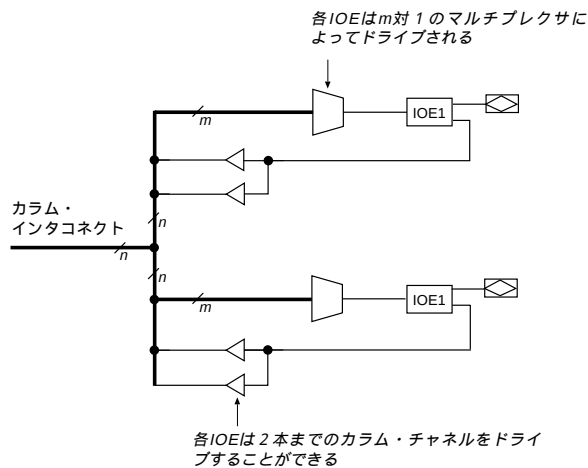


表11はFLEX 10KEデバイスにおけるコラム・チャンネルからIOEに接続するときのリソースの数を示したものです。

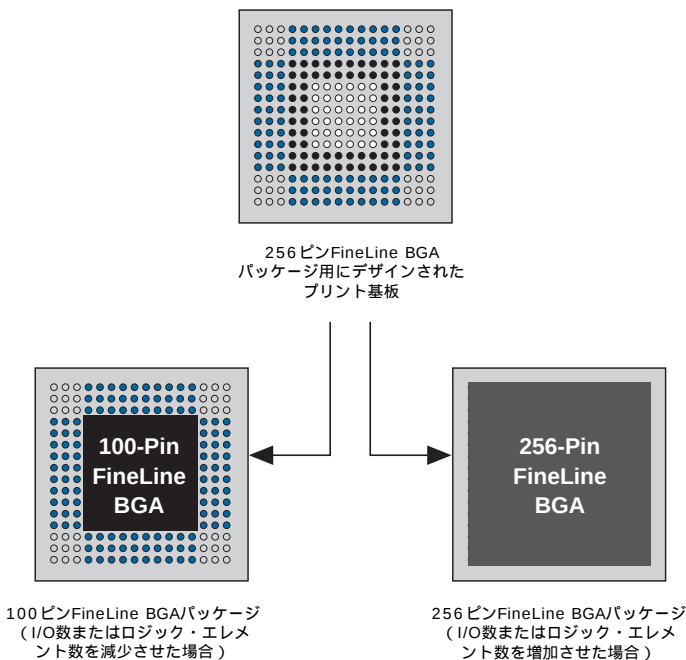
表11 FLEX 10KEデバイスのコラム・チャンネルからIOEへのインタコネクト・リソース		
デバイス名	コラムあたりのチャンネル数(n)	ピンあたりのコラム・チャンネル数(m)
EPF10K30E	24	16
EPF10K50E EPF10K50S	24	16
EPF10K100B EPF10K100E	24	16
EPF10K130E	32	24
EPF10K200E EPF10K200S	48	40

SameFrame ピン配置機能

FLEX 10KEデバイスはFineLine BGAパッケージによるSameFrameピン配置機能をサポートしています。このSameFrameピン配置機能は、ボール数の少ないFineLine BGAパッケージのボールが、ボール数の多いFineLine BGAパッケージのボールの位置と互換性を持つように配列したものです。このSameFrameピン配置機能により、集積度の異なる同じパッケージのデバイスへの移行だけでなく、パッケージと集積度の異なるデバイスへの移行も可能にする高い柔軟性が提供されます。このため、一定のプリント基板（PCB）のレイアウトで、パッケージや集積度の異なる複数デバイスの使用が可能になります。例えば、256ピンFineLine BGAパッケージのEPF10K30Eから、672ピンFineLine BGAパッケージのEPF10K200Sへの移行が1種類のボード・レイアウトでサポートされます。

QuartusとMAX+PLUS IIのソフトウェアは、このSameFrameピン配置機能を持つデバイスを使用するPCBのレイアウトをサポートしています。これらのソフトウェアでは、現在および将来使用するデバイスを定義することができます。この設定を行うと、QuartusとMAX+PLUS IIのソフトウェアは、このマイグレーション機能の利点を活用したボード・レイアウトになるピン配置を生成します（図18を参照）。

図18 SameFrameピン配置機能の例



ClockLockとClockBoostの機能

高速のデザインをサポートするため、FLEX 10KEデバイスは、Phase-Locked Loop (PLL) を使用して、デザイン・スピードの高速化や使用デバイス・リソースの減少を実現するClockLockとClockBoostのオプションを提供しています。ClockLock回路はクロック信号をPLLに同期して動作させ、クロックの遅延とデバイス内の信号スキューを低減させます。この低減により、0nsのレジスタ・ホールド・タイムを維持しながら、セットアップ・タイムと「Clock-to-Output」遅延が最小に抑えられます。ClockBoost回路はクロック周波数の通倍機能を実現しており、この機能を使用してロジックの一部を時分割で動作させることによって、デバイスのエリア効率を改善することができます。また、ClockBoostの機能を使用することにより、ボード上に低速のクロックを分配し、デバイス内部でのクロック周波数の通倍を実現することが可能になります。ClockLockとClockBoostの機能を利用することで、システムの性能と帯域幅が大幅に改善されます。

EPF10K50Eを除くすべてのFLEX 10KEデバイスはClockLockとClockBoostの機能をサポートしています。また、EPF10K50SとEPF10K200Sの両デバイスもClockLockとClockBoostの機能をサポートしています。ClockLockとClockBoostの機能をサポートしているデバイスは、そのオーダ・コードの末尾に「X」のサフィックスが追加されます。例えば、EPF10K200EFC672-1Xは、これらの機能をサポートしています。

FLEX 10KEデバイス内のClockLockとClockBoostの機能は、QuartusおよびMAX+PLUS II のソフトウェアによってイネーブルにされます。これらの機能の使用には、外部デバイスを必要としません。ClockLockおよびClockBoost回路の出力をデバイスのピンに取り出すことはできません。

ClockLockとClockBoostの回路は入力クロックの立ち上がりエッジにロックします。この回路の出力はレジスタのクロック入力をドライブすることができ、生成されたクロックの極性を反転させることはできません。

ClockLockとClockBoostの回路へのクロックはクロック専用ピン (GCLK1) から供給されます。このクロック専用ピンがClockLockまたはClockBoostの回路をドライブしている場合は、デバイスの他の回路をドライブすることはできません。

周波数が通倍されたクロックと通倍されないクロックの双方を必要とするデザインでは、ボード上のクロックの配線パターンをGCLK1ピンに接続することができます。MAX+PLUS IIのソフトウェアでは、GCLK1をClockLockとClockBoostの双方の回路に接続することができますが、双方の回路が使用された場合は、もう一方のクロック専用ピンを使用することはできません。

ClockLockとClockBoostのタイミング・パラメータ

ClockLockとClockBoostの回路を適切に動作させるためには、入力のクロックが要求されるタイミング規格に適合している必要があります。これらの規格が満足されない場合は、これらの回路が入力されたクロックにロックせず、デバイス内に不適切なクロックが生成されます。ClockLockとClockBoostの回路によって生成されたクロックも一定の規格を満足している必要があります。コンフィギュレーション時に入力されたクロックがこれらの要求を満足している場合には、コンフィギュレーション時にClockLockとClockBoostの回路が入力のクロックにロックするようになります。そして、コンフィギュレーション完了後に回路が使用可能な状態になります。図19は入力されるクロックと生成されるクロックのタイミング規格を示したものです。

図19 入力クロックと生成クロックの規格

t_I のパラメータは入力クロック期間、 t_O のパラメータは出力クロック期間として参照されます。

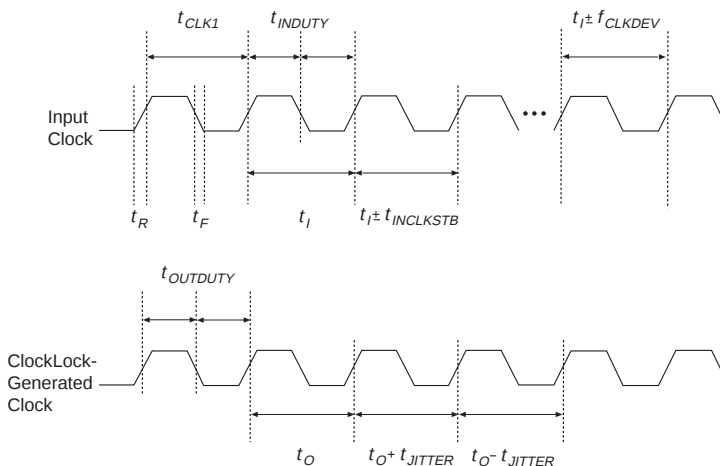


表12は、ClockLockとClockBoostのタイミング・パラメータの規格を示したものです。

表12 ClockLockとClockBoostのタイミング・パラメータ					
シンボル	パラメータ	最小	標準	最大	単位
t_R	入力立ち上がり時間			5	ns
t_F	入力立ち下がり時間			5	ns
t_{INDUTY}	入力デューティ・サイクル	40		60	%
f_{CLK1}	入力クロック周波数 (ClockBoostの通信指数が 1 の場合)	30		140	MHz
f_{CLK2}	入力クロック周波数 (ClockBoostの通信指数が 2 の場合)	16		70	MHz
f_{CLKDEV}	MAX+PLUS IIソフトウェアで指定した値からの入力誤差 (1)			25,000 (2)	PPM
$t_{INCLKSTB}$	入力クロック安定度 (隣接したクロック間で測定)			100	ps
t_{LOCK}	ClockLockまたはClockBoostがロックするまでに要する時間 (3)			10	μs
t_{JITTER}	ClockLockまたはClockBoostから生成されたクロックのジッタ (4)			250 (4)	ps
$t_{OUTDUTY}$	ClockLockまたはClockBoostから生成されたクロックのデューティ・サイクル	40	50	60	%

注：

- (1) MAX+PLUS IIソフトウェアでClockLockとClockBoostの使用を設定する場合は、入力の周波数を定義する必要があります。MAX+PLUS IIのソフトウェアは、ClockLockとClockBoostの回路のPLLをこの周波数に設定します。 f_{CLKDEV} のパラメータは、入力クロックがデバイスの動作中に規定した周波数とどの程度異なっても良いかを表しています。シミュレーションにおいて、このパラメータが反映されることはありません。
- (2) 25,000PPM (Parts Per Million) は、入力クロック期間の2.5%に相当します。
- (3) デバイス・コンフィギュレーションにおいて、ClockLockとClockBoostの回路はデバイス内の他の部分よりも先にコンフィギュレーションされます。 t_{LOCK} の値はコンフィギュレーションに要する時間よりも短いため、コンフィギュレーションの期間中に入力クロックが供給された場合でも、ClockLockとClockBoostの回路がコンフィギュレーション期間にロックします。
- (4) t_{JITTER} の規格は長時間の観測によって測定されます。 $t_{INCLKSTB}$ が50ps未満であれば、 t_{JITTER} の最大値は200psとなります。

I/Oの構成

このセクションでは、FLEX 10KEデバイスに提供されている、PCI (Peripheral Component Interconnect) プルアップ・クランピング・ダイオード・オプション、スルー・レート・コントロール、オープン・ドレイン出力オプション、MultiVolt I/Oインタフェース機能について解説します。PCIプルアップ・クランピング・ダイオード、スルー・レート・コントロール、オープン・ドレイン出力の各オプションは、MAX+PLUS IIのlogicオプションを通じて、ピンごとに個別に設定することができます。また、MultiVolt I/Oインタフェースは、 V_{CCIO} を V_{CCINT} と異なる電源電圧に接続することによってコントロールすることができます。これらの設定の影響は、MAX+PLUS IIのGlobal Project Device Optionsのダイアログ・ボックス (Assignメニュー) を使用してシミュレーションすることができます。

PCIプルアップ・クランピング・ダイオード・オプション

FLEX 10KEデバイスは、各I/Oピン、入力専用ピン、およびクロック専用ピンにプルアップ・クランピング・ダイオードを内蔵しています。PCIクランピング・ダイオードは信号を V_{CCIO} の値にクランプする働きをするもので、この機能は3.3VのPCI仕様に準拠させるときに必要となります。また、この

クランピング・ダイオードは、他のシステムへのオーバシュートを制限する目的にも使用することができます。

クランピング・ダイオードの使用は、ピンごとに設定することができます。 V_{CCIO} が3.3Vになっている場合、クランピング・ダイオードのオプションがONに設定されたピンを2.5Vまたは3.3Vの信号でドライブすることは可能ですが、5.0Vの信号ではドライブできません。また、 V_{CCIO} が2.5Vになっている場合は、クランピング・ダイオードのオプションがONに設定されたピンを2.5Vの信号でドライブすることは可能ですが、3.3Vまたは5.0Vの信号ではドライブすることはできません。さらに、一定のピンのグループに対してクランピング・ダイオードがアクティブになるように設定することができるため、これによって3.3VのPCIバスと5.0Vデバイス間をブリッジするデバイスを実現することも可能です。

スルー・レート・コントロール

各IOEの出力バッファには出力のスルー・レートを調整する機能が提供されており、各出力バッファを低ノイズのモード、または高速性能のモードのいずれかにコンフィギュレーションすることができます。低速スルー・レートのモードではシステムのノイズが低減されますが、最大の遅延時間が約4.3ns増加します。高速スルー・レートのモードは、ノイズに対する適切な対策が行われているシステムでスピードがクリティカルとなる出力のみに使用して下さい。スルー・レートはデザインの入力時に各ピンごとに指定することができます、すべてのピンにデフォルトのスルー・レートを指定することも可能です。低速スルー・レートの設定は出力の立ち下がり立ち上がりエッジの双方に影響を与えます。

オープン・ドレイン出力オプション

FLEX 10KEデバイスには、各I/Oピンごとにオープン・ドレイン出力（電気的にオープン・コレクタ出力と等価）の指定を行うことができるオプションが提供されています。このオープン・ドレイン出力を使用することによって、システム・レベルのコントロール信号（インタラプト信号やライト・イネーブル信号）を複数のデバイスで使用できるようになります。また、これを使用して追加のワイヤード-ORのブレンを構成することもできます。

MultiVolt I/Oインタフェース

FLEX 10KEデバイスのアーキテクチャはMultiVolt I/Oインタフェース機能をサポートしており、すべてのパッケージのFLEX 10KEデバイスは異なる電源電圧を使用しているシステムとインタフェースすることができます。これらのデバイスは、内部のロジックの動作と入力バッファに使用される V_{CC} ピン（ V_{CCINT} ）のセットとI/Oピンの出力ドライバに使用される V_{CC} ピン（ V_{CCIO} ）のセットを持っています。

V_{CCINT} のピンは常に2.5Vの電源に接続する必要があります。 V_{CCINT} が2.5Vの条件では、2.5V、3.3V、5.0Vの各入力電圧の信号に対する互換性が提供さ

れます。このとき、VCCIOピンは要求される出力レベルに応じて3.3Vあるいは2.5Vのいずれかの電源に接続することができます。VCCIOピンを2.5Vの電源に接続した場合は、出力電圧が2.5Vのシステムと互換性を持つようになります。また、VCCIOピンを3.3Vの電源に接続した場合は、出力のHighレベルが3.3Vとなり、3.3Vまたは5.0Vのシステムとの互換性を持つようになります。VCCIOが3.0V以上の電圧で動作するデバイスでは、 t_{OD1} よりも高速となる t_{OD2} のタイミング遅延が実現されます。

表13はFLEX 10KEデバイスでサポートされているMultiVolt I/O機能をまとめたものです。

表13 FLEX 10KEデバイスのMultiVolt I/Oサポート						
V _{CCIO} (V)	入力信号 (V)			出力信号 (V)		
	2.5	3.3	5.0	2.5	3.3	5.0
2.5	✓	✓(1)	✓(1)	✓		
3.3	✓	✓	✓(1)	✓(2)	✓	✓

注：

- (1) V_{CCIO}より高い電圧の信号で入力をドライブするときは、PCIクランピング・ダイオードをディセーブルする必要があります。
- (2) V_{CCIO}=3.3Vの場合、FLEX 10KEデバイスは3.3Vの入力電圧にも対応している2.5Vデバイスをドライブすることができます。

FLEX 10KEのオープン・ドレイン出力ピンは（5.0Vの電源に対するプルアップ抵抗を接続）、3.5VのV_{IH}を必要とする5.0VのCMOS入力ピンをドライブすることができます。オープン・ドレイン・ピンがアクティブになると、このピンはLowレベルをドライブします。このピンがインアクティブになると、このピンと接続されている配線パターンは抵抗により5.0Vにプルアップされます。オープン・ドレイン・ピンはLowレベルをドライブするかトライ・ステートになるだけでHighレベルをドライブすることはありません。このときの信号の立ち上がり時間はプルアップ抵抗と負荷インピーダンスに依存します。プルアップ抵抗を使用する場合は、I_{OL}の規格に注意する必要があります。

電源のシーケンスと活線挿抜

FLEX 10KEデバイスは複数の電源電圧がある環境で使用されることがあるため、可能性のある任意の電源投入シーケンスに対応できるように設計されています。V_{CCIO}とV_{CCINT}のプレーンには、任意の順番で電源を供給することができます。

電源の投入前および投入中でも、FLEX 10KEデバイスに対する信号のドライブをデバイスにダメージを与えることなく行えます。また、FLEX 10KEデバイスは、電源の投入時に信号を外部にドライブしません。FLEX 10KEデバイスは動作条件に達すると、ユーザの指定した動作を行います。

IEEE Std. 1149.1(JTAG) バウンダリ・ スキャンの サポート

FLEX 10KEファミリのすべてのデバイスは、IEEE Std. 1149.1-1990の標準規格に準拠したJTAG BSTをサポートしています。また、FLEX 10KEファミリのすべてのデバイスは、JTAGピンを使用して、BitBlasterまたはByteBlasterMVダウンロード・ケーブル、あるいはプログラミング/テスト用言語であるJam™を採用したハードウェアからコンフィギュレーションすることができます。JTAGバウンダリ・スキャン・テストはコンフィギュレーションの前か後で実行できますが、コンフィギュレーションの期間中には実行できません。FLEX 10KEデバイスは下記の表14に示されているJTAGインストラクションをサポートしています。

表14 FLEX 10KEデバイスがサポートするJTAGインストラクション	
JTAG インストラクション	内 容
SAMPLE/PRELOAD	動作中のデバイスのピンから信号を取り込んでテストすることができます。また、最初のデータ・パターンをデバイス・ピンに出力させることができる。
EXTEST	出力ピンにテスト・パターンを強制的に与え、入力ピンのデータを取り込んでテスト結果を比較することによって外部回路との接続とボードレベルの配線がテストできる。
BYPASS	TDIピンとTDOピンの間に1ビットのバイパス・レジスタを配置することによって、デバイスに通常の動作をさせながらBSTデータが指定したデバイスをバイパスして隣接したデバイスに同期転送されるようにすることができる。
USERCODE	ユーザ定義の電子署名レジスタであるUSERCODEレジスタを選択し、これをTDIとTDOのピン間に配置することによって、TDOにUSERCODEをシリアルにシフト・アウトさせることができる。
IDCODE	IDCODEレジスタを選択し、これをTDIとTDOのピン間に配置することによって、TDOにIDCODEをシリアルにシフト・アウトさせることができる。
ICR関連 インストラクション	これらのインストラクションは、JTAGポートを使用して、BitBlasterまたはByteBlasterMVの各ダウンロード・ケーブル、あるいはJamファイル(.jam)またはJam Byte-Codeファイル(.jbc)を採用したエンベデッド・プロセッサからFLEX 10KEデバイスをコンフィギュレーションするときに使用される。

FLEX 10KEのインストラクション・レジスタの長さは、10ビットです。また、FLEX 10KEデバイスのUSERCODEレジスタの長さは32ビットとなっており、このうち7ビットがユーザによって定義され、25ビット分はあらかじめ定義されています。表15と表16は各FLEX 10KEデバイスのバウンダリ・スキャン・レジスタの長さでデバイスIDCODEを示したものです。

表15 FLEX 10KEデバイスのバウンダリ・スキャン・レジスタの長さ

デバイス名	バウンダリ・スキャン・レジスタの長さ
EPF10K30E	690
EPF10K50E EPF10K50S	798
EPF10K100B	873
EPF10K100E	1,050
EPF10K130E	1,308
EPF10K200E EPF10K200S	1,446

表16 FLEX 10KEデバイスの32ビットIDCODE 注(1)

デバイス名	IDCODE (32ビット)			
	バージョン (4ビット)	パート・ナンバ (16ビット)	製造業者IDコード (11ビット)	1 (1ビット) (2)
EPF10K30E	0001	0001 0000 0011 0000	00001101110	1
EPF10K50E EPF10K50S	0001	0001 0000 0101 0000	00001101110	1
EPF10K100B	0001	0000 0001 0000 0000	00001101110	1
EPF10K100E	0010	0000 0001 0000 0000	00001101110	1
EPF10K130E	0001	0000 0001 0011 0000	00001101110	1
EPF10K200E EPF10K200S	0001	0000 0010 0000 0000	00001101110	1

注：

(1) 左側がMSBです。

(2) すべてのJTAG IDCODEのLSBは1になっています。

FLEX 10KEデバイスのJTAGピンにはウィーク・プルアップ抵抗が内蔵されています。



JTAGの動作に関する詳細については、下記の資料を参照してください。

- アプリケーション・ノート、AN 39「IEEE Std. 1149.1(JTAG) Boundary-Scan Testing in Altera Devices」(日本語版「アルテラ・デバイスのJTAG バウンダリ・スキャン・テスト」)
- 「BitBlaster Serial Download Cable」のデータシート
- 「ByteBlasterMV Parallel Port Download Cable」のデータシート
- 「Jam Programming & Test Language Specification」

図20はJTAG信号に対するタイミングの規格を示したものです。

図20 FLEX 10KEデバイスのJTAG信号波形

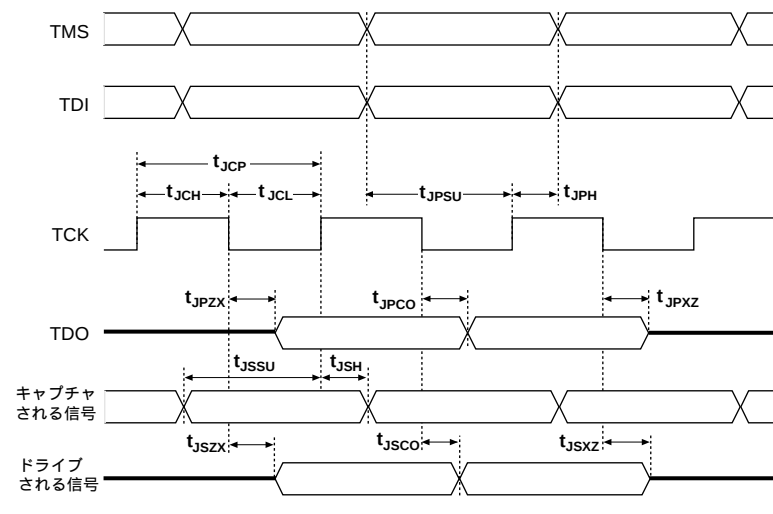


表17はFLEX 10KEデバイスのJTAG信号に関連したタイミング・パラメータとその値を示したものです。

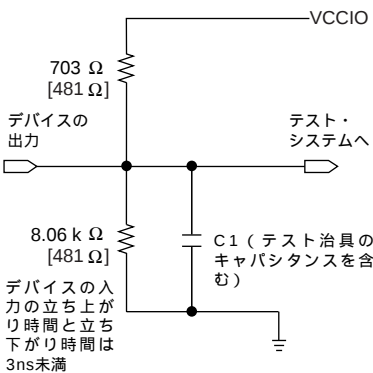
表17 FLEX 10KEのJTAGタイミング・パラメータと値				
シンボル	パラメータ	最小	最大	単位
t_{JCP}	TCKクロックの期間	100		ns
t_{JCH}	TCKクロックのHigh時間	50		ns
t_{JCL}	TCKクロックのLow時間	50		ns
t_{JPSU}	JTAGポートのセットアップ・タイム	20		ns
t_{JPH}	JTAGポートのホールド・タイム	45		ns
t_{JPCO}	JTAGポートの「Clock-to-Output」遅延		25	ns
t_{JPZX}	JTAGポートのハイ・インピーダンスから有効出力まで		25	ns
t_{JPXZ}	JTAGポートの有効出力からハイ・インピーダンスまで		25	ns
t_{JSSU}	キャプチャ・レジスタのセットアップ・タイム	20		ns
t_{JSH}	キャプチャ・レジスタのホールド・タイム	45		ns
t_{JSCO}	アップデート・レジスタの「Clock-to-Output」遅延		35	ns
t_{JSZX}	アップデート・レジスタのハイ・インピーダンスから有効出力まで		35	ns
t_{JSXZ}	アップデート・レジスタの有効出力からハイ・インピーダンスまで		35	ns

デバイスの テスト

FLEX 10KEの各デバイスにはファンクション・テストが実施されており、その動作が保証されています。コンフィギュレーションされる各SRAM(Static Random Access Memory)ビットとすべての論理機能は完全にテストされており、100%のコンフィギュレーションが保証されています。FLEX 10KEデバイスのACテストは、図21に等価な条件で行われています。デバイスのコンフィギュレーションとテストには、生産フローの中のあらゆる工程で複数のテスト・パターンが使用されています。

図21 FLEX 10KEデバイスのACテスト条件

電源のトランジェントがAC特性の測定に影響を及ぼすことがあります。正確な測定を行うため、複数の出力を同時に変化させることは避けてください。スレッショルドのテストはACの測定条件では行わないでください。デバイスの出力が負荷のキャパシタンスをディスチャージするときに、大振幅で高速なグラウンド電流のトランジェントが発生し、これらのトランジェントがグラウンド・ピンとテスト・システムのグラウンドとの間に存在する寄生インダクタンスに流れると、ノイズ・マージンが著しく低下します。[]内の数値は2.5V出力に対してのものです。[]のない数値は3.3V出力に対するものです。



動作条件

表18から表21は2.5V動作のFLEX 10KEデバイスの絶対最大定格、推奨動作条件、DC特性、およびキャパシタンスを示したものです。

表18 FLEX 10KE 2.5Vデバイスの絶対最大定格 注(1)

シンボル	パラメータ	条件	最小	最大	単位
V _{CCINT}	供給電圧	GNDに対して 注(2)	- 0.5	3.6	V
V _{CCIO}			- 0.5	4.6	V
V _I			- 2.0	5.75	V
I _{OUT}	ピンあたりのDC出力電流		- 25	25	mA
T _{STG}	保存温度	バイアスなし	- 65	150	
T _{AMB}	動作周囲温度	バイアス時	- 65	135	
T _J	接合温度	PQFP、TQFPおよびBGAパッケージ、バイアス時		135	
		セラミックPGAパッケージ、バイアス時		150	

表19 FLEX 10KE 2.5Vデバイスの推奨動作条件

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックと入力バッファ用供給電圧	注(3)、(4)	2.30 (2.30)	2.70 (2.70)	V
V_{CCIO}	出力バッファ用供給電圧、3.3V動作時	注(3)、(4)	3.00 (3.00)	3.60 (3.60)	V
	出力バッファ用供給電圧、2.5V動作時	注(3)、(4)	2.30 (2.30)	2.70 (2.70)	V
V_I	入力電圧	注(5)	- 0.5	5.75	V
V_O	出力電圧		0	V_{CCIO}	V
T_A	動作周囲温度	一般用	0	70	
		工業用	- 40	85	
T_J	動作接合温度	一般用	0	85	
		工業用	- 40	100	
t_R	立ち上がり時間			40	ns
t_F	立ち下がり時間			40	ns

表20 FLEX 10KE 2.5VデバイスのDC特性 注(6)、(7)

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{IH}	Highレベル入力電圧		1.7, $0.5 \times V_{CCIO}$ 注(8)		5.75	V
V_{IL}	Lowレベル入力電圧		- 0.5		$0.8, 0.3 \times V_{CCIO}$ 注(8)	V
V_{OH}	3.3V HighレベルTTL出力電圧	$I_{OH} = - 8\text{mA DC}$, $V_{CCIO} = 3.00\text{V}$ 注(9)	2.4			V
	3.3V HighレベルCMOS出力電圧	$I_{OH} = - 0.1\text{mA DC}$, $V_{CCIO} = 3.00\text{V}$ 注(9)	$V_{CCIO} - 0.2$			V
	3.3V HighレベルPCI出力電圧	$I_{OH} = - 0.5\text{mA DC}$, $V_{CCIO} = 3.00 \text{ to } 3.60\text{V}$ 注(9)	$0.9 \times V_{CCIO}$			V
	2.5V Highレベル出力電圧	$I_{OH} = - 0.1\text{mA DC}$, $V_{CCIO} = 2.30\text{V}$ 注(9)	2.1			V
		$I_{OH} = - 1\text{mA DC}$, $V_{CCIO} = 2.30\text{V}$ 注(9)	2.0			V
		$I_{OH} = - 2\text{mA DC}$, $V_{CCIO} = 2.30\text{V}$ 注(9)	1.7			V
V_{OL}	3.3V LowレベルTTL出力電圧	$I_{OL} = 12\text{mA DC}$, $V_{CCIO} = 3.00\text{V}$ 注(9)			0.45	V
	3.3V LowレベルCMOS出力電圧	$I_{OL} = 0.1\text{mA DC}$, $V_{CCIO} = 3.00\text{V}$ 注(10)			0.2	V
	3.3V LowレベルPCI出力電圧	$I_{OL} = 1.5\text{mA DC}$, $V_{CCIO} = 3.00 \text{ to } 3.60\text{V}$ 注(10)			$0.1 \times V_{CCIO}$	V
	2.5V Lowレベル出力電圧	$I_{OL} = 0.1\text{mA DC}$, $V_{CCIO} = 2.30\text{V}$ 注(10)			0.2	V
		$I_{OL} = 1\text{mA DC}$, $V_{CCIO} = 2.30\text{V}$ 注(10)			0.4	V
		$I_{OL} = 2\text{mA DC}$, $V_{CCIO} = 2.30\text{V}$ 注(10)			0.7	V
I_I	入力ピン・リーク電流	$V_I = 5.3 \text{ to } - 0.3\text{V}$	- 10		10	μA
I_{OZ}	トライ・ステートI/Oピン・リーク電流	$V_O = 5.3 \text{ to } - 0.3\text{V}$	- 10		10	μA
I_{CC0}	V_{CC} 供給電流 (スタンバイ時)	$V_I = \text{ground}$ 、無負荷、入力のトグルなし		5		mA
		$V_I = \text{ground}$ 、無負荷、入力のトグルなし 注(11)		10		mA
R_{CONF}	コンフィギュレーション前および実行時のI/Oピンのプルアップ抵抗値	$V_{CCIO} = 3.0\text{V}$ 注(12)	20		50	$\text{k}\Omega$
		$V_{CCIO} = 2.3\text{V}$ 注(12)	30		80	$\text{k}\Omega$

表21 FLEX 10KEデバイスのキャパシタンス 注(13)

シンボル	パラメータ	条件	最小	最大	単位
C_{IN}	入力キャパシタンス	$V_{IN} = 0\text{ V}$, $f = 1.0\text{ MHz}$		10	pF
C_{INCLK}	クロック専用ピンの入力キャパシタンス	$V_{IN} = 0\text{ V}$, $f = 1.0\text{ MHz}$		12	pF
C_{OUT}	出力キャパシタンス	$V_{OUT} = 0\text{ V}$, $f = 1.0\text{ MHz}$		10	pF

注：

- (1) 絶対最大定格については、「*Operating Requirements for Altera Devices*」(日本語版「アルテラ・デバイス使用上の注意」)を参照してください。
- (2) 最低DC入力電圧は - 0.5Vです。無負荷で入力電流が100mA以下で20ns以下の幅の条件であれば、過渡状態の期間に入力が - 2.0Vまでアンダシュート、または5.75Vまでオーバシュートしても構いません。
- (3) カッコ内の数値は工業用温度範囲の製品の場合です。
- (4) V_{CC} の立ち上がりは最大100msです。 V_{CC} は一定の比率で上昇する必要があります。
- (5) V_{CCIO} および V_{CCINT} に電源を供給する前に、入力専用ピン、クロック専用ピン、I/Oピン、JTAGピンを含むすべてのピンをドライブすることが可能です。
- (6) 標準値は $T_A=25^\circ\text{C}$ 、 $V_{CCINT}=2.5\text{V}$ 、 $V_{CCIO}=2.5\text{V}$ または 3.3V の条件のときのものです。
- (7) これらの値は47ページに記載されている表19の「FLEX 10KE 2.5Vデバイスの推奨動作条件」をベースに規定されています。
- (8) FLEX 10KEデバイスの入力バッファは2.5V、3.3VのLVTTTLとLVCMOS、5.0VのTTLおよびCMOS信号と互換性があります。また、 V_{CCIO} と V_{CCINT} の関係が図22に示されている条件に適合している場合は、入力バッファが3.3VのPCI仕様準拠となります。
- (9) I_{OH} のパラメータはHighレベルTTL、PCIまたはCMOS出力電流として参照されます。
- (10) I_{OL} のパラメータはLowレベルTTL、PCIまたはCMOS出力電流として参照されます。このパラメータは出力ピンと同じようにオープン・ドレイン・ピンにも適用されます。
- (11) このパラメータは、一般用温度範囲の-1スピード・グレード製品と工業用温度範囲の-2スピード・グレード製品に適用されます。
- (12) ピンが外部ソースから V_{CCIO} よりも高い電圧でドライブされる場合は、プルアップ抵抗の値が低下します。
- (13) キャパシタンスはサンプル・テストのみです。

図22は3.3VのPCI仕様に準拠した V_{CCIO} と V_{CCINT} の関係を示したものです。

図22 3.3VのPCI仕様の準拠範囲となる V_{CCIO} と V_{CCINT} の関係

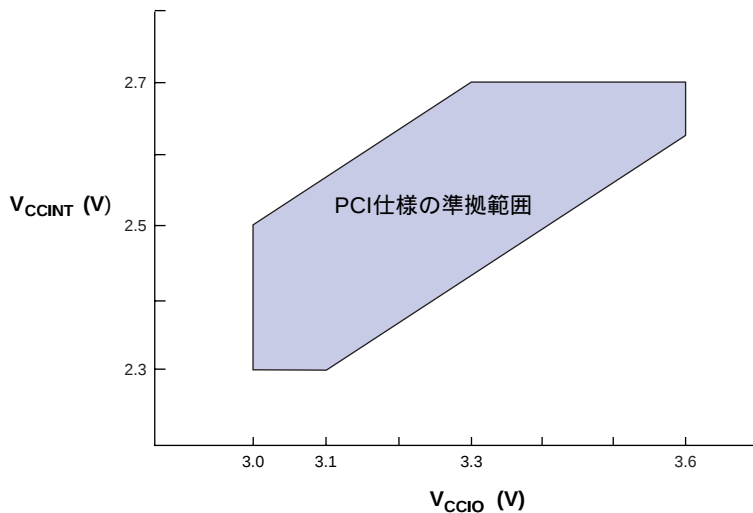
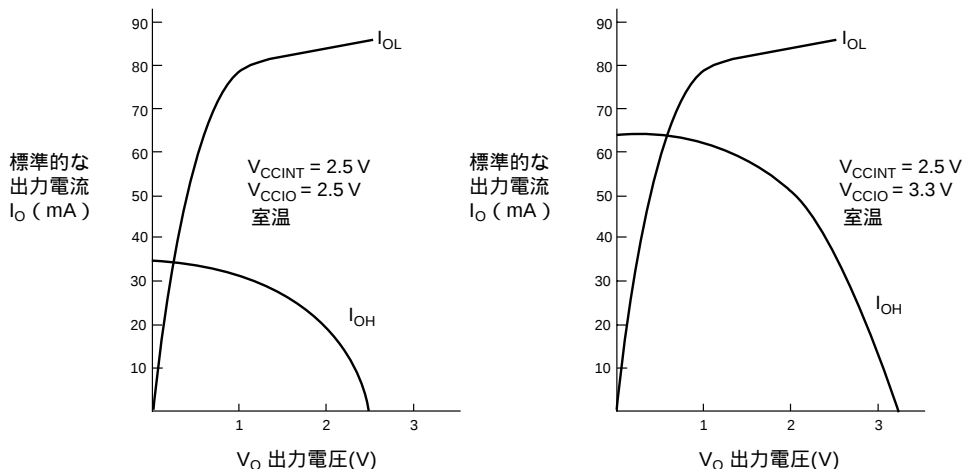


図23は、 V_{CCIO} を2.5Vおよび3.3Vに設定したときのFLEX 10KEデバイスの標準的な出力ドライブ特性を示したものです。出力ドライバは3.3Vの*PCI Local Bus Specification, Revision 2.2*の規格と互換性があります（ V_{CCIO} が3.3Vに接続された場合）。また、-1スピード・グレードのFLEX 10KEデバイスは、*PCI Local Bus Specification, Revision 2.2*で要求されるDrive Strengthの仕様にも準拠しています（ V_{CCINT} ピンに最小供給電圧である2.375Vが供給されていて、 V_{CCIO} ピンが3.3Vに接続されていた場合）。これらのデバイスは、オープンな5.0V PCIシステムにも使用可能となります。

図23 FLEX 10KEデバイスの出力ドライブ特性



タイミング・モデル

FLEX 10KEデバイスでは、連続した高性能な配線リソースとなっているFastTrackインタコネクトによって、予測可能な性能、正確なシミュレーションとタイミング解析が確保されています。この予測可能な性能は、セグメント化された配線構造を使用しているために性能が予測不可能となるFPGAと大きく異なる点です。

デバイス性能は、ソースから、配線を通してデスティネーションに至る信号パスをトレースすることで推定可能になります。例えば、同じ口々に位置する2つのLE間のレジスタ性能は、下記のパラメータを加算することで算出できます。

- LEレジスタの「Clock-to-Outout」遅延 (t_{CO})
- 配線遅延 ($t_{S\Delta MEROW}$)
- LEルック・アップ・テーブルの遅延 (t_{LUT})
- LEレジスタのセットアップ・タイム (t_{SU})

配線遅延は、ソースとデスティネーションとなるLEの位置によって決定されます。さらに複雑なレジスタ間のパスには、ソースとデスティネーションとなるLEの間に複数の組み合わせ回路が含まれることがあります。

タイミング・シミュレーションと遅延時間予測の機能は、MAX+PLUS IIのシミュレータおよびタイミング・アナライザ、業界標準の複数のEDAツールによってサポートされています。MAX+PLUS IIのシミュレータはロジック・デザインの正確さを評価するために論理合成前に実行されるファンクショナル・シミュレーション、および合成後のタイミング・シミュレーションを0.1nsの分解能で実行できます。また、タイミング・アナライザは任意のポイント間の遅延時間情報、セットアップ・タイムとホールド・タイムの解析、デバイス全体の性能解析などの機能を提供しています。

図24は全体のタイミング・モデルを示したもので、ここではFLEX 10KEデバイス内で使用される可能性のある多様なエレメント間のパスが示されています。

図24 FLEX 10KEのタイミング・モデル

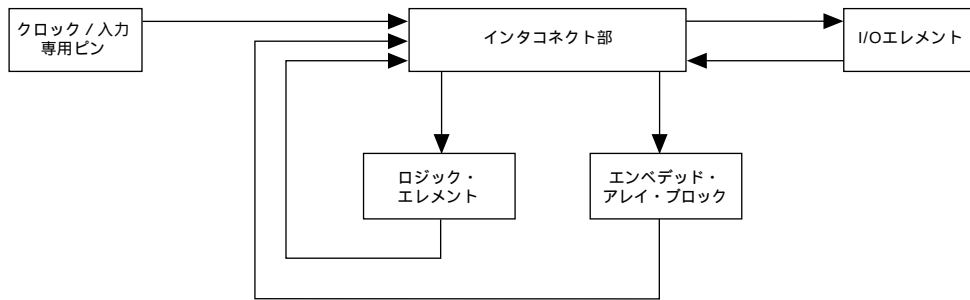


図25から図28は、LE、IOEおよびEAB内の多様なパスに対応した遅延と双方向のタイミング・モデルを示したものです。

図25 FLEX 10KEデバイスのLEタイミング・モデル

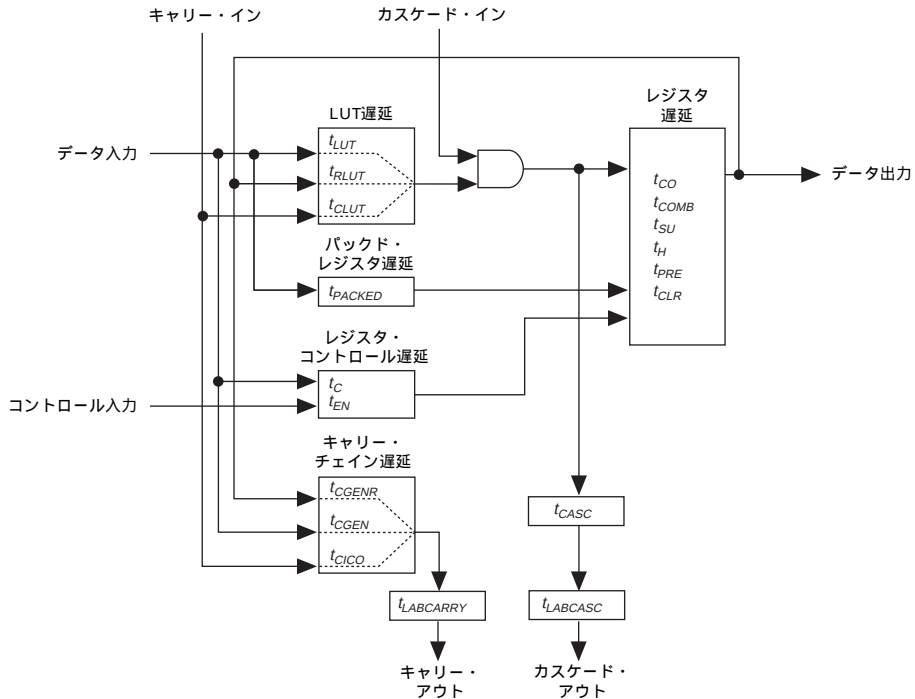


図26 FLEX 10KEデバイスのIOEタイミング・モデル

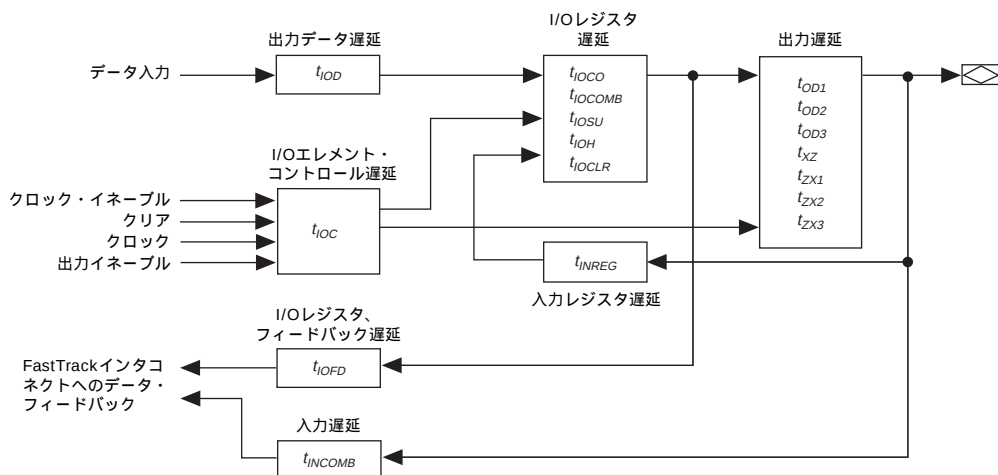


図27 FLEX 10KEデバイスのEABタイミング・モデル

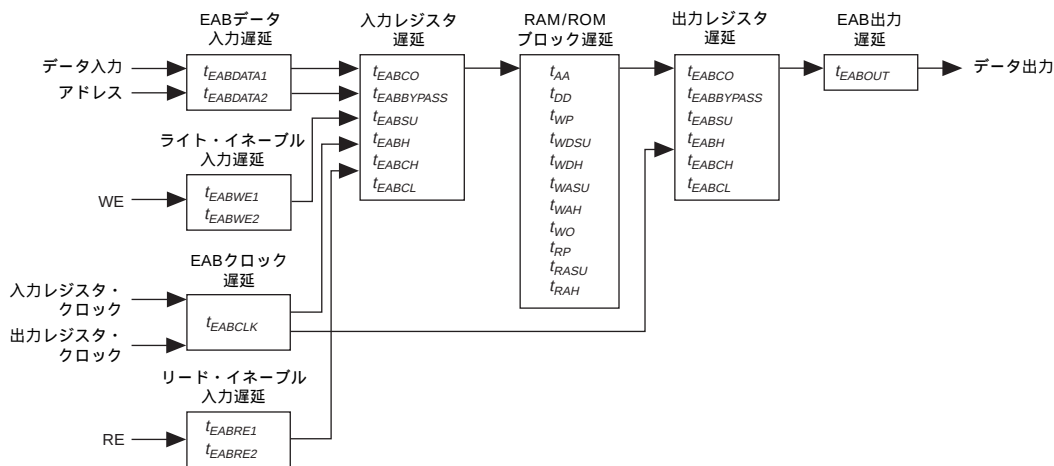


図28 同期双方向ピンの外部タイミング・モデル

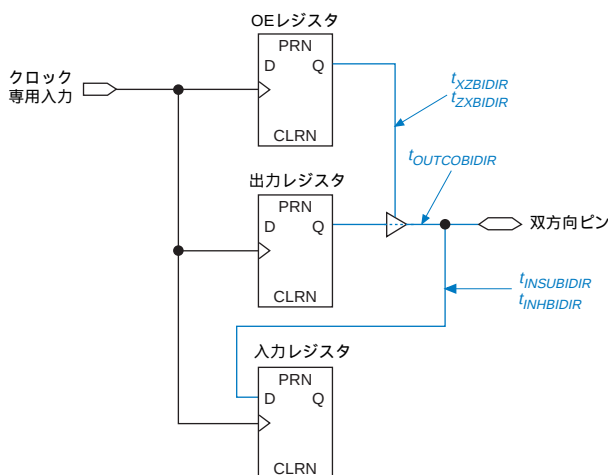


表22から表26は、FLEX 10KEデバイスの内部タイミング・パラメータを解説しています。表27から表29は、FLEX 10KEデバイスの外部タイミング・パラメータとそのシンボルを示したものです。これらのデバイスの詳細なタイミング情報は確定次第、リリースされる予定です。

表22 LEタイミング・マイクロパラメータ (1/2) 注(1)

シンボル	パラメータ	条件
t_{LUT}	データ入力のLUT遅延	
t_{CLUT}	キャリー入力のLUT遅延	
t_{RLUT}	LEレジスタ・フィードバックのLUT遅延	
t_{PACKED}	データ入力からバックド・レジスタへの遅延	
t_{EN}	LEレジスタのイネーブル遅延	
t_{CICO}	キャリー・インからキャリー・アウトまでの遅延	
t_{CGEN}	データ入力からキャリー・アウトまでの遅延	
t_{CGENR}	LEレジスタのフィードバックからキャリー・アウトまでの遅延	
t_{CASC}	カスケード・インからカスケード・アウトまでの遅延	
t_C	LEレジスタのコントロール信号遅延	
t_{CO}	LEレジスタの「Clock-to-Output」遅延	
t_{COMB}	組み合わせ回路の遅延	
t_{SU}	LEレジスタのデータ、イネーブル信号のセットアップ・タイム。非同期クリア、プリセットまたはロード後のLEレジスタ、リカバリ・タイム	
t_H	LEレジスタのデータおよびイネーブル信号ホールド・タイム	
t_{PRE}	LEレジスタのプリセット遅延	

表22 LEタイミング・マイクロパラメータ (2/2) 注(1)

シンボル	パラメータ	条件
t_{CLR}	LEレジスタのクリア遅延	
t_{CH}	クロック・ピンからのクロックHigh最小期間	
t_{CL}	クロック・ピンからのクロックLow最小期間	

表23 IOEのタイミング・マイクロパラメータ 注(1)

シンボル	パラメータ	条件
t_{IOD}	IOEデータ遅延	
t_{IOC}	IOEレジスタのコントロール信号遅延	
t_{IOCO}	IOEレジスタの「Clock-to-Output」遅延	
t_{IOCOMB}	IOE組み合わせ回路出力遅延	
t_{IOSU}	IOEレジスタのデータおよびイネーブル信号セットアップ・タイム 非同期クリア入力後のIOEレジスタ、リカバリ・タイム	
t_{IOH}	IOEレジスタのデータおよびイネーブル信号ホールド・タイム	
t_{IOCLR}	IOEレジスタのクリア・タイム	
t_{OD1}	出力バッファとパッドの遅延 Slow Slew Rate= off、 $V_{CCIO}=V_{CCINT}$	C1 = 35pF 注(2)
t_{OD2}	出力バッファとパッドの遅延 Slow Slew Rate= off、 V_{CCIO} =Low Voltage	C1 = 35pF 注(3)
t_{OD3}	出力バッファとパッドの遅延 Slow Slew Rate= on	C1 = 35pF 注(4)
t_{XZ}	IOE出力バッファのディセーブル遅延	
t_{ZX1}	IOE出力バッファのイネーブル遅延 Slow Slew Rate= off、 $V_{CCIO}=V_{CCINT}$	C1 = 35pF 注(2)
t_{ZX2}	IOE出力バッファのイネーブル遅延 Slow Slew Rate= off、 V_{CCIO} =Low Voltage	C1 = 35pF 注(3)
t_{ZX3}	IOE出力バッファのイネーブル遅延 Slow Slew Rate= on	C1 = 35pF 注(4)
t_{INREG}	IOE入力パッドとバッファからIOEレジスタまでの遅延	
t_{IOFD}	IOEレジスタのフィードバック遅延	
t_{INCOMB}	IOEの入力パッドとバッファからFastTrackインタコネクトまでの遅延	

表24 EABのタイミング・マイクロパラメータ 注(1)		
シンボル	パラメータ	条件
$t_{EABDATA1}$	EABの組み合わせ入力に対するデータまたはアドレスの遅延	
$t_{EABDATA2}$	EABのレジスタ入力に対するデータまたはアドレスの遅延	
t_{EABWE1}	EABの組み合わせ入力に対するライト・イネーブルの遅延	
t_{EABWE2}	EABのレジスタ入力に対するライト・イネーブルの遅延	
t_{EABRE1}	EABの組み合わせ入力に対するリード・イネーブルの遅延	
t_{EABRE2}	EABのレジスタ入力に対するリード・イネーブルの遅延	
t_{EABCLK}	EABレジスタのクロック遅延	
t_{EABCO}	EABレジスタの「Clock-to-Output」遅延	
$t_{EABYPASS}$	レジスタ・バイパス遅延	
t_{EABSU}	EABレジスタのセットアップ・タイム	
t_{EABH}	EABレジスタのホールド・タイム	
t_{EABCLR}	EABレジスタ出力の非同期クリア時間	
t_{EABCH}	クロック、High期間	
t_{EABCL}	クロック、Low期間	
t_{AA}	アドレス・アクセス遅延（リード・イネーブルから出力までの遅延を含む）	
t_{WP}	ライト・パルス幅	
t_{RP}	リード・パルス幅	
t_{WDSU}	ライト・パルスの立ち下がり前のデータ・セットアップ・タイム	注(5)
t_{WDH}	ライト・パルスの立ち下がり後のデータ・ホールド・タイム	注(5)
t_{WASU}	ライト・パルスの立ち上がりエッジ前のアドレス・セットアップ・タイム	注(5)
t_{WAH}	ライト・パルスの立ち下がりエッジ後のアドレス・ホールド・タイム	注(5)
t_{WASU}	ライト・パルスの立ち上がりエッジ前のアドレス・セットアップ・タイム	
t_{WAH}	ライト・パルスの立ち下がりエッジ後のアドレス・ホールド・タイム	
t_{RASU}	リード・パルスの立ち上がり前のアドレス・セットアップ・タイム	
t_{RAH}	リード・パルスの立ち下がり後のアドレス・ホールド・タイム	
t_{WO}	ライト・イネーブルからデータ出力確定までの遅延	
t_{DD}	データ入力から出力確定までの遅延	
t_{EABOUT}	データ出力遅延	

表25 EABのタイミング・マクロパラメータ 注(1)、(6)

シンボル	パラメータ	条件
t_{EABAA}	EABアドレス・アクセス遅延	
$t_{EABRCCOMB}$	EAB非同期リード・サイクル・タイム	
$t_{EABRCREG}$	EAB同期リード・サイクル・タイム	
t_{EABWP}	EABライト・パルス幅	
$t_{EABWCCOMB}$	EAB非同期ライト・サイクル・タイム	
$t_{EABWCREG}$	EAB同期ライト・サイクル・タイム	
t_{EABDD}	EABデータ入力からデータ出力確定までの遅延	
$t_{EABDATA CO}$	出力レジスタ使用時のEAB「Clock-to-Output」遅延	
$t_{EABDATASU}$	入力レジスタ使用時のEABデータ / アドレス・セットアップ・タイム	
$t_{EABDATAH}$	入力レジスタ使用時のEABデータ / アドレス・ホールド・タイム	
$t_{EABWESU}$	入力レジスタ使用時のEAB WE信号セットアップ・タイム	
$t_{EABWESH}$	入力レジスタ使用時のEAB WE信号ホールド・タイム	
$t_{EABWDSU}$	入力レジスタ非使用時のライト・パルス立ち下がりエッジ前のEABデータ・セットアップ・タイム	
t_{EABWDH}	入力レジスタ非使用時のライト・パルス立ち下がりエッジ後のEABデータ・ホールド・タイム	
$t_{EABWASU}$	入力レジスタ非使用時のライト・パルス立ち上がりエッジ前のEABアドレス・セットアップ・タイム	
t_{EABWAH}	入力レジスタ非使用時のライト・パルス立ち下がりエッジ後のEABアドレス・ホールド・タイム	
t_{EABWO}	EABライト・イネーブルからデータ出力確定までの遅延	

表26 インタコネクト・タイミング・マイクロパラメータ 注(1)

シンボル	パラメータ	条件
$t_{SAMELAB}$	同一LAB内でのLE間配線遅延	
$t_{SAMEROW}$	ロウ側のIOE、LE、またはEABから同じロウのIOE、LEまたはEABをドライブしたときの配線遅延	注(7)
$t_{SAMECOLUMN}$	LEから同じカラム側のIOEをドライブしたときの配線遅延	注(7)
$t_{DIFFROW}$	カラム側のIOE、LE、またはEABから、異なるロウのLEまたはEABをドライブしたときの配線遅延	注(7)
$t_{TROWOWS}$	ロウ側のIOEまたはEABから、異なるロウのLEまたはEABをドライブしたときの配線遅延	注(7)
$t_{LEPERIPH}$	LEからIOEのコントロール信号をペリフェラル・コントロール・バスを通じてドライブしたときの配線遅延	注(7)
$t_{LBCARRY}$	LEのキャリー・アウト信号が異なるLAB内のLEのキャリー・イン信号をドライブしたときの配線遅延	
t_{LBCASC}	LEのカスケード・アウト信号が異なるLAB内のLEのカスケード・イン信号をドライブしたときの配線遅延	
$t_{DIN2IOE}$	入力専用ピンからIOEのコントロール入力までの遅延	注(7)
t_{DIN2LE}	入力専用ピンからLEまたはEABコントロール入力までの遅延	注(7)
$t_{DCLK2IOE}$	クロック専用ピンからIOEクロックまでの遅延	注(7)
$t_{DCLK2LE}$	クロック専用ピンからLEまたはEABクロックまでの遅延	注(7)
$t_{DIN2DATA}$	専用入力またはクロックからLEまたはEABのデータ入力までの遅延	注(7)

表27 外部リファレンス・タイミング・パラメータ 注(8)

シンボル	パラメータ	条件
t_{DRR}	4個のLE、3本のロウ・インタコネクト、4本のローカル・インタコネクトを通る信号のレジスタ-レジスタ間の遅延	注(9)

表28 外部タイミング・パラメータ

シンボル	パラメータ	条件
t_{DRR}	4個のLE、3本のロウ・インタコネクト、4本のローカル・インタコネクトを通る信号のレジスタ-レジスタ間の遅延	注(11)
t_{INSU}	IOEレジスタのグローバル・クロック・セットアップ・タイム	
t_{INH}	IOEレジスタのグローバル・クロック・ホールド・タイム	
t_{OUTCO}	グローバル・クロックを使用したときの、IOEレジスタの「Clock-to-Output」遅延	
t_{PCISU}	PCIのデザインに使用されたレジスタに対するグローバル・クロックのセットアップ・タイム	注(12)
t_{PCIH}	PCIのデザインに使用されたレジスタに対するグローバル・クロックのホールド・タイム	注(12)
t_{PCICO}	PCIのデザインに使用されたレジスタに対するグローバル・クロックによる「Clock-to-Output」遅延	注(12)

表29 双方向ピンの外部タイミング・パラメータ 注(10)

シンボル	パラメータ	条件
$t_{\text{INSUBIDIR}}$	同じロウまたは同じカラムのLEレジスタにグローバル・クロックを使用したときの双方向ピンのセットアップ・タイム	
t_{INHBIDIR}	同じロウまたは同じカラムのLEレジスタにグローバル・クロックを使用したときの双方向ピンのホールド・タイム	
$t_{\text{OUTCOBIDIR}}$	IOEレジスタにグローバル・クロックを使用したときの双方向ピンの「Clock-to-Output」遅延	CI = 35pF
t_{XZBIDIR}	IOE出力バッファの同期ディセーブル遅延	CI = 35pF
t_{ZXBIDIR}	Slow Slew Rate=offのときのIOE出力バッファの同期イネーブル遅延	CI = 35pF

表中の注：

- (1) マイクロパラメータは、アーキテクチャ上の各エレメントによって発生するタイミング遅延です。これらのパラメータを正確に測定することはできません。
- (2) 動作条件：FLEX 10KEデバイスの一般用または工業用は、 $V_{\text{CCIO}}=3.3\text{V} \pm 10\%$
- (3) 動作条件：FLEX 10KEデバイスの一般用および工業用は、 $V_{\text{CCIO}}=2.5\text{V} \pm 0.2\text{V}$
- (4) 動作条件： $V_{\text{CCIO}}=2.5\text{V}$ 、 3.3V または 5.0V
- (5) EAB内のRAMは自分自身でタイミングをとっているため、WE信号がレジスタされる場合はこのタイミングを無視することができます。
- (6) EABのマクロパラメータは、EABの特性を簡単に予測できるようにするための内部タイミング・パラメータです。これらのパラメータは選択された各マイクロパラメータを加算することによって計算できます。
- (7) これらの値は代表的なアプリケーションにおけるワースト・ケースの値です。各デザインの実際のワースト・ケース性能を決定するためには、コンパイル完了後にタイミング・シミュレーションとタイミング解析を行う必要があります。
- (8) 外部リファレンス・タイミング・パラメータはアルテラの工場テストされ、ワースト・ケースの値が保証されています。標準的なデバイス・アプリケーションに近い信号パスを組み合わせた状態でテストが行われています。
- (9) テスト回路の詳細、条件などについては日本アルテラへお問い合わせください。
- (10) これらのタイミング・パラメータはサンプル・テストのみです。
- (11) テスト回路の詳細、条件などについては日本アルテラへお問い合わせください。
- (12) このパラメータはPCI Local Bus Specification, Revision 2.2 で規定されている負荷を含むテスト条件と測定方法で測定されます。

表30から表36はEPF10K30Eの内部および外部タイミング・パラメータを示したものです。

表30 EPF10K30EのLEタイミング・マイクロパラメータ 注(1)							
シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{LUT}		0.6		0.8		1.1	ns
t_{CLUT}		0.5		0.6		0.8	ns
t_{RLUT}		0.7		0.8		1.1	ns
t_{PACKED}		0.5		0.6		0.8	ns
t_{EN}		0.6		0.7		0.9	ns
t_{CICO}		0.2		0.2		0.3	ns
t_{CGEN}		0.5		0.5		0.8	ns
t_{CGENR}		0.2		0.2		0.3	ns
t_{CASC}		0.8		0.9		1.2	ns
t_C		0.5		0.6		0.8	ns
t_{CO}		0.5		0.6		0.7	ns
t_{COMB}		0.5		0.6		0.7	ns
t_{SU}	0.5		0.6		0.8		ns
t_H	0.9		1.1		1.5		ns
t_{PRE}		0.5		0.6		0.8	ns
t_{CLR}		0.5		0.6		0.8	ns
t_{CH}	2.0		2.5		3.0		ns
t_{CL}	2.0		2.5		3.0		ns

表31 EPF10K30EのIOEタイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{IOD}		2.4		2.8		3.8	ns
t_{IOC}		0.3		0.3		0.5	ns
t_{IOCO}		0.2		0.2		0.3	ns
t_{IOCOMB}		0.5		0.6		0.8	ns
t_{IOSU}	2.2		2.6		3.5		ns
t_{IOH}	0.5		0.6		0.8		ns
t_{IOCLR}		0.2		0.2		0.3	ns
t_{OD1}		1.1		1.3		1.8	ns
t_{OD2}		0.6		0.9		1.6	ns
t_{OD3}		3.0		3.5		4.8	ns
t_{XZ}		1.1		1.3		1.8	ns
t_{ZX1}		1.1		1.3		1.6	ns
t_{ZX2}		0.6		0.9		1.6	ns
t_{ZX3}		3.0		3.5		4.8	ns
t_{INREG}		5.0		5.9		8.0	ns
t_{IOFD}		3.0		3.6		4.8	ns
t_{INCOMB}		3.0		3.6		4.8	ns

表32 EPF10K30EのEAB内部マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
$t_{EABDATA1}$		1.7		2.0		2.7	ns
$t_{EABDATA2}$		0.6		0.7		0.9	ns
t_{EABWE1}		1.1		1.3		1.8	ns
t_{EABWE2}		0.4		0.4		0.6	ns
t_{EABRE1}		0.8		0.9		1.2	ns
t_{EABRE2}		0.4		0.4		0.6	ns
t_{EABCLK}		0.0		0.0		0.0	ns
t_{EABCO}		0.3		0.3		0.5	ns
$t_{EABYPASS}$		0.5		0.6		0.8	ns
t_{EABSU}	0.9		1.0		1.4		ns
t_{EABH}	0.4		0.4		0.6		ns
t_{EABCLR}		0.3		0.3		0.5	ns
t_{AA}		3.2		3.8		5.1	ns
t_{WP}	2.5		2.9		3.9		ns
t_{RP}	0.9		1.1		1.5		ns
t_{WDSU}	0.9		1.0		1.4		ns
t_{WDH}	0.1		0.1		0.2		ns
t_{WASU}	1.7		2.0		2.7		ns
t_{WAH}	1.8		2.1		2.9		ns
t_{RASU}	3.1		3.7		5.0		ns
t_{RAH}	0.2		0.2		0.3		ns
t_{WO}		2.5		2.9		3.9	ns
t_{DD}		2.5		2.9		3.9	ns
t_{EABOUT}		0.5		0.6		0.8	ns
t_{EABCH}	1.5		2.0		2.5		ns
t_{EABCL}	1.5		2.0		2.5		ns

表33 EPF10K30EのEAB内部タイミング・マクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{EABAA}		6.4		7.6		10.2	ns
$t_{EABRCCOMB}$	6.4		7.6		10.2		ns
$t_{EABRCREG}$	4.4		5.1		7.0		ns
t_{EABWP}	2.5		2.9		3.9		ns
$t_{EABWCCOMB}$	6.0		7.0		9.5		ns
$t_{EABWCREG}$	6.8		7.8		10.6		ns
t_{EABDD}		5.7		6.7		9.0	ns
$t_{EABDATA CO}$		0.8		0.9		1.3	ns
$t_{EABDATASU}$	1.5		1.7		2.3		ns
$t_{EABDATAH}$	0.0		0.0		0.0		ns
$t_{EABWESU}$	1.3		1.4		2.0		ns
t_{EABWEH}	0.0		0.0		0.0		ns
$t_{EABWDSU}$	1.5		1.7		2.3		ns
t_{EABWDH}	0.0		0.0		0.0		ns
$t_{EABWASU}$	3.0		3.6		4.8		ns
t_{EABWAH}	0.5		0.5		0.8		ns
t_{EABWO}		5.1		6.0		8.1	ns

表34 EPF10K30Eのインタコネクト・タイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
$t_{DIN2IOE}$		4.1		4.6		5.9	ns
t_{DIN2LE}		0.9		1.0		1.3	ns
$t_{DIN2DATA}$		1.8		1.9		2.3	ns
$t_{DCLK2IOE}$		3.9		4.6		6.2	ns
$t_{DCLK2LE}$		0.9		1.0		1.3	ns
$t_{SAMELAB}$		0.1		0.1		0.2	ns
$t_{SAMEROW}$		1.3		1.3		1.8	ns
$t_{SAMECOLUMN}$		0.7		0.8		1.5	ns
$t_{DIFFROW}$		2.0		2.1		3.3	ns
$t_{TWOROWS}$		3.3		3.4		5.1	ns
$t_{LEPERIPH}$		3.8		4.1		5.3	ns
$t_{LABCARRY}$		0.1		0.1		0.2	ns
$t_{LABCASC}$		0.3		0.3		0.5	ns

表35 EPF10K30Eの外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{DRR}		8.5		10.0		13.5	ns
t _{INSU} (3)	3.0		3.6		4.8		ns
t _{INH} (3)	0.0		0.0		0.0		ns
t _{OUTCO} (3)	2.0	3.5	2.0	4.5	2.0	7.1	ns
t _{INSU} (4)	2.0		2.6		－		ns
t _{INH} (4)	0.0		0.0		－	－	ns
t _{OUTCO} (4)	0.5	2.5	0.5	3.5	－	－	ns
t _{PCISU}	3.0		4.2		6.4		ns
t _{PCIH}	0.0		0.0		0.0		ns
t _{PCICO}	2.0	6.0	2.0	7.5	2.0	10.2	ns

表36 EPF10K30Eの双方向ピン外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{INSUBIDIR}	1.5		2.2		3.6		ns
t _{INHBIDIR}	0.0		0.0		0.0		ns
t _{OUTCOBIDIR} (3)	2.0	3.5	2.0	4.5	2.0	7.1	ns
t _{XZBIDIR} (3)	2.0	5.8	2.0	6.3	2.0	8.0	ns
t _{ZXBIDIR} (3)	2.0	4.7	2.0	5.3	2.0	7.2	ns
t _{OUTCOBIDIR} (4)	0.5	2.5	0.5	3.5	－	－	ns
t _{XZBIDIR} (4)	0.5	5.3	0.5	5.8	－	－	ns
t _{ZXBIDIR} (4)	0.5	4.2	0.5	4.8	－	－	ns

注：

- (1) すべてのタイミング・パラメータは、このデータシートの表22から表29で解説されています。
- (2) これらのパラメータは、デバイスの特性評価によって規定されます。
- (3) これらのパラメータは、ClockLockおよびClockBoost回路を使用しない条件で測定されます。
- (4) これらのパラメータは、ClockLockおよびClockBoost回路を使用した条件で測定されます。

表37から表43はEPF10K50Eの内部および外部タイミング・パラメータを示したものです。

表37 EPF10K50EのLEタイミング・マイクロパラメータ 注(1)							
シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{LUT}		0.6		0.8		1.1	ns
t_{CLUT}		0.5		0.6		0.8	ns
t_{RLUT}		0.7		0.8		1.1	ns
t_{PACKED}		0.5		0.6		0.8	ns
t_{EN}		0.6		0.7		0.9	ns
t_{CICO}		0.2		0.2		0.3	ns
t_{CGEN}		0.5		0.5		0.8	ns
t_{CGENR}		0.2		0.2		0.3	ns
t_{CASC}		0.8		0.9		1.2	ns
t_C		0.5		0.6		0.8	ns
t_{CO}		0.5		0.6		0.7	ns
t_{COMB}		0.5		0.6		0.7	ns
t_{SU}	0.5		0.6		0.8		ns
t_H	0.9		1.1		1.5		ns
t_{PRE}		0.5		0.6		0.8	ns
t_{CLR}		0.5		0.6		0.8	ns
t_{CH}	2.0		2.5		3.0		ns
t_{CL}	2.0		2.5		3.0		ns

表38 EPF10K50EのIOEタイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{IOD}		2.4		2.8		3.8	ns
t_{IOC}		0.3		0.3		0.5	ns
t_{IOCO}		0.2		0.2		0.3	ns
t_{IOCOMB}		0.5		0.6		0.8	ns
t_{IOSU}	2.2		2.6		3.5		ns
t_{IOH}	0.5		0.6		0.8		ns
t_{IOCLR}		0.2		0.2		0.3	ns
t_{OD1}		1.1		1.3		1.8	ns
t_{OD2}		0.6		0.9		1.6	ns
t_{OD3}		3.0		3.5		4.8	ns
t_{XZ}		1.1		1.3		1.8	ns
t_{ZX1}		1.1		1.3		1.6	ns
t_{ZX2}		0.6		0.9		1.6	ns
t_{ZX3}		3.0		3.5		4.8	ns
t_{INREG}		5.0		5.9		8.0	ns
t_{IOFD}		3.0		3.6		4.8	ns
t_{INCOMB}		3.0		3.6		4.8	ns

表39 EPF10K50EのEAB内部マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
$t_{EABDATA1}$		1.7		2.0		2.7	ns
$t_{EABDATA2}$		0.6		0.7		0.9	ns
t_{EABWE1}		1.1		1.3		1.8	ns
t_{EABWE2}		0.4		0.4		0.6	ns
t_{EABRE1}		0.8		0.9		1.2	ns
t_{EABRE2}		0.4		0.4		0.6	ns
t_{EABCLK}		0.0		0.0		0.0	ns
t_{EABCO}		0.3		0.3		0.5	ns
$t_{EABYPASS}$		0.5		0.6		0.8	ns
t_{EABSU}	0.9		1.0		1.4		ns
t_{EABH}	0.4		0.4		0.6		ns
t_{EABCLR}		0.3		0.3		0.5	ns
t_{AA}		3.2		3.8		5.1	ns
t_{WP}	2.5		2.9		3.9		ns
t_{RP}	0.9		1.1		1.5		ns
t_{WDSU}	0.9		1.0		1.4		ns
t_{WDH}	0.1		0.1		0.2		ns
t_{WASU}	1.7		2.0		2.7		ns
t_{WAH}	1.8		2.1		2.9		ns
t_{RASU}	3.1		3.7		5.0		ns
t_{RAH}	0.2		0.2		0.3		ns
t_{WO}		2.5		2.9		3.9	ns
t_{DD}		2.5		2.9		3.9	ns
t_{EABOUT}		0.5		0.6		0.8	ns
t_{EABCH}	1.5		2.0		2.5		ns
t_{EABCL}	1.5		2.0		2.5		ns

表40 EPF10K50EのEAB内部タイミング・マクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{EABAA}		6.4		7.6		10.2	ns
$t_{EABRCCOMB}$	6.4		7.6		10.2		ns
$t_{EABRCREG}$	4.4		5.1		7.0		ns
t_{EABWP}	2.5		2.9		3.9		ns
$t_{EABWCCOMB}$	6.0		7.0		9.5		ns
$t_{EABWCREG}$	6.8		7.8		10.6		ns
t_{EABDD}		5.7		6.7		9.0	ns
$t_{EABDATA CO}$		0.8		0.9		1.3	ns
$t_{EABDATASU}$	1.5		1.7		2.3		ns
$t_{EABDATAH}$	0.0		0.0		0.0		ns
$t_{EABWESU}$	1.3		1.4		2.0		ns
t_{EABWEH}	0.0		0.0		0.0		ns
$t_{EABWDSU}$	1.5		1.7		2.3		ns
t_{EABWDH}	0.0		0.0		0.0		ns
$t_{EABWASU}$	3.0		3.6		4.8		ns
t_{EABWAH}	0.5		0.5		0.8		ns
t_{EABWO}		5.1		6.0		8.1	ns

表41 EPF10K50Eのインタコネクト・タイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
$t_{DIN2IOE}$		4.6		5.1		6.4	ns
t_{DIN2LE}		0.9		1.0		1.3	ns
$t_{DIN2DATA}$		1.5		1.9		2.3	ns
$t_{DCLK2IOE}$		3.9		4.6		6.2	ns
$t_{DCLK2LE}$		0.9		1.0		1.3	ns
$t_{SAMELAB}$		0.1		0.1		0.2	ns
$t_{SAMEROW}$		1.3		1.3		1.8	ns
$t_{SAMECOLUMN}$		1.6		1.7		2.4	ns
$t_{DIFFROW}$		2.9		3.0		4.2	ns
$t_{TWOROWS}$		4.2		4.3		6.0	ns
$t_{LEPERIPH}$		4.3		4.6		5.8	ns
$t_{LABCARRY}$		0.1		0.1		0.2	ns
$t_{LABCASC}$		0.3		0.3		0.5	ns

表42 EPF10K50Eの外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{DRR}		8.5		10.0		13.5	ns
t _{INSU}	3.0		3.6		4.8		ns
t _{INH}	0.0		0.0		0.0		ns
t _{OUTCO}	2.0	4.6	2.0	5.4	2.0	8.0	ns
t _{PCISU}	3.0		4.2		6.4		ns
t _{PCIH}	0.0		0.0		0.0		ns
t _{PCICO}	2.0	6.0	2.0	7.7	2.0	10.5	ns

表43 EPF10K50Eの双方向ピン外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{INSUBIDIR}	2.7		3.4		4.8		ns
t _{INHIDIR}	0.0		0.0		0.0		ns
t _{OUTCOBIDIR}	2.0	4.6	2.0	5.4	2.0	8.2	ns
t _{XZBIDIR}	2.0	6.3	2.0	6.8	2.0	8.5	ns
t _{ZXBIDIR}	2.0	5.2	2.0	5.8	2.0	7.7	ns

注：

- (1) すべてのタイミング・パラメータは、このデータシートの表22から表29で解説されています。
 (2) これらのパラメータは、デバイスの特性評価によって規定されます。

表44から表50はEPF10K100Eの内部および外部タイミング・パラメータを示したものです。

表44 EPF10K100EのLEタイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{LUT}		0.6		0.8		1.1	ns
t_{CLUT}		0.5		0.6		0.8	ns
t_{RLUT}		0.7		0.8		1.1	ns
t_{PACKED}		0.5		0.6		0.8	ns
t_{EN}		0.6		0.7		0.9	ns
t_{CICO}		0.2		0.2		0.3	ns
t_{CGEN}		0.5		0.5		0.8	ns
t_{CGENR}		0.2		0.2		0.3	ns
t_{CASC}		0.8		0.9		1.2	ns
t_C		0.5		0.6		0.8	ns
t_{CO}		0.5		0.6		0.7	ns
t_{COMB}		0.5		0.6		0.7	ns
t_{SU}	0.5		0.6		0.8		ns
t_H	0.9		1.1		1.5		ns
t_{PRE}		0.5		0.6		0.8	ns
t_{CLR}		0.5		0.6		0.8	ns
t_{CH}	2.0		2.5		3.0		ns
t_{CL}	2.0		2.5		3.0		ns

表45 EPF10K100EのIOEタイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{IOD}		2.4		2.8		3.8	ns
t_{IOC}		0.3		0.3		0.5	ns
t_{IOCO}		0.2		0.2		0.3	ns
t_{IOCOMB}		0.5		0.6		0.8	ns
t_{IOSU}	2.2		2.6		3.5		ns
t_{IOH}	0.5		0.6		0.8		ns
t_{IOCLR}		0.2		0.2		0.3	ns
t_{OD1}		1.1		1.3		1.8	ns
t_{OD2}		0.6		0.9		1.6	ns
t_{OD3}		3.0		3.5		4.8	ns
t_{XZ}		1.1		1.3		1.8	ns
t_{ZX1}		1.1		1.3		1.6	ns
t_{ZX2}		0.6		0.9		1.6	ns
t_{ZX3}		3.0		3.5		4.8	ns
t_{INREG}		5.0		5.9		8.0	ns
t_{IOFD}		3.0		3.6		4.8	ns
t_{INCOMB}		3.0		3.6		4.8	ns

表46 EPF10K100EのEAB内部マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
$t_{EABDATA1}$		1.7		2.0		2.7	ns
$t_{EABDATA2}$		0.6		0.7		0.9	ns
t_{EABWE1}		1.1		1.3		1.8	ns
t_{EABWE2}		0.4		0.4		0.6	ns
t_{EABRE1}		0.8		0.9		1.2	ns
t_{EABRE2}		0.4		0.4		0.6	ns
t_{EABCLK}		0.0		0.0		0.0	ns
t_{EABCO}		0.3		0.3		0.5	ns
$t_{EABBYPASS}$		0.5		0.6		0.8	ns
t_{EABSU}	0.9		1.0		1.4		ns
t_{EABH}	0.4		0.4		0.6		ns
t_{EABCLR}		0.3		0.3		0.5	ns
t_{AA}		3.2		3.8		5.1	ns
t_{WP}	2.5		2.9		3.9		ns
t_{RP}	0.9		1.1		1.5		ns
t_{WDSU}	0.9		1.0		1.4		ns
t_{WDH}	0.1		0.1		0.2		ns
t_{WASU}	1.7		2.0		2.7		ns
t_{WAH}	1.8		2.1		2.9		ns
t_{RASU}	3.1		3.7		5.0		ns
t_{RAH}	0.2		0.2		0.3		ns
t_{WO}		2.5		2.9		3.9	ns
t_{DD}		2.5		2.9		3.9	ns
t_{EABOUT}		0.5		0.6		0.8	ns
t_{EABCH}	1.5		2.0		2.5		ns
t_{EABCL}	1.5		2.0		2.5		ns

表47 EPF10K100EのEAB内部タイミング・マクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{EABAA}		6.4		7.6		10.2	ns
$t_{EABRCCOMB}$	6.4		7.6		10.2		ns
$t_{EABRCREG}$	4.4		5.1		7.0		ns
t_{EABWP}	2.5		2.9		3.9		ns
$t_{EABWCCOMB}$	6.0		7.0		9.5		ns
$t_{EABWCREG}$	6.8		7.8		10.6		ns
t_{EABDD}		5.7		6.7		9.0	ns
$t_{EABDATACO}$		0.8		0.9		1.3	ns
$t_{EABDATASU}$	1.5		1.7		2.3		ns
$t_{EABDATAH}$	0.0		0.0		0.0		ns
$t_{EABWESU}$	1.3		1.4		2.0		ns
t_{EABWEH}	0.0		0.0		0.0		ns
$t_{EABWDSU}$	1.5		1.7		2.3		ns
t_{EABWDH}	0.0		0.0		0.0		ns
$t_{EABWASU}$	3.0		3.6		4.8		ns
t_{EABWAH}	0.5		0.5		0.8		ns
t_{EABWO}		5.1		6.0		8.1	ns

表48 EPF10K100Eのインタコネクト・タイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
$t_{DIN2IOE}$		3.5		3.9		4.9	ns
t_{DIN2LE}		0.6		0.6		0.9	ns
$t_{DIN2DATA}$		2.0		2.1		2.9	ns
$t_{DCLK2IOE}$		1.7		2.0		2.8	ns
$t_{DCLK2LE}$		0.6		0.6		0.9	ns
$t_{SAMELAB}$		0.1		0.1		0.2	ns
$t_{SAMEROW}$		1.7		1.8		1.7	ns
$t_{SAMECOLUMN}$		1.2		1.1		0.8	ns
$t_{DIFFROW}$		2.9		2.9		2.5	ns
$t_{TWOROWS}$		4.6		4.7		4.2	ns
$t_{LEPERIPH}$		4.3		4.9		5.9	ns
$t_{LABCARRY}$		0.1		0.1		0.2	ns
$t_{LABCASC}$		0.3		0.3		0.5	ns

表49 EPF10K100Eの外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{DDR}		10.0		12.0		16.0	ns
t _{INSU} (3)	3.1		3.7		4.7		ns
t _{INH} (3)	0.0		0.0		0.0		ns
t _{OUTCO} (3)	2.0	3.7	2.0	4.4	2.0	6.3	ns
t _{INSU} (4)	2.1		2.7		－		ns
t _{INH} (4)	0.0		0.0		－		ns
t _{OUTCO} (4)	2.0	2.7	0.5	3.4	－	－	ns
t _{PCISU}	3.0		6.2		－		ns
t _{PCIH}	0.0		0.0		－		ns
t _{PCICO}	2.0	6.0		6.9	－	－	ns

表50 EPF10K100Eの双方向ピン外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{INSUBIDIR}	2.5		3.3		4.4		ns
t _{INHBIDIR}	0.0		0.0		0.0		ns
t _{OUTCOBIDIR} (3)	2.0	3.7	2.0	4.4	2.0	6.3	ns
t _{XZBIDIR} (3)	2.0	5.2	2.0	6.1	2.0	8.3	ns
t _{ZXBIDIR} (3)	2.0	4.7	2.0	5.6	2.0	8.1	ns
t _{OUTCOBIDIR} (4)	0.5	2.7	0.5	3.4	－	－	ns
t _{XZBIDIR} (4)	0.5	4.2	0.5	5.1	－	－	ns
t _{ZXBIDIR} (4)	0.5	3.7	0.5	4.6	－	－	ns

注：

- (1) すべてのタイミング・パラメータは、このデータシートの表22から表29で解説されています。
- (2) これらのパラメータは、デバイスの特性評価によって規定されます。
- (3) これらのパラメータは、ClockLockおよびClockBoost回路を使用しない条件で測定されます。
- (4) これらのパラメータは、ClockLockおよびClockBoost回路を使用した条件で測定されます。

表51から表57はEPF10K130Eの内部および外部タイミング・パラメータを示したものです。

表51 EPF10K130EのLEタイミング・マイクロパラメータ 注(1)							
シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{LUT}		0.6		0.8		1.1	ns
t_{CLUT}		0.5		0.6		0.8	ns
t_{RLUT}		0.7		0.8		1.1	ns
t_{PACKED}		0.5		0.6		0.8	ns
t_{EN}		0.6		0.7		0.9	ns
t_{CICO}		0.2		0.2		0.3	ns
t_{CGEN}		0.5		0.5		0.8	ns
t_{CGENR}		0.2		0.2		0.3	ns
t_{CASC}		0.8		0.9		1.2	ns
t_C		0.5		0.6		0.8	ns
t_{CO}		0.5		0.6		0.7	ns
t_{COMB}		0.5		0.6		0.7	ns
t_{SU}	0.5		0.6		0.8		ns
t_H	0.9		1.1		1.5		ns
t_{PRE}		0.5		0.6		0.8	ns
t_{CLR}		0.5		0.6		0.8	ns
t_{CH}	2.0		2.5		3.0		ns
t_{CL}	2.0		2.5		3.0		ns

表52 EPF10K130EのIOEタイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{IOD}		2.4		2.8		3.8	ns
t_{IOC}		0.3		0.3		0.5	ns
t_{IOCO}		0.2		0.2		0.3	ns
t_{IOCOMB}		0.5		0.6		0.8	ns
t_{IOSU}	2.2		2.6		3.5		ns
t_{IOH}	0.5		0.6		0.8		ns
t_{IOCLR}		0.2		0.2		0.3	ns
t_{OD1}		1.1		1.3		1.8	ns
t_{OD2}		0.6		0.9		1.6	ns
t_{OD3}		3.0		3.5		4.8	ns
t_{XZ}		1.1		1.3		1.8	ns
t_{ZX1}		1.1		1.3		1.6	ns
t_{ZX2}		0.6		0.9		1.6	ns
t_{ZX3}		3.0		3.5		4.8	ns
t_{INREG}		5.0		5.9		8.0	ns
t_{IOFD}		3.0		3.6		4.8	ns
t_{INCOMB}		3.0		3.6		4.8	ns

表53 EPF10K130EのEAB内部マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
$t_{EABDATA1}$		1.7		2.0		2.7	ns
$t_{EABDATA2}$		0.6		0.7		0.9	ns
t_{EABWE1}		1.1		1.3		1.8	ns
t_{EABWE2}		0.4		0.4		0.6	ns
t_{EABRE1}		0.8		0.9		1.2	ns
t_{EABRE2}		0.4		0.4		0.6	ns
t_{EABCLK}		0.0		0.0		0.0	ns
t_{EABCO}		0.3		0.3		0.5	ns
$t_{EABBYPASS}$		0.5		0.6		0.8	ns
t_{EABSU}	0.9		1.0		1.4		ns
t_{EABH}	0.4		0.4		0.6		ns
t_{EABCLR}		0.3		0.3		0.5	ns
t_{AA}		3.2		3.8		5.1	ns
t_{WP}	2.5		2.9		3.9		ns
t_{RP}	0.9		1.1		1.5		ns
t_{WDSU}	0.9		1.0		1.4		ns
t_{WDH}	0.1		0.1		0.2		ns
t_{WASU}	1.7		2.0		2.7		ns
t_{WAH}	1.8		2.1		2.9		ns
t_{RASU}	3.1		3.7		5.0		ns
t_{RAH}	0.2		0.2		0.3		ns
t_{WO}		2.5		2.9		3.9	ns
t_{DD}		2.5		2.9		3.9	ns
t_{EABOUT}		0.5		0.6		0.8	ns
t_{EABCH}	1.5		2.0		2.5		ns
t_{EABCL}	1.5		2.0		2.5		ns

表54 EPF10K130EのEAB内部タイミング・マクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{EABAA}		6.4		7.6		10.2	ns
$t_{EABRCCOMB}$	6.4		7.6		10.2		ns
$t_{EABRCREG}$	4.4		5.1		7.0		ns
t_{EABWP}	2.5		2.9		3.9		ns
$t_{EABWCCOMB}$	6.0		7.0		9.5		ns
$t_{EABWCREG}$	6.8		7.8		10.6		ns
t_{EABDD}		5.7		6.7		9.0	ns
$t_{EABDATA CO}$		0.8		0.9		1.3	ns
$t_{EABDATASU}$	1.5		1.7		2.3		ns
$t_{EABDATAH}$	0.0		0.0		0.0		ns
$t_{EABWESU}$	1.3		1.4		2.0		ns
t_{EABWEH}	0.0		0.0		0.0		ns
$t_{EABWDSU}$	1.5		1.7		2.3		ns
t_{EABWDH}	0.0		0.0		0.0		ns
$t_{EABWASU}$	3.0		3.6		4.8		ns
t_{EABWAH}	0.5		0.5		0.8		ns
t_{EABWO}		5.1		6.0		8.1	ns

表55 EPF10K130Eのインタコネクト・タイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
$t_{DIN2IOE}$		3.9		4.3		5.3	ns
t_{DIN2LE}		0.6		0.6		0.9	ns
$t_{DIN2DATA}$		2.0		2.1		2.9	ns
$t_{DCLK2IOE}$		1.7		2.0		2.8	ns
$t_{DCLK2LE}$		0.6		0.6		0.9	ns
$t_{SAMELAB}$		0.1		0.1		0.2	ns
$t_{SAMEROW}$		1.7		1.8		1.7	ns
$t_{SAMECOLUMN}$		1.6		1.5		1.4	ns
$t_{DIFFROW}$		3.3		3.3		3.1	ns
$t_{TROWROWS}$		5.0		5.1		4.8	ns
$t_{LEPERIPH}$		4.7		5.3		6.3	ns
$t_{LABCARRY}$		0.1		0.1		0.2	ns
$t_{LABCASC}$		0.3		0.3		0.5	ns

表56 EPF10K130Eの外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{DDR}		10.0		12.0		16.0	ns
t _{INSU} (3)	3.1		3.7		4.7		ns
t _{INH} (3)	0.0		0.0		0.0		ns
t _{OUTCO} (3)	2.0	3.7	2.0	4.4	2.0	6.3	ns
t _{INSU} (4)	2.1		2.7		—		ns
t _{INH} (4)	0.0		0.0		—		ns
t _{OUTCO} (4)	2.0	2.7	0.5	3.4	—	—	ns
t _{PCISU}	3.0		6.2		—		ns
t _{PCIH}	0.0		0.0		—		ns
t _{PCICO}	2.0	6.0	2.0	6.9	—	—	ns

表57 EPF10K130Eの双方向ピン外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{INSUBIDIR}	2.5		3.3		4.4		ns
t _{INHIBIDIR}	0.0		0.0		0.0		ns
t _{OUTCOBIDIR} (3)	2.0	3.7	2.0	4.4	2.0	6.3	ns
t _{XZBIDIR} (3)		4.2		4.9		6.8	ns
t _{ZXBIDIR} (3)		3.7		4.5		6.6	ns
t _{OUTCOBIDIR} (4)	0.5	2.7	0.5	3.4	–	–	ns
t _{XZBIDIR} (4)	0.5	4.2	0.5	5.1	–	–	ns
t _{ZXBIDIR} (4)	0.5	3.7	0.5	4.6	–	–	ns

注：

- (1) すべてのタイミング・パラメータは、このデータシートの表22から表29で解説されています。
- (2) これらのパラメータは、デバイスの特性評価によって規定されます。
- (3) これらのパラメータは、ClockLockおよびClockBoost回路を使用しない条件で測定されます。
- (4) これらのパラメータは、ClockLockおよびClockBoost回路を使用した条件で測定されます。

表58から表64はEPF10K200Eの内部および外部タイミング・パラメータを示したものです。

表58 EPF10K200EのLEタイミング・マイクロパラメータ 注(1)							
シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{LUT}		0.7		0.8		1.2	ns
t_{CLUT}		0.4		0.5		0.6	ns
t_{RLUT}		0.6		0.7		0.9	ns
t_{PACKED}		0.3		0.3		0.5	ns
t_{EN}		0.4		0.5		0.6	ns
t_{CICO}		0.2		0.2		0.3	ns
t_{CGEN}		0.4		0.4		0.6	ns
t_{CGEN}		0.2		0.2		0.3	ns
t_{CASC}		0.7		0.8		1.2	ns
t_C		0.5		0.6		0.8	ns
t_{CO}		0.5		0.6		0.8	ns
t_{COMB}		0.4		0.6		0.8	ns
t_{SU}	0.4		0.6		0.7		ns
t_H	0.9		1.1		1.5		ns
t_{PRE}		0.5		0.6		0.8	ns
t_{CLR}		0.5		0.6		0.8	ns
t_{CH}	2.0		2.5		3.0		ns
t_{CL}	2.0		2.5		3.0		ns

表59 EPF10K200EのIOEタイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{IOD}		2.7		3.3		4.4	ns
t_{IOC}		0.3		0.3		0.5	ns
t_{IOCO}		1.6		1.9		2.6	ns
t_{IOCOMB}		0.5		0.6		0.8	ns
t_{IOSU}	0.8		0.9		1.2		ns
t_{IOH}	0.7		0.8		1.1		ns
t_{IOCLR}		0.2		0.2		0.3	ns
t_{OD1}		0.6		0.7		0.9	ns
t_{OD2}		0.1		0.2		0.7	ns
t_{OD3}		2.5		3.0		3.9	ns
t_{XZ}		2.1		2.5		3.3	ns
t_{ZX1}		2.1		2.5		3.3	ns
t_{ZX2}		1.6		2.0		3.1	ns
t_{ZX3}		4.0		4.8		6.3	ns
t_{INREG}		4.3		5.1		6.8	ns
t_{IOFD}		0.5		0.6		0.8	ns
t_{INCOMB}		0.5		0.6		0.8	ns

表60 EPF10K200EのEAB内部マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
$t_{EABDATA1}$		2.0		2.4		3.2	ns
$t_{EABDATA2}$		0.4		0.5		0.6	ns
t_{EABWE1}		1.4		1.7		2.3	ns
t_{EABWE2}		0.0		0.0		0.0	ns
t_{EABRE1}		0.0		0.0		0.0	ns
t_{EABRE2}		0.4		0.5		0.6	ns
t_{EABCLK}		0.0		0.0		0.0	ns
t_{EABCO}		0.8		0.9		1.2	ns
$t_{EABBYPASS}$		0.0		0.1		0.1	ns
t_{EABSU}	0.9		1.1		1.5		ns
t_{EABH}	0.4		0.5		0.6		ns
t_{EABCLR}		0.8		0.9		1.2	ns
t_{AA}		3.1		3.7		4.9	ns
t_{WP}	3.3		4.0		5.3		ns
t_{RP}	0.9		1.1		1.5		ns
t_{WDSU}	0.9		1.1		1.5		ns
t_{WDH}	0.1		0.1		0.1		ns
t_{WASU}	1.3		1.6		2.1		ns
t_{WAH}	2.1		2.5		3.3		ns
t_{RASU}	2.2		2.6		3.5		ns
t_{RAH}	0.1		0.1		0.2		ns
t_{WO}		2.0		2.4		3.2	ns
t_{DD}		2.0		2.4		3.2	ns
t_{EABOUT}		0.0		0.1		0.1	ns
t_{EABCH}	1.5		2.0		2.5		ns
t_{EABCL}	1.5		2.0		2.5		ns

表61 EPF10K200EのEAB内部タイミング・マクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{EABAA}		5.1		6.4		8.4	ns
$t_{EABRCCOMB}$	5.1		6.4		8.4		ns
$t_{EABRCREG}$	4.8		5.7		7.6		ns
t_{EABWP}	3.3		4.0		5.3		ns
$t_{EABWCCOMB}$	6.7		8.1		10.7		ns
$t_{EABWCREG}$	6.6		8.0		10.6		ns
t_{EABDD}		4.0		5.1		6.7	ns
$t_{EABDATA CO}$		0.8		1.0		1.3	ns
$t_{EABDATASU}$	1.3		1.6		2.1		ns
$t_{EABDATAH}$	0.0		0.0		0.0		ns
$t_{EABWESU}$	0.9		1.1		1.5		ns
t_{EABWEH}	0.4		0.5		0.6		ns
$t_{EABWDSU}$	1.5		1.8		2.4		ns
t_{EABWDH}	0.0		0.0		0.0		ns
$t_{EABWASU}$	3.0		3.6		4.7		ns
t_{EABWAH}	0.4		0.5		0.7		ns
t_{EABWO}		3.4		4.4		5.8	ns

表62 EPF10K200Eのインタコネクト・タイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
$t_{DIN2IOE}$		4.9		5.3		6.3	ns
t_{DIN2LE}		0.6		0.6		0.9	ns
$t_{DIN2DATA}$		1.9		2.1		2.8	ns
$t_{DCLK2IOE}$		1.7		2.0		2.8	ns
$t_{DCLK2LE}$		0.6		0.6		0.9	ns
$t_{SAMELAB}$		0.1		0.1		0.2	ns
$t_{SAMEROW}$		2.9		3.2		3.9	ns
$t_{SAMECOLUMN}$		3.3		3.5		4.6	ns
$t_{DIFFROW}$		6.2		6.7		8.5	ns
$t_{TWOROWS}$		9.1		9.9		12.4	ns
$t_{LEPERIPH}$		5.6		6.2		7.2	ns
$t_{LABCARRY}$		0.1		0.1		0.2	ns
$t_{LABCASC}$		0.9		1.0		1.4	ns

表63 EPF10K200Eの外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{DDR}		10.0		12.0		16.0	ns
t _{INSU} (3)	3.1		3.7		4.7		ns
t _{INH} (3)	0.0		0.0		0.0		ns
t _{OUTCO} (3)	2.0	3.7	2.0	4.4	2.0	6.3	ns
t _{INSU} (4)	2.1		2.7		－		ns
t _{INH} (4)	0.0		0.0		－		ns
t _{OUTCO} (4)	0.5	3.0	0.5	3.4	－	－	ns
t _{PCISU}	3.0		6.2		－		ns
t _{PCIH}	0.0		0.0		－		ns
t _{PCICO}	2.0	6.0	2.0	8.9	－	－	ns

表64 EPF10K200Eの双方向ピン外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{INSUBDIR} (3)	2.5		3.3		4.4		ns
t _{INHBIDIR} (3)	0.0		0.0		0.0		ns
t _{OUTCOBIDIR} (3)	2.0	3.7	2.0	4.4	2.0	6.3	ns
t _{XZBIDIR} (3)	2.0	5.2	2.0	6.1	2.0	8.3	ns
t _{ZXBIDIR} (3)	2.0	4.7	2.0	5.6	2.0	8.1	ns
t _{INSUBDIR} (4)	3.5		4.3		－		ns
t _{INHBIDIR} (4)	0.0		0.0		－		ns
t _{OUTCOBIDIR} (4)	0.5	2.7	0.5	3.4	－	－	ns
t _{XZBIDIR} (4)	0.5	4.2	0.5	5.1		－	ns
t _{ZXBIDIR} (4)	0.5	3.7	0.5	4.6		－	ns

注：

- (1) すべてのタイミング・パラメータは、このデータシートの表22から表29で解説されています。
- (2) これらのパラメータは、デバイスの特性評価によって規定されます。
- (3) これらのパラメータは、ClockLockおよびClockBoost回路を使用しない条件で測定されます。
- (4) これらのパラメータは、ClockLockおよびClockBoost回路を使用した条件で測定されます。

表65から表71はEPF10K100Bの内部および外部タイミング・パラメータを示したものです。

表65 EPF10K100BのLEタイミング・マイクロパラメータ 注(1)							
シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{LUT}		1.7		1.9		2.1	ns
t_{CLUT}		0.8		0.9		0.9	ns
t_{RLUT}		1.3		1.4		1.6	ns
t_{PACKED}		0.6		0.7		0.8	ns
t_{EN}		0.5		0.5		0.7	ns
t_{CICO}		0.2		0.2		0.3	ns
t_{CGEN}		0.5		0.5		0.7	ns
t_{CGENR}		0.5		0.5		0.7	ns
t_{CASC}		0.6		0.6		0.8	ns
t_C		1.0		1.1		1.1	ns
t_{CO}		0.6		0.6		0.8	ns
t_{COMB}		0.5		0.6		0.8	ns
t_{SU}	0.5		0.6		0.8		ns
t_H	1.5		1.6		2.0		ns
t_{PRE}		0.6		0.7		0.8	ns
t_{CLR}		0.6		0.7		0.8	ns
t_{CH}	2.0		2.5		3.0		ns
t_{CL}	2.0		2.5		3.0		ns

表66 EPF10K100BのIOEタイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{IOD}		1.5		1.6		1.7	ns
t_{IOC}		0.3		0.3		0.4	ns
t_{IOCO}		0.2		0.2		0.3	ns
t_{IOCOMB}		0.5		0.5		0.7	ns
t_{IOSU}	1.2		1.3		1.6		ns
t_{IOH}	1.2		1.3		1.6		ns
t_{IOCLR}		0.0		0.0		0.0	ns
t_{OD1}		2.3		2.5		2.5	ns
t_{OD2}		3.1		3.4		3.6	ns
t_{OD3}		4.3		4.7		5.2	ns
t_{XZ}		4.5		4.9		5.9	ns
t_{ZX1}		4.5		4.9		5.9	ns
t_{ZX2}		3.1		3.9		5.4	ns
t_{ZX3}		6.5		7.1		8.6	ns
t_{INREG}		6.0		6.5		7.9	ns
t_{IOFD}		2.8		3.1		3.7	ns
t_{INCOMB}		2.8		3.1		4.8	ns

表67 EPF10K100BのEAB内部マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
$t_{EABDATA1}$		3.2		3.5		4.2	ns
$t_{EABDATA2}$		0.6		0.7		0.7	ns
t_{EABWE1}		1.3		1.4		1.7	ns
t_{EABWE2}		1.1		1.2		1.5	ns
t_{EABCLK}		0.0		0.0		0.0	ns
t_{EABCO}		1.0		1.1		1.3	ns
$t_{EABYPASS}$		0.0		0.0		0.0	ns
t_{EABSU}	1.5		1.6		2.0		ns
t_{EABH}	0.1		0.1		0.1		ns
t_{AA}		3.2		3.8		5.1	ns
t_{WP}	3.4		3.7		4.5		ns
t_{WDSU}	0.1		0.1		0.1		ns
t_{WDH}	1.5		1.6		1.7		ns
t_{WASU}	1.6		1.7		2.1		ns
t_{WAH}	0.9		1.0		1.2		ns
t_{WO}		2.8		3.1		3.6	ns
t_{DD}		2.8		3.1		3.6	ns
t_{EABOUT}		0.5		0.5		0.7	ns
t_{EABCH}	2.0		2.5		3.0		ns
t_{EABCL}	3.4		3.7		4.5		ns

表68 EPF10K100BのEAB内部タイミング・マクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t_{EABAA}		7.5		8.1		9.9	ns
$t_{EABRCCOMB}$	7.5		8.1		9.9		ns
$t_{EABRCREG}$	5.3		5.7		7.0		ns
t_{EABWP}	3.4		3.7		4.5		ns
$t_{EABWCCOMB}$	5.9		6.4		7.8		ns
$t_{EABWCREG}$	8.6		9.4		11.2		ns
t_{EABDD}		6.5		7.1		8.5	ns
$t_{EABDATA CO}$		1.5		1.6		2.0	ns
$t_{EABDATASU}$	2.1		2.3		2.7		ns
$t_{EABDATAH}$	0.0		0.0		0.0		ns
$t_{EABWESU}$	2.6		2.8		3.5		ns
t_{EABWEH}	0.0		0.0		0.0		ns
$t_{EABWDSU}$	2.0		2.2		2.6		ns
t_{EABWDH}	0.0		0.0		0.0		ns
$t_{EABWASU}$	4.5		4.8		6.0		ns
t_{EABWAH}	0.0		0.0		0.0		ns
t_{EABWO}		4.6		5.0		6.0	ns

表69 EPF10K100Bのインタコネクト・タイミング・マイクロパラメータ 注(1)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
$t_{DIN2IOE}$		4.8		4.9		5.5	ns
t_{DIN2LE}		1.1		1.2		1.7	ns
$t_{DIN2DATA}$		1.5		1.4		1.9	ns
$t_{DCLK2IOE}$		3.4		3.7		4.5	ns
$t_{DCLK2LE}$		1.1		1.2		1.7	ns
$t_{SAMELAB}$		0.3		0.3		0.4	ns
$t_{SAMEROW}$		2.0		2.4		3.3	ns
$t_{SAMECOLUMN}$		1.7		2.1		2.9	ns
$t_{DIFFROW}$		3.7		4.5		6.2	ns
$t_{TROWROWS}$		5.7		6.9		9.5	ns
$t_{LEPERIPH}$		4.8		4.8		5.2	ns
$t_{LABCARRY}$		0.0		0.0		0.0	ns
$t_{LABCASC}$		0.4		0.4		0.5	ns

表70 EPF10K100Bの外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{DDR}		11.0		12.0		14.5	ns
t _{INSU}	3.5		3.8		4.6		ns
t _{INH}	0.0		0.0		0.0		ns
t _{OUTCO}	2.0	4.8	2.0	5.7	2.0	7.2	ns

表71 EPF10K100Bの双方向ピン外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{INSUBIDIR}	4.1		4.5		5.5		ns
t _{INHBIDIR}	0.0		0.0		0.0		ns
t _{OUTCOBIDIR}	2.0	4.8	2.0	5.7	2.0	7.2	ns
t _{XZBIDIR}		8.4		9.0		11.0	ns
t _{ZXBIDIR}		8.4		9.0		11.0	ns

注：

- (1) すべてのタイミング・パラメータは、このデータシートの表22から表29で解説されています。
 (2) これらのパラメータは、デバイスの特性評価によって規定されます。

表72から表75はEPF10K50SとEPF10K200Sの外部タイミング・パラメータを示したものです。

表72 EPF10K50Sの外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{DRR}		8.5		10.0		13.5	ns
t _{INSU} (3)	3.0		3.6		4.8		ns
t _{INH} (3)	0.0		0.0		0.0		ns
t _{OUTCO} (3)	2.0	3.5	2.0	4.5	2.0	7.1	ns
t _{INSU} (4)	2.0		2.6		－		ns
t _{INH} (4)	0.0		0.0		－		ns
t _{OUTCO} (4)	0.5	2.5	0.5	3.5	－	－	ns
t _{PCISU}	3.0		4.2		6.4		ns
t _{PCIH}	0.0		0.0		0.0		ns
t _{PCICO}	2.0	6.0	2.0	7.7	2.0	10.5	ns

表73 EPF10K50Sの双方向ピン外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{INSUBDIR}	1.5		2.2		3.6		ns
t _{INHBIDIR}	0.0		0.0		0.0		ns
t _{OUTCOBIDIR} (3)	2.0	3.5	2.0	4.5	2.0	7.1	ns
t _{XZBIDIR} (3)	2.0	5.8	2.0	6.3	2.0	8.0	ns
t _{ZXBIDIR} (3)	2.0	4.7	2.0	5.3	2.0	7.2	ns
t _{OUTCOBIDIR} (4)	0.5	2.5	0.5	3.5	－	－	ns
t _{XZBIDIR} (4)	0.5	4.8	0.5	5.3	－	－	ns
t _{ZXBIDIR} (4)	0.5	3.7	0.5	4.3	－	－	ns

表74 EPF10K200Sの外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{DRR}		10.0		12.0		16.0	ns
t _{INSU} (3)	3.1		3.7		4.7		ns
t _{INH} (3)	0.0		0.0		0.0		ns
t _{OUTCO} (3)	2.0	3.7	2.0	4.4	2.0	6.3	ns
t _{INSU} (4)	2.1		2.7		－		ns
t _{INH} (4)	0.0		0.0		－		ns
t _{OUTCO} (4)	0.5	2.7	0.5	3.4	－	－	ns
t _{PCISU}	3.0		4.2		－		ns
t _{PCIH}	0.0		0.0		－		ns
t _{PCICO}	2.0	6.0	2.0	8.9	－	－	ns

表75 EPF10K200Sの双方向ピン外部タイミング・パラメータ 注(1)、(2)

シンボル	スピード・グレード						単位
	-1		-2		-3		
	最小	最大	最小	最大	最小	最大	
t _{INSUBDIR}	2.5		3.3		4.4		ns
t _{INH_BIDIR}	0.0		0.0		0.0		ns
t _{OUTCO_BIDIR} (3)	2.0	3.7	2.0	4.4	2.0		ns
t _{XZ_BIDIR} (3)	2.0	5.2	2.0	6.1	2.0		ns
t _{ZX_BIDIR} (3)	2.0	4.7	2.0	5.6	2.0		ns
t _{OUTCO_BIDIR} (4)	0.5	2.7	0.5	3.4	—	—	ns
t _{XZ_BIDIR} (4)	0.5	4.2	0.5	5.1	—	—	ns
t _{ZX_BIDIR} (4)	0.5	3.7	0.5	4.6	—	—	ns

注：

- (1) すべてのタイミング・パラメータは、このデータシートの表28から表29で解説されています。
- (2) これらのパラメータは、デバイスの特性評価によって規定されます。
- (3) これらのパラメータは、ClockLockおよびClockBoost回路を使用しない条件で測定されます。
- (4) これらのパラメータは、ClockLockおよびClockBoost回路を使用した条件で測定されます。

消費電力

FLEX 10KEデバイスの消費電力 (P) は、次式によって計算できます。

$$P = P_{\text{INT}} + P_{\text{IO}} = (I_{\text{CCSTANDBY}} + I_{\text{CCACTIVE}}) \times V_{\text{CC}} + P_{\text{IO}}$$

I_{CCACTIVE} の値はスイッチング周波数とアプリケーションのロジックに依存します。この値は、各LEが標準的に消費する電流を基準にして計算することができます。 P_{IO} の値はデバイス出力に接続される負荷の特性とスイッチング周波数に依存しますが、AN 74「*Evaluating Power for Altera Devices*」(日本語版：「アルテラ・デバイスの消費電力評価方法」)に記載されているガイドラインを使用して算出することができます。



エンベデッド・アレイが消費する電力は、デバイスの他の部分に比較して無視できる程非常に小さな値となります。したがって、デバイス全体の消費電力を計算する場合は、エンベデッド・アレイを無視することが可能です。

$I_{CCACTIVE}$ は次の式で計算できます。

$$I_{CCACTIVE} = K \times f_{MAX} \times N \times \log_{LC} \times \frac{\mu A}{MHz \times LE}$$

この式に使用されている各パラメータは下記の通りです。

- f_{MAX} = 最大動作周波数 (MHz)
 N = デバイス内で使用されるLEの総数
 $\log_{LC}$ = 各クロックでトグルするLEの平均的な比率
 (通常は12.5%)
 K = 定数

表76は、各FLEX 10KEデバイスの定数 (K) の値を示したものです。

表76 FLEX 10KEデバイスの定数Kの値	
デバイス名	Kの値
EPF10K30E	4.5
EPF10K50E	4.8
EPF10K50S	4.5
EPF10K100B	5.0
EPF10K100E	4.5
EPF10K130E	4.6
EPF10K200E	4.8
EPF10K200S	4.6

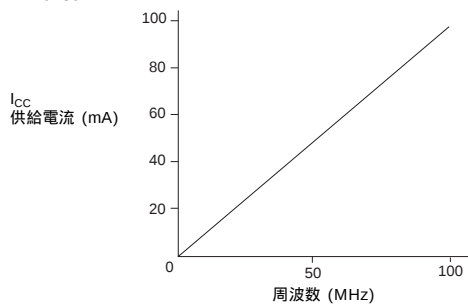
この計算では無負荷時における標準的な条件での I_{CC} が推定されます。この値はデバイスの実際の配線パターンや周囲の動作条件に影響されるため、実際の I_{CC} の値をデバイスの動作中に確認する必要があります。

実際のデザインの状態をさらに正確に反映させるため、連続した配線構造となっているFLEX 10KEデバイスの消費電力のモデル (および前記の計算式に使用される定数、Kの値) は、すべてのLEがFastTrackインタコネクタ・チャンネルをドライブしていることを想定したものとなっています。これに対して、セグメント化された配線構造のFPGAの消費電力モデルは、1個所のみの短いインタコネクタ・セグメントをドライブしていることを想定したものとなっています。セグメント化された配線構造となっているFPGAでは、こうした方法で推定された消費電力が実際に測定された値に比較して不正確なものになってしまいます。

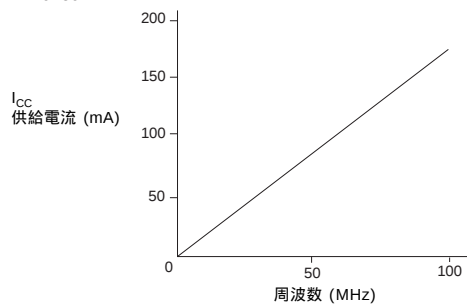
図29は各FLEX 10KEデバイスの動作周波数に対する標準的な供給電流の特性を示したものです。その他のFLEX 10KEデバイスの特性については、日本アルテラの応用技術部へお問い合わせください。

図29 FLEX 10KEの $I_{CCACTIVE}$ 対 動作周波数特性 (1/2)

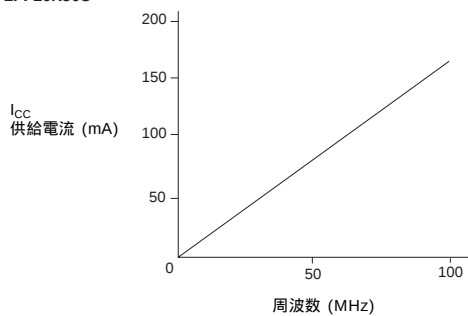
EPF10K30E



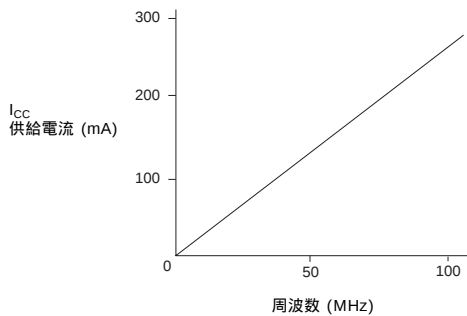
EPF10K50E



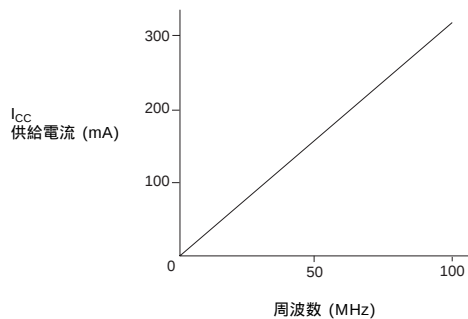
EPF10K50S



EPF10K100E



EPF10K100B



EPF10K130E

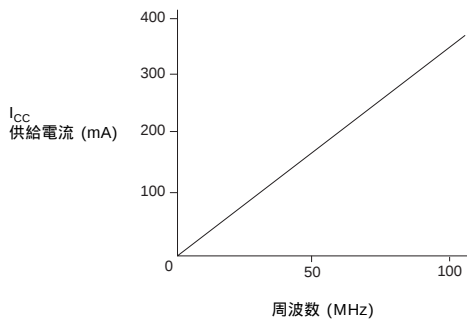
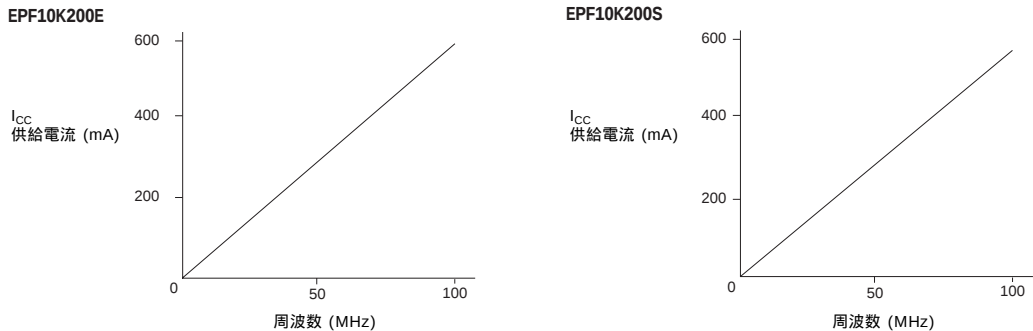


図29 FLEX 10KEの $I_{CCACTIVE}$ 対 動作周波数特性 (2/2)

コンフィギュレーションと動作

FLEX 10KEのアーキテクチャは、デザインをボード上のデバイスへロードするコンフィギュレーション動作を複数のモードでサポートしています。このセクションではデバイスの動作モードとサポートされているデバイスのコンフィギュレーション・モードについて簡単に説明します。

動作モード

FLEX 10KEのアーキテクチャはSRAMコンフィギュレーション・エレメントを使用しており、デバイスに電源を投入し、動作を開始させるときにコンフィギュレーション・データをSRAMのセルにロードする必要があります。SRAMのプログラミング・データをデバイスにロードするプロセスは、「コンフィギュレーション」と呼ばれます。コンフィギュレーションの実行前に、デバイスは V_{CC} の上昇に対応してパワー・オン・リセット (POR) の動作を開始します。このPORの動作でデバイスがクリアされ、コンフィギュレーションの準備が行われます。FLEX 10KEデバイスのPORに要する時間は50 μ sを超えることはありませんが、コンフィギュレーション・デバイスを使用してコンフィギュレーションする場合は、コンフィギュレーション・デバイスが100msの遅延を挿入するため、コンフィギュレーションの実行前にシステムの電源電圧を十分に安定させることができます。

FLEX 10KEデバイスはコンフィギュレーションの完了直後にイニシャライズの動作に入り、レジスタをリセットし、I/Oピンをイネーブルにしてロジック・デバイスとしての動作を開始します。各I/Oピンは電源投入時、コンフィギュレーションの実行前および実行時にトライ・ステートになります。このコンフィギュレーションとイニシャライズのプロセスは「コマンド・モード」と呼ばれ、通常のデバイス動作は「ユーザ・モード」と呼ばれます。

FLEX 10KEデバイスはSRAMのコンフィギュレーション・エレメントを使用しているため、デバイスに新しいデータを再ロードすることによってインサーキットでのリコンフィギュレーションを行うことができます。指定

されたピンを使ってデバイスを強制的にコマンド・モードにし、別のコンフィギュレーション・データのロード後にデバイスを再イニシャライズしてユーザ・モードに復帰させることによって、リアル・タイムのリコンフィギュレーションを行うことができます。リコンフィギュレーションのプロセスは276ms以内で完了するため、システム全体をダイナミックにリコンフィギュレーションすることができます。新しいコンフィギュレーション・データのファイルを配付することによって、フィールドでのアップグレードが行えます。

コンフィギュレーションの実行前と実行時に、すべてのI/Oピン（入力専用ピン、クロック専用ピン、コンフィギュレーション用ピンを除く）は、弱いプルアップ抵抗によりHighレベルにプルアップされます。

プログラミング・ファイル

FLEX 10KEデバイスはFLEX 10KまたはFLEX 10KAデバイスとファンクションおよびピン配置上の互換性がありますが、プログラミングまたはコンフィギュレーション・ファイルの互換性はありません。このため、FLEX 10KまたはFLEX 10KAデバイスのデザインを対応するFLEX 10KEデバイスに移行させる場合は、デザインの再コンパイルが必要です。この再コンパイルは、新しいプログラミングまたはコンフィギュレーション・ファイルを作成するときだけでなく、FLEX 10KやFLEX 10KAとタイミング特性が異なるFLEX 10KEのデザイン・タイミングを再確認する場合も必要になります。

一般的にFLEX 10KEデバイスは対応するFLEX 10KAデバイスとピン互換となっています。ただし、FLEX 10KEデバイスのI/O数がFLEX 10KAデバイスよりも少なくなる場合があります。表77は、I/O数が対応するFLEX 10KAデバイスよりも減少しているFLEX 10KEデバイスを示したものです。ただし、電源、グランド、JTAG、コンフィギュレーション・ピンはFLEX 10KAとFLEX 10KEデバイス間で同じになっているため、FLEX 10KAデバイスのデザインからFLEX 10KEデバイスのデザインへの移行が可能です。

また、QuartusとMAX+PLUS IIのソフトウェアは、将来他のデバイスやパッケージへの移行が可能になるように、I/Oピンの競合が起きないようにしたピン配置を行う機能を提供しています。

表77 FLEX 10KAデバイスとFLEX 10KEデバイスのI/O数

FLEX 10KA		FLEX 10KE	
デバイス名	I/O 数	デバイス名	I/O 数
EPF10K30AF256	191	EPF10K30EF256	176
EPF10K30AF484	246	EPF10K30EF484	220
EPF10K50VB356	274	EPF10K50EB356	220
EPF10K50VB356	274	EPF10K50SB356	220
EPF10K50VF484	291	EPF10K50EF484	254
EPF10K50VF484	291	EPF10K50SF484	254
EPF10K100AF484	369	EPF10K100EF484	338

コンフィギュレーションの方法

FLEX 10KEデバイスのコンフィギュレーション・データは表78に示されている 5 種類のコンフィギュレーション・モードのいずれかでデバイスへロードすることができ、ターゲットとなるアプリケーションに応じて最も適切なモードを選択することができます。FLEX 10KEデバイスのコンフィギュレーションには、EPC2、EPC1またはEPC1441コンフィギュレーション・デバイス、インテリジェント・コントローラ、またはJTAGポートを使用することができ、システム電源の投入時にデバイスが自動的にコンフィギュレーションされるようにすることができます。

また、各デバイスのコンフィギュレーション・イネーブル（nCE）とコンフィギュレーション・イネーブル出力（nCEO）のピンを接続することにより、複数のFLEX 10KEデバイスのコンフィギュレーションをサポートされている 5 種類のモードのいずれかで行うことができます。さらに、FLEX 10K、FLEX 10KA、FLEX 10KE、FLEX 6000の各デバイスを同じチェーンに接続してコンフィギュレーションすることも可能です。

表78 FLEX 10KEデバイスのコンフィギュレーション・モードとデータ・ソース

コンフィギュレーション・モード	データ・ソース
コンフィギュレーション・デバイス	EPC2、EPC1またはEPC1441コンフィギュレーション・デバイス
パッシブ・シリアル（PS）	BitBlaster、ByteBlaster、ByteBlasterMVの各ダウンロード・ケーブル、またはシリアルのデータ・ソース
パッシブ・パラレル非同期（PPA）	パラレルのデータ・ソース
パッシブ・パラレル同期（PPS）	パラレルのデータ・ソース
JTAG	BitBlasterまたはByteBlasterMVダウンロード・ケーブル、あるいはJamまたはJBCファイルを使用したマイクロプロセッサ

デバイス・ ピン配置

表79と表80は、FLEX 10KEデバイスに提供されている144ピンTQFP、208ピンPQFP、240ピンPQFP、356ピンBGA、599ピンPGA、600ピンBGAの各パッケージにおける専用ピン名とそのピン番号を示したものです。

表79 FLEX 10KEデバイスのピン配置 (1/2) 注(1)					
ピン名	44-Pin TQFP EPF10K30E EPF10K50E EPF10K50S	208-Pin PQFP EPF10K30E EPF10K50E EPF10K50S EPF10K100E EPF10K100B	240-Pin PQFP (2), (3) EPF10K50E EPF10K50S EPF10K100E EPF10K100B	240-Pin PQFP (2) EPF10K130E	240-Pin RQFP (3) EPF10K200S
MSEL0 (4)	77	108	124	124	124
MSEL1 (4)	76	107	123	123	123
nSTATUS (4)	35	52	60	60	60
nCONFIG (4)	74	105	121	121	121
DCCLK (4)	107	155	179	179	179
CONF_DONE (4)	2	2	2	2	2
INIT_DONE (5)	14	19	26	26	26
nCE (4)	106	154	178	178	178
nCEO (6)	3	3	3	3	3
nWS (6)	142	206	238	238	238
nRS (6)	141	204	236	236	236
nCS (6)	144	208	240	240	240
CS (6)	143	207	239	239	239
RDYnBUSY (6)	11	16	23	23	23
CLKUSR (6)	7	10	11	11	11
DATA7 (6)	116	166	190	190	190
DATA6 (6)	114	164	188	188	188
DATA5 (6)	113	162	186	186	186
DATA4 (6)	112	161	185	185	185
DATA3 (6)	111	159	183	183	183
DATA2 (6)	110	158	182	182	182
DATA1 (6)	109	157	181	181	181
DATA0 (4)、(7)	108	156	180	180	180
TDI (4)	105	153	177	177	177
TD0 (4)	4	4	4	4	4
TCK (4)	1	1	1	1	1
TMS (4)	34	50	58	58	58
TRST (4)	(8)	51	59	59	59

表79 FLEX 10KEデバイスのピン配置 (2/2) 注(1)

ピン名	44-Pin TQFP EPF10K30E EPF10K50E EPF10K50S	208-Pin PQFP EPF10K30E EPF10K50E EPF10K50S EPF10K100E EPF10K100B	240-Pin PQFP (2), (3) EPF10K50E EPF10K50S EPF10K100E EPF10K100B	240-Pin PQFP (2) EPF10K130E	240-Pin RQFP (3) EPF10K200S
Dedicated Inputs	54, 56, 124, 126	78, 80, 182, 184	90, 92, 210, 212	90, 92, 210, 212	90, 92, 210, 212
Dedicated Clock Pins	55, 125	79, 183	91, 211	91, 211	91, 211
GCLK1 (9)	55	79	91	91	91
Lock (10)	42	62	73	73	73
DEV_CLRn (5)	122	180	209	209	209
DEV_OE (5)	128	186	213	213	213
VCCINT (2.5 V)	6, 25, 52, 75, 93, 123	6, 23, 35, 43, 76, 106, 109, 117, 137, 145, 181	5, 27, 47, 96, 122, 130, 150, 170	5, 20, 27, 47, 76, 96, 122, 130, 150, 159, 170	5, 20, 27, 40, 47, 76, 96, 122, 130, 139, 150, 159, 170, 187, 225
VCCIO (2.5 or 3.3 V)	5, 24, 45, 61, 71, 94, 115, 134	5, 22, 34, 42, 66, 84, 98, 110, 118, 138, 146, 165, 178, 194	16, 37, 57, 77, 112, 140, 160, 189, 205, 224	16, 37, 57, 77, 112, 140, 160, 189, 205, 224	16, 37, 57, 77, 112, 140, 160, 189, 205, 224
VCC_CK1K (11)	53	77 (12)	89 (12)	89	89
GNDINT	15, 16, 40, 50, 58, 66, 84, 85, 103, 104, 127, 129, 139	20, 21, 32, 33, 48, 49, 59, 72, 82, 91, 123, 124, 129, 130, 151, 152, 171, 185, 188, 201	10, 22, 32, 42, 52, 69, 85, 104, 125, 135, 145, 155, 165, 176, 197, 216, 232	10, 22, 32, 42, 52, 69, 85, 104, 125, 135, 145, 155, 165, 176, 197, 216, 232	10, 22, 32, 42, 52, 69, 85, 104, 125, 135, 145, 155, 165, 176, 197, 216, 232
GNDIO	—	—	—	—	—
GND_CK1K (11)	57	81 (13)	93 (13)	93	93
Total User I/O Pins (14)	102	147	189	186	182

表80 FLEX 10KEデバイスのピン配置 (1/4) 注(1)

ピン名	356-Pin BGA EPF10K50E EPF10K50S	356-Pin BGA EPF10K100E EPF10K130E EPF10K200S	599-Pin PGA EPF10K200E EPF10K200S	600-Pin BGA EPF10K130E	600-Pin BGA EPF10K200E EPF10K200S
MSEL0 (4)	D4	D4	F6	F5	F5
MSEL1 (4)	D3	D3	C3	C1	C1
nSTATUS (4)	D24	D24	E43	D32	D32
nCONFIG (4)	D2	D2	B4	D4	D4
DCCLK (4)	AC5	AC5	BE5	AP1	AP1
CONF_DONE (4)	AC24	AC24	BC43	AM32	AM32
INIT_DONE (5)	T24	T24	AM40	AE32	AE32
nCE (4)	AC2	AC2	BB6	AN2	AN2
nCE0 (6)	AC22	AC22	BF44	AP35	AP35
nWS (6)	AE24	AE24	BB40	AR29	AR29
nRS (6)	AE23	AE23	BA37	AM28	AM28
nCS (6)	AD24	AD24	AY38	AL29	AL29
CS (6)	AD23	AD23	BA39	AN29	AN29
RDYnBUSY (6)	U22	U22	AW47	AG35	AG35
CLKUSR (6)	AA24	AA24	AY42	AM34	AM34
DATA7 (6)	AF4	AF4	BD14	AM13	AM13
DATA6 (6)	AD8	AD8	BA17	AR12	AR12
DATA5 (6)	AE5	AE5	BB16	AN12	AN12
DATA4 (6)	AD6	AD6	BF12	AP11	AP11
DATA3 (6)	AF2	AF2	BG11	AM11	AM11
DATA2 (6)	AD5	AD5	BG9	AR10	AR10
DATA1 (6)	AD4	AD4	BF10	AN10	AN10
DATA0 (4)、(7)	AD3	AD3	BC5	AM4	AM4
TDI (4)	AC3	AC3	BF4	AN1	AN1
TDO (4)	AC23	AC23	BB42	AN34	AN34
TCK (4)	AD25	AD25	BE43	AL31	AL31
TMS (4)	D22	D22	F42	C35	C35
TRST (4)	D23	D23	B46	C34	C34
Dedicated Inputs	A13, B14, AF14, AE13	A13, B14, AF14, AE13	B24, C25, BG25, BG23	C18, D18, AM18, AN18	C18, D18, AM18, AN18
Dedicated Clock Pins	A14, AF13	A14, AF13	BF24, A25	AL18, E18	AL18, E18
GCLK1 (9)	A14	A14	–	E18	E18

表80 FLEX 10KEデバイスのピン配置 (2/4) 注(1)

ピン名	356-Pin BGA EPF10K50E EPF10K50S	356-Pin BGA EPF10K100E EPF10K130E EPF10K200S	599-Pin PGA EPF10K200E EPF10K200S	600-Pin BGA EPF10K130E	600-Pin BGA EPF10K200E EPF10K200S
Lock (10)	C18	C18	—	A23	A23
DEV_CLRn (5)	AD13	AD13	BE23	AR17	AR17
DEV_OE (5)	AE14	AE14	BC25	AR19	AR19
VCCINT (2.5 V)	A1, A26, C26, D5, F1, H22, J1, M26, N1, T26, U5, AA1, AD26, AF1, AF26	A1, A26, C26, D5, F1, H22, J1, M26, N1, T26, U5, AA1, AD26, AF1, AF26	A3, A45, C1, C11, C19, C29, C37, C47, E5, G25, L3, L45, W3, W45, AJ3, AJ45, AU3, AU45, BE1, BE11, BE19, BE29, BE37, BE47, BG3, BG45	A11, A19, B1, D24, E2, F31, F35, H1, K32, M2, N34, P5, T35, U3, V32, Y2, AA33, AB5, AD35, AE4, AF32, AG5, AK31, AK35, AL3, AP24, AR11, AR18	A11, A19, B1, D24, E2, F31, F35, H1, K32, M2, N34, P5, T35, U3, V32, Y2, AA33, AB5, AD35, AE4, AF32, AG5, AK31, AK35, AL3, AP24, AR11, AR18
VCCIO (2.5 or 3.3 V)	A7, A23, B4, C15, D25, F4, H24, K5, M23, P2, T25, V2, W22, AB1, AC25, AD18, AF3, AF7, AF16	A7, A23, B4, C15, D25, F4, H24, K5, M23, P2, T25, V2, W22, AB1, AC25, AD18, AF3, AF7, AF16	D24, E9, E15, E21, E27, E33, E39, G7, G41, J5, J43, R5, R43, AA5, AA43, AD4, AD44, AG5, AG43, AN5, AN43, AW5, AW43, BA7, BA41, BC9, BC15, BC21, BC27, BC33, BC39, BD24	C8, E12, C15, A20, C23, A27, AM26, AR23, AM19, AN15, AL12, AN8, C2, C3, C4, D5, E5, C33, C32, D31, E31, AL5, AM5, AN4, AN3, AM31, AN32, AN33, AP34	C8, E12, C15, A20, C23, A27, AM26, AR23, AM19, AN15, AL12, AN8, C2, C3, C4, D5, E5, C33, C32, D31, E31, AL5, AM5, AN4, AN3, AM31, AN32, AN33, AP34
VCC_CKCLK (11)	C14	C14	—	B18	B18

表80 FLEX 10KEデバイスのピン配置 (3/4) 注(1)

ピン名	356-Pin BGA EPF10K50E EPF10K50S	356-Pin BGA EPF10K100E EPF10K130E EPF10K200S	599-Pin PGA EPF10K200E EPF10K200S	600-Pin BGA EPF10K130E	600-Pin BGA EPF10K200E EPF10K200S
GNDINT	A2, A10, A20, B1, B22, B25, B26, C2, C9, C13, C25, H23, J26, K1, M1, N26, R1, R26, T1, U26, W1, AD2, AD14, AD20, AE1, AE2, AE7, AE25, AE26, AF11, AF19, AF25	A2, A10, A20, B1, B22, B25, B26, C2, C9, C13, C25, H23, J26, K1, M1, N26, R1, R26, T1, U26, W1, AD2, AD14, AD20, AE1, AE2, AE7, AE25, AE26, AF11, AF19, AF25	A47, B2, C13, C21, C27, C35, C45, D4, G23, N3, N45, AA3, AA45, AG3, AG45, AR3, AR45, BD44, BE3, BE13, BE21, BE27, BE35, BE45, BG1, BG47	A1, A2, A3, A4, A5, A31, A32, A33, A34, A35, B2, B3, B4, B5, B6, B31, B32, B33, B34, B35, C5, C6, D6, E6, C30, C31, D30, E30, AL6, AL30, AM6, AM30, AN5, AN6, AN30, AN31, AN35, AP2, AP3, AP4, AP5, AP6, AP30, AP31, AP32, AP33, AR1, AR2, AR3, AR4, AR5, AR30, AR31, AR32, AR33, AR34, AR35	A1, A2, A3, A4, A5, A31, A32, A33, A34, A35, B2, B3, B4, B5, B6, B31, B32, B33, B34, B35, C5, C6, D6, E6, C30, C31, D30, AN35
GNDIO	—	—	E7, E13, E19, E29, E35, E41, F24, G5, G43, H40, N5, N43, W5, W43, AD6, AD42, AJ5, AJ43, AR5, AR43, AY8, AY40, BA5, BA43, BB24, BC7, BC13, BC19, BC29, BC35, BC41	—	E30, AL6, AL30, AM6, AM30, AN5, AN6, AN30, AN31, AP2, AP3, AP4, AP5, AP6, AP30, AP31, AP32, AP33, AR1, AR2, AR3, AR4, AR5, AR30, AR31, AR32, AR33, AR34, AR35
GND_CKCLK (11)	B13	B13	—	A18	A18

表80 FLEX 10KEデバイスのピン配置 (4/4) 注(1)

ピン名	356-Pin BGA EPF10K50E EPF10K50S	356-Pin BGA EPF10K100E EPF10K130E EPF10K200S	599-Pin PGA EPF10K200E EPF10K200S	600-Pin BGA EPF10K130E	600-Pin BGA EPF10K200E EPF10K200S
No Connect (N.C.)	D1, E2, E22, E25, F5, F23, F26, G3, G22, H4, H5, J2, J4, J23, J25, K2, K3, K25, K26, L2, L23, L26, M2, M5, M22, M25, N4, N25, P1, P5, P22, P23, R5, T22, U2, U3, U23, U24, V4, W3, W4, W24, W26, Y2, Y5, AA3, AA22, AA25, AB3, AB5, AB22, AB24, AB26	—	—	D3, D35, E1, F34, G2, H5, J3, J4, J32, K1, L4, L31, M3, N1, N33, N35, P4, P33, R2, R32, T4, U5, U34, V3, V34, W1, W32, W35, Y31, AA2, AA34, AB1, AB31, AB34, AB35, AC31, AC34, AE33, AE35, AF1, AG3, AH2, AJ32, AK2, AK32, AL33	—
Total User I/O Pins (14)	220	274	470	424	470

表中の注：

- (1) この表にリストされていないピンは、すべてユーザI/Oピンです。
- (2) EPF10K50E、EPF10K100E、EPF10K100Bの各デバイスは、ピン-20、76、159をVCCINTに接続すると、同じパッケージのEPF10K130Eとピン互換となります。QuartusとMAX+PLUS IIのソフトウェアは、将来のマイグレーションがオンに設定されていると、自動的にこの機能を活用したピン配置を行います。
- (3) EPF10K50E、EPF10K100E、EPF10K100Bの各デバイスは、ピン-20、40、76、139、159、187、225をVCCINTに接続すると、同じパッケージのEPF10K200Eとピン互換となります。QuartusとMAX+PLUS IIのソフトウェアは、将来のマイグレーションがオンに設定されていると、自動的にこの機能を活用したピン配置を行います。
- (4) これらのピンは専用ピンであり、ユーザI/Oピンとしては使用できません。
- (5) これらのピンがコンフィギュレーションまたはデバイス全体のコントロール信号として使用されていない場合は、ユーザI/Oピンとして使用できます。
- (6) これらのピンはコンフィギュレーション完了後にユーザI/Oピンとして使用できます。
- (7) このピンはユーザ・モードでトライ・スタートとなります。
- (8) 144ピンのTQFPパッケージでは、TRSTのJTAGオプション・ピンは使用できません。
- (9) このピンは、ClockLockとClockBoostの回路をドライブします。
- (10) このピンは、ClockLockとClockBoostの回路の状態を示します。ClockLockとClockBoost回路が入力クロックにロックしており、内部クロックが生成されている場合は、LOCK出力がHighになります。一定の期間、クロックが停止した場合でも、LOCKはHighのままになります。LOCKの使用はオプションです。LOCKが使用されない場合は、このピンがI/Oピンとなります。
- (11) このピンは、ClockLockとClockBoost回路に対する電源ピンまたはグラウンド・ピンとなります。ノイズの影響を避けるため、ClockLockとClockBoost回路の電源とグラウンド・ピンは、デバイスの残りの部分に供給される電源とグラウンドから分離されている必要があります。ClockLockとClockBoost回路が使用されない場合は、この電源またはグラウンド・ピンをVCCINTまたはGNDINTに接続する必要があります。
- (12) EPF10K100Bを使用する場合は、このピンをVCCINTに接続します。
- (13) EPF10K100Bを使用する場合は、このピンをGNDINTに接続します。
- (14) このユーザI/Oピン数には、入力専用ピン、クロック専用ピン、すべてのI/Oピンが含まれています。

表81から表83は、FLEX 10KEデバイスに提供されている256ピンFineLine BGA、484ピンFineLine BGA、672ピンFineLine BGAの各パッケージにおける専用ピン名とそのピン番号を示したものです。

表81 FLEX 10KE FineLine BGAパッケージのピン配置 (1/4) 注(1)、(2)

ピン名	256-Pin FineLine BGA EPF10K30E	256-Pin FineLine BGA EPF10K50E EPF10K50S EPF10K100E EPF10K100B	484-Pin FineLine BGA EPF10K30E
MSEL0 (3)	P1	P1	U4
MSEL1 (3)	R1	R1	V4
nSTATUS (3)	T16	T16	W19
nCONFIG (3)	N4	N4	T7
DCLK (3)	B2	B2	E5
CONF_DONE (3)	C15	C15	F18
INIT_DONE (4)	G16	G16	K19
nCE (3)	B1	B1	E4
nCE0 (3)	B16	B16	E19
nWS (5)	B14	B14	E17
nRS (5)	C14	C14	F17

表81 FLEX 10KE FineLine BGAパッケージのピン配置 (2/4) 注(1)、(2)

ピン名	256-Pin FineLine BGA EPF10K30E	256-Pin FineLine BGA EPF10K50E EPF10K50S EPF10K100E EPF10K100B	484-Pin FineLine BGA EPF10K30E
nCS (5)	A16	A16	D19
CS (5)	A15	A15	D18
RDYnBSY (5)	G14	G14	K17
CLKUSR (5)	D15	D15	G18
DATA7 (5)	B5	B5	E8
DATA6 (5)	D4	D4	G7
DATA5 (5)	A4	A4	D7
DATA4 (5)	B4	B4	E7
DATA3 (5)	C3	C3	F6
DATA2 (5)	A2	A2	D5
DATA1 (5)	B3	B3	E6
DATA0 (3)、(6)	A1	A1	D4
TDI (3)	C2	C2	F5
TDO (3)	C16	C16	F19
TCK (3)	B15	B15	E18
TMS (3)	P15	P15	U18
TRST (3)	R16	R16	V19
Dedicated Inputs	B9, E8, M9, R8	B9, E8, M9, R8	E12, H11, R12, V11
Dedicated Clock Pins	A9, L8	A9, L8	D12, P11
GCLK1 (7)	L8	L8	P11
LOCK (8)	P12	P12	U15
DEV_CLRN (4)	D8	D8	G11
DEV_OE (4)	C9	C9	F12
VCCINT (2.5 V)	E11, F5, F7, F9, F12, H6, H7, H10, J7, J10, J11, K9, L5, L7, L12, M11, R2	E11, F5, F7, F9, F12, H6, H7, H10, J7, J10, J11, K9, L5, L7, L12, M11, R2	C11, C15, H14, J8, J10, J12, J15, L9, L10, L13, M10, M13, M14, N12, P8, P10, P15, R14, V5, W21, Y8, AA12
VCCIO (2.5 or 3.3 V)	D12, E6, F8, F10, G6, G8, G11, H11, J6, K6, K8, K11, L10, M6, N12	D12, E6, F8, F10, G6, G8, G11, H11, J6, K6, K8, K11, L10, M6, N12	A6, A13, B5, E1, G1, G15, H9, H20, J11, J13, K9, K11, K14, K20, L14, M9, N3, N9, N11, N14, N20, P13, R1, R9, T3, T15, T22, V22, AB13

表81 FLEX 10KE FineLine BGAパッケージのピン配置 (3/4) 注(1)、(2)			
ピン名	256-Pin FineLine BGA EPF10K30E	256-Pin FineLine BGA EPF10K50E EPF10K50S EPF10K100E EPF10K100B	484-Pin FineLine BGA EPF10K30E
VCC_CCLK (9)	L9	L9 (10)	P12
GND	E5, E12, F6, F11, G7, G9, G10, H8, H9, J8, J9, K7, K10, L6, L11, M5, M12	E5, E12, F6, F11, G7, G9, G10, H8, H9, J8, J9, K7, K10, L6, L11, M5, M12	A1, A8, A22, B1, B2, B17, B21, B22, C2, C21, E21, G3, G21, H2, H8, H15, J9, J14, J20, K3, K10, K12, K13, L11, L12, M11, M12, M20, N10, N13, P9, P14, R8, R15, R22, T1, V3, W20, Y1, Y2, Y3, Y21, Y22, AA1, AA6, AA22, AB11, AB16
GND_CCLK (9)	T8	T8 (11)	W11

表81 FLEX 10KE FineLine BGAパッケージのピン配置 (4/4) 注(1)、(2)

ピン名	256-Pin FineLine BGA EPF10K30E	256-Pin FineLine BGA EPF10K50E EPF10K50S EPF10K100E EPF10K100B	484-Pin FineLine BGA EPF10K30E
No Connect (N.C.)	D1, E3, E16, G3, H1, H16, J1, K3, K14, K16, L2, L4, M14, M16, N15	—	A2, A3, A4, A5, A7, A9, A11, A12, A14, A15, A20, A21, B3, B4, B9, B10, B12, B16, B19, B20, C1, C6, C9, C10, C12, C13, C14, C16, C17, C22, D1, D2, D3, D20, D21, D22, E2, E3, E20, E22, F1, F2, F3, F20, F21, F22, G2, G4, G20, G22, H1, H3, H6, H19, H21, H22, J1, J2, J3, J21, J22, K1, K2, K6, K21, K22, L1, L2, L3, L4, L19, L20, L21, L22, M1, M2, M3, M4, M21, M22, N1, N2, N21, N22, N6, N17, N19, P1, P2, P3, P5, P7, P20, P21, P22, R2, R3, R17, R19, R20, R21, T2, T18, T20, T21, U1, U2, U3, U20, U21, U22, V1, V2, V20, V21, W1, W2, W22, Y4, Y9, Y12, Y13, Y16, Y19, Y20, AA2, AA3, AA4, AA9, AA11, AA13, AA15, AA21, AB1, AB2, AB3, AB4, AB5, AB7, AB8, AB9, AB12, AB15, AB17, AB18, AB19, AB20, AB21, AB22
Total User I/O Pins (12)	176	191	220

表82 FLEX 10KE FineLine BGAパッケージのピン配置 (1/2) 注(1)、(2)

ピン名	484-Pin FineLine BGA EPF10K50E EPF10K50S	484-Pin FineLine BGA EPF10K100E
MSEL0 (3)	U4	U4
MSEL1 (3)	V4	V4
nSTATUS (3)	W19	W19
nCONFIG (3)	T7	T7
DCLK (3)	E5	E5
CONF_DONE (3)	F18	F18
INIT_DONE (4)	K19	K19
nCE (3)	E4	E4
nCE0 (3)	E19	E19
nWS (5)	E17	E17
nRS (5)	F17	F17
nCS (5)	D19	D19
CS (5)	D18	D18
RDYnBSY (5)	K17	K17
CLKUSR (5)	G18	G18
DATA7 (5)	E8	E8
DATA6 (5)	G7	G7
DATA5 (5)	D7	D7
DATA4 (5)	E7	E7
DATA3 (5)	F6	F6
DATA2 (5)	D5	D5
DATA1 (5)	E6	E6
DATA0 (3)、(6)	D4	D4
TDI (3)	F5	F5
TDO (3)	F19	F19
TCK (3)	E18	E18
TMS (3)	U18	U18
TRST (3)	V19	V19
Dedicated Inputs	E12, H11, R12, V11	E12, H11, R12, V11
Dedicated Clock Pins	D12, P11	D12, P11
GCLK1 (7)	P11	P11
LOCK (8)	U15	U15
DEV_CLRn (4)	G11	G11

表82 FLEX 10KE FineLine BGAパッケージのピン配置 (2/2) 注(1)、(2)

ピン名	484-Pin FineLine BGA EPF10K50E EPF10K50S	484-Pin FineLine BGA EPF10K100E
DEV_OE (4)	F12	F12
VCCINT (2.5 V)	C11, C15, H14, J8, J10, J12, J15, L9, L10, L13, M10, M13, M14, N12, P8, P10, P15, R14, V5, W21, Y8, AA12	C11, C15, H14, J8, J10, J12, J15, L9, L10, L13, M10, M13, M14, N12, P8, P10, P15, R14, V5, W21, Y8, AA12
VCCI0 (2.5 or 3.3 V)	A6, A13, B5, E1, G1, G15, H9, H20, J11, J13, K9, K11, K14, K20, L14, M9, N3, N9, N11, N14, N20, P13, R1, R9, T3, T15, T22, V22, AB13	A6, A13, B5, E1, G1, G15, H9, H20, J11, J13, K9, K11, K14, K20, L14, M9, N3, N9, N11, N14, N20, P13, R1, R9, T3, T15, T22, V22, AB13
VCC_CKCLK (9)	P12	P12
GND	A1, A8, A22, B1, B2, B17, B21, B22, C2, C21, E21, G3, G21, H2, H8, H15, J9, J14, J20, K3, K10, K12, K13, L11, L12, M11, M12, M20, N10, N13, P9, P14, R8, R15, R22, T1, V3, W20, Y1, Y2, Y3, Y21, Y22, AA1, AA6, AA22, AB11, AB16	A1, A8, A22, B1, B2, B17, B21, B22, C2, C21, E21, G3, G21, H2, H8, H15, J9, J14, J20, K3, K10, K12, K13, L11, L12, M11, M12, M20, N10, N13, P9, P14, R8, R15, R22, T1, V3, W20, Y1, Y2, Y3, Y21, Y22, AA1, AA6, AA22, AB11, AB16
GND_CKCLK (9)	W11	W11
No Connect (N.C.)	A2, A3, A4, A5, A7, A9, A11, A12, A14, A15, A20, A21, B3, B4, B9, B10, B12, B16, B19, B20, C1, C6, C9, C10, C12, C13, C14, C16, C17, C22, D1, D2, D3, D20, D21, E2, E3, E20, E22, F1, F2, F20, F21, G2, G20, G22, J1, J2, J3, J21, K2, K22, L1, L2, L20, L22, M2, M3, M22, N1, N2, N21, N22, P3, P20, P21, P22, R2, R3, R21, T2, T20, T21, U1, U2, U3, U20, U21, U22, V2, V20, W1, W2, W22, Y4, Y9, Y12, Y13, Y16, Y19, Y20, AA2, AA3, AA4, AA9, AA11, AA13, AA15, AA21, AB1, AB2, AB3, AB4, AB5, AB7, AB8, AB9, AB12, AB15, AB17, AB18, AB19, AB20, AB21, AB22	A2, A3, A4, A5, B3, B4, B10, C17, F2, J2, K2, L2, N1, P20, P22, R3, T20, T21, U1, W22, Y16, AA15, AB3, AB4, AB5, AB7, AB15, AB17, AB18, AB19, AB20
Total User I/O Pins (12)	254	338

表83 FLEX 10KE FineLine BGAパッケージのピン配置 (1/3) 注(1)、(2)

ピン名	484-Pin FineLine BGA EPF10K130E EPF10K200S	672-Pin FineLine BGA EPF10K130E	672-Pin FineLine BGA EPF10K200E EPF10K200S
MSEL0 (3)	U4	W6	W6
MSEL1 (3)	V4	Y6	Y6
nSTATUS (3)	W19	AA21	AA21
nCONFIG (3)	T7	V9	V9
DCLK (3)	E5	G7	G7
CONF_DONE (3)	F18	H20	H20
INIT_DONE (4)	K19	M21	M21
nCE (3)	E4	G6	G6
nCEO (3)	E19	G21	G21
nWS (5)	E17	G19	G19
nRS (5)	F17	H19	H19
nCS (5)	D19	F21	F21
CS (5)	D18	F20	F20
RDYnBSY (5)	K17	M19	M19
CLKUSR (5)	G18	J20	J20
DATA7 (5)	E8	G10	G10
DATA6 (5)	G7	J9	J9
DATA5 (5)	D7	F9	F9
DATA4 (5)	E7	G9	G9
DATA3 (5)	F6	H8	H8
DATA2 (5)	D5	F7	F7
DATA1 (5)	E6	G8	G8
DATA0 (3)、(6)	D4	F6	F6
TDI (3)	F5	H7	H7
TD0 (3)	F19	H21	H21
TCK (3)	E18	G20	G20
TMS (3)	U18	W20	W20
TRST (3)	V19	Y21	Y21
Dedicated Inputs	E12, H11, R12, V11	Y13, U14, G14, K13	Y13, U14, G14, K13
Dedicated Clock Pins	D12, P11	T13, F14	T13, F14
GCLK1 (7)	P11	T13	T13
LOCK (8)	U15	W17	W17
DEV_CLRn (4)	G11	J13	J13

表83 FLEX 10KE FineLine BGAパッケージのピン配置 (2/3) 注(1)、(2)

ピン名	484-Pin FineLine BGA EPF10K130E EPF10K200S	672-Pin FineLine BGA EPF10K130E	672-Pin FineLine BGA EPF10K200E EPF10K200S
DEV_OE (4)	F12	H14	H14
VCCINT (2.5 V)	C11, C15, H14, J8, J10, J12, J15, L9, L10, L13, M10, M13, M14, N12, P8, P10, P15, R14, V5, W21, Y8, AA12	E13, E17, H2, H25, K16, L10, L12, L14, L17, M2, M25, N11, N12, N15, P12, P15, P16, R14, T2, T10, T12, T17, T25, U16, Y7, AA23, AB10, AC14	E13, E17, H2, H25, K16, L10, L12, L14, L17, M2, M25, N11, N12, N15, P12, P15, P16, R14, T2, T10, T12, T17, T25, U16, Y7, AA23, AB10, AC14
VCCIO (2.5 or 3.3 V)	A6, A13, B5, E1, G1, G15, H9, H20, J11, J13, K9, K11, K14, K20, L14, M9, N3, N9, N11, N14, N20, P13, R1, R9, T3, T15, T22, V22, AB13	C8, C15, D7, G3, J3, J17, K11, K22, L13, L15, M11, M13, M16, M22, N16, P11, R5, R11, R13, R16, R22, T15, U3, U11, V5, V17, V24, Y2, Y24, AA26, AD15	C8, C15, D7, G3, J3, J17, K11, K22, L13, L15, M11, M13, M16, M22, N16, P11, R5, R11, R13, R16, R22, T15, U3, U11, V5, V17, V24, Y2, Y24, AA26, AD15
VCC_CKCLK (9)	P12	T14	T14
GND	A1, A8, A22, B1, B2, B17, B21, B22, C2, C21, E21, G3, G21, H2, H8, H15, J9, J14, J20, K3, K10, K12, K13, L11, L12, M11, M12, M20, N10, N13, P9, P14, R8, R15, R22, T1, V3, W20, Y1, Y2, Y3, Y21, Y22, AA1, AA6, AA22, AB11, AB16	A2, A25, B2, B25, C3, C10, C24, D3, D4, D19, D23, D24, E4, E23, G23, J5, J23, K4, K10, K17, L11, L16, L22, M5, M12, M14, M15, N13, N14, P13, P14, P22, R12, R15, T11, T16, U10, U17, U24, V3, Y5, AA22, AB3, AB4, AB5, AB23, AB24, AC3, AC8, AC24, AD13, AD18, AE2, AE25, AF2, AF25	A2, A25, B2, B25, C3, C10, C24, D3, D4, D19, D23, D24, E4, E23, G23, J5, J23, K4, K10, K17, L11, L16, L22, M5, M12, M14, M15, N13, N14, P13, P14, P22, R12, R15, T11, T16, U10, U17, U24, V3, Y5, AA22, AB3, AB4, AB5, AB23, AB24, AC3, AC8, AC24, AD13, AD18, AE2, AE25, AF2, AF25
GND_CKCLK (9)	W11	AA13	AA13

表83 FLEX 10KE FineLine BGAパッケージのピン配置 (3/3) 注(1)、(2)

ピン名	484-Pin FineLine BGA EPF10K130E EPF10K200S	672-Pin FineLine BGA EPF10K130E	672-Pin FineLine BGA EPF10K200E EPF10K200S
No Connect (N.C.)	—	A3, A4, A5, A6, A8, A9, A10, A11, A12, A13, A14, A15, A16, A17, A18, A19, A20, A21, A22, A23, A24, B3, B4, B5, B6, B7, B8, B9, B10, B11, B12, B13, B14, B16, B19, B20, B21, B22, B23, B24, C1, C25, C26, D1, D2, D25, D26, E1, E25, E26, F1, F25, G25, G26, H1, J1, J25, J26, K26, L2, L25, N2, P1, P2, R1, R26, T1, U1, U25, V1, V26, W1, Y26, AA1, AA2, AA25, AB2, AB25, AB26, AC1, AC2, AC25, AC26, AD2, AD26, AE1, AE3, AE4, AE5, AE6, AE7, AE8, AE9, AE10, AE11, AE12, AE14, AE15, AE16, AE17, AE19, AE20, AE21, AE22, AE23, AE24, AE26, AF3, AF4, AF5, AF6, AF7, AF8, AF9, AF10, AF11, AF12, AF13, AF14, AF15, AF16, AF17, AF18, AF20, AF21, AF23, AF24	A4, A5, A6, A10, A11, A12, A13, A14, A15, A16, A17, A18, A19, A20, A21, A22, A23, A24, B4, B5, B6, B7, B8, B9, B10, B11, B12, B13, B16, B19, B20, B21, B22, B23, B24, C1, AE4, AE5, AE6, AE7, AE8, AE9, AE10, AE11, AE12, AE14, AE15, AE16, AE17, AE19, AE20, AE21, AE22, AE23, AF4, AF5, AF6, AF7, AF8, AF9, AF10, AF12, AF13, AF14, AF15, AF16, AF18, AF20, AF21, AF23, AF24
Total User I/O Pins (12)	369	413	470

表中の注：

- (1) この表にリストされていないピンは、すべてユーザI/Oピンです。
- (2) すべてのFineLine BGAパッケージはSameFrameピン配置機能をサポートしており、異なるパッケージへの移行が可能です。QuartusとMAX+PLUS IIのソフトウェアは、将来のマイグレーション機能がオンに設定されていると、自動的にこの機能を活用したピン配置を行います。
- (3) これらのピンは専用ピンであり、ユーザI/Oピンとしては使用できません。
- (4) これらのピンがコンフィギュレーションまたはデバイス全体のコントロール信号として使用されていない場合は、ユーザI/Oピンとして使用できます。
- (5) これらのピンはコンフィギュレーション完了後にユーザI/Oピンとして使用できます。
- (6) このピンはユーザ・モードでトライ・ステートとなります。
- (7) このピンはClockLockとClockBoostの回路をドライブします。
- (8) このピンは、ClockLockとClockBoostの回路の状態を示します。ClockLockとClockBoost回路が入力クロックにロックしており、内部クロックが生成されている場合は、LOCK出力がHighになります。一定の期間、クロックが停止した場合でも、LOCKはHighのままになります。LOCKの使用はオプションです。LOCKが使用されない場合は、このピンがI/Oピンとなります。
- (9) このピンは、ClockLockとClockBoost回路に対する電源ピンまたはグラウンド・ピンとなります。ノイズの影響を避けるため、ClockLockとClockBoost回路の電源とグラウンド・ピンは、デバイスの残りの部分に供給される電源とグラウンドから分離されている必要があります。ClockLockとClockBoost回路が使用されない場合は、この電源またはグラウンド・ピンをVCCINTまたはGNDに接続する必要があります。
- (10) EPF10K100Bを使用する場合は、このピンをVCCINTに接続します。
- (11) EPF10K100Bを使用する場合は、このピンをGNDINTに接続します。
- (12) このユーザI/Oピン数には、入力専用ピン、クロック専用ピン、すべてのI/Oピンが含まれています。

表84は、FLEX 10KEの各デバイス間でのピンの互換性を示したものです。

表84 FLEX 10KEデバイス間のピン互換性 注(1)

デバイス名	144-Pin TQFP	208-Pin PQFP	240-Pin PQFP RQFP	599-Pin PGA	356-Pin BGA	600-Pin BGA	256-Pin FineLine BGA	484-Pin FineLine BGA	672-Pin FineLine BGA
EPF10K30E	注(2)	注(2)					注(3)	注(3)	注(4)
EPF10K50E	注(2)	注(2)	注(3)		注(3)		注(3)	注(3)	注(4)
EPF10K50S	注(2)	注(2)	注(3)		注(3)		注(3)	注(3)	注(4)
EPF10K100B		注(2)	注(3)				注(3)		
EPF10K100E		注(2)	注(3)		注(3)		注(3)	注(3)	注(4)
EPF10K130E			注(3)		注(3)	注(3)		注(3)	注(3)
EPF10K200E				注(2)		注(3)			注(3)
EPF10K200S			注(3)	注(2)	注(3)	注(3)		注(3)	注(3)

注：

- (1) すべてのFineLine BGAパッケージはSameFrameピン配置機能をサポートしており、異なるパッケージへの移行が可能です。QuartusとMAX+PLUS IIのソフトウェアは、将来のマイグレーション機能がオンに設定されていると、自動的にこの機能を活用して競合の発生しないピン配置を行います。
- (2) 同じパッケージのこれらのデバイスはピン互換となっており、I/Oピンの数も同じです。
- (3) 同じパッケージのこれらのデバイスはピン互換となっていますが、デバイスによってはI/Oピンの数が多くなることがあります。将来のデバイス変更を予定している場合は、すべてのデバイスで共通となるI/Oピンを使用してください。MAX+PLUS IIのバージョン9.1以降のソフトウェアは、共通のI/Oピンのみを使用してピン配置を行います。
- (4) このオプションは、484ピンFineLine BGAパッケージとの間でサポートされます。SameFrameピン・マイグレーション機能を利用することで、すべてのFineLine BGAパッケージがピン互換となります。例えば、256ピン、484ピン、および672ピンの各FineLine BGAパッケージをサポートした1種類のボードをデザインすることができます。QuartusとMAX+PLUS IIのソフトウェアは、将来のマイグレーション機能がオンに設定されていると、自動的にこの機能を活用して競合の発生しないピン配置を行います。

表85は、FLEX 10KAとFLEX 10KEの双方のデバイスに対してSameFrameピン配置機能をサポートしているFineLineパッケージとデバイスとの関係を示したものです。すべてのFineLine BGAパッケージはSameFrameピン配置機能をサポートしており、同じパッケージの他のデバイスへの移行だけでなく、他の異なるパッケージへの移行も可能にする高い柔軟性が提供されます。I/O数は、パッケージごとに異なります。このため、MAX+PLUS IIのバージョン9.1以降のソフトウェアは、共通のI/Oピンのみを使用してピン配置を行います。



詳細については、MAX+PLUS IIのHelp機能で「SameFrame」の項目をサーチして確認してください。

表85 FLEX 10KとFLEX 10KEデバイスでサポートされるSameFrameピン配置機能

デバイス名	256-Pin FineLine BGA	484-Pin FineLine BGA	672-Pin FineLine BGA
EPF10K30E	✓	✓	✓ 注(1)
EPF10K50E EPF10K50S	✓	✓	✓ 注(1)
EPF10K100B	✓		
EPF10K100E	✓	✓	✓ 注(1)
EPF10K130E		✓	✓
EPF10K200E EPF10K200S			✓
EPF10K10A	✓		
EPF10K30A	✓	✓	
EPF10K50V		✓	
EPF10K100A		✓	

注：

- (1) このオプションは、484ピンのFineLine BGAパッケージとの間でSameFrameピン・マイグレーションがサポートされることを示しています。

Altera, BitBlaster, ByteBlaster, ByteBlasterMV, ClockLock, ClockBoost, EPC2, EPC1, EPC1441, EPF10K30E, EPF10K50E, EPF10K50S, EPF10K100B, EPF10K100E, EPF10K130E, EPF10K200E, EPF10K250E, FLEX, FLEX 10K, FLEX 10KA, FLEX 10KE, FLEX 6000, FastTrack, FineLine BGA, Jam, MAX, MAX+PLUS, MAX+PLUS II, MegaCore, MultiVolt, Quartus, SameFrame, System-on-a-Programmable-Chip[®] is Altera Corporation's trademark in the U.S. and other countries. This document contains trademarks of other companies and service marks. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

Copyright © 1999 Altera Corporation. All rights reserved.



日本アルテラ株式会社

〒163-0436

東京都新宿区西新宿2-1-1

新宿三井ビル私書箱261号

TEL. 03-3340-9480 FAX. 03-3340-9487

<http://www.altera.com/japan/>

E-mail: japan@altera.com

本社 Altera Corporation

101 Innovation Drive,

San Jose, CA 95134

TEL : (408) 544-7000

<http://www.altera.com>

この資料に記載された内容は予告なく変更されることがあります。最新の情報は、アルテラのwebサイト (<http://www.altera.com>) でご確認ください。この資料はアルテラが発行した英文のデータシートを日本語化したものであり、アルテラが保証する仕様、規格は英文オリジナルのものです。