

FLEX 10Kデバイスの タイミング

1998年1月 ver.1

Application Note 91

イントロダク ション	アルテラのデバイスは、シミュレーションから実際のアプリケーションまで 予測可能な一定した性能を提供します。デバイスをコンフィギュレーション する前に、どのようなデザインでもワースト・ケースのタイミング遅延を求 めることができます。また、1998年版データブックに収録されている 「FLEX 10K Embedded Programmable Logic Familyのデータシー ト(日本語版有り)に記載されているタイミング・パラメータと、このアプ リケーション・ノートで示されるタイミング・モデルを利用して、デザイン の性能を予測することができます。
	↓ より正確なタイミング情報を得る必要がある場合は、MAX+PLUS [®] Ⅱ のタイミング・アナライザを使用して下さい。MAX+PLUSⅡのタイ ミング・アナライザは、実際のファンアウトや配置情報などの二次的 な要因を加味してタイミングを算出します。
	このアプリケーション・ノートでは、デバイス内部および外部のタイミン グ・パラメータを定義し、FLEX [®] 10Kデバイス・ファミリのタイミング・ モデルを図示します。
	この資料は、FLEX 10Kのアーキテクチャと特性に精通していることを前 提に作成されています。このアプリケーション・ノートに記述されているタ イミング・パラメータの値やFLEX 10Kのアーキテクチャの詳細について は「FLEX 10K Embedded Programmable Logic Familyのデータ シート(日本語版有り)を参照して下さい。
内部タイミン グ・マイクロ パメータ	内部タイミング・マイクロパラメータは、FLEX 10Kアーキテクチャ上の 各エレメントによって発生するタイミング遅延であり、正確に測定すること はできません。すべての内部タイミング・マイクロパラメータは、イタリッ ク体で表記されています。以下に、FLEX 10Kデバイス・ファミリの内部 タイミング・マイクロパラメータを示します。
	I/Oエレメントのタイミング・マイクロパラメータ
	以下に、FLEX 10Kデバイス・ファミリにおけるI/Oエレメント(IOE)の タイミング・マイクロパラメータを示します。
	<i>t_{IOD}</i> 出力データ遅延。FastTrack [™] インタコネクトからIOEへ配

t_{IOC} IOEコントロール信号遅延。I/Oレジスタのクロック、イ ネーブル、クリア入力もしくはIOEのトライ・ステート・

線された信号に生じる遅延時間。

Altera Corporation

A-AN-091-01/J

	バッファの出力イネーブル・コントロールに使用される信号 の遅延時間。
t _{IOFD}	IOEレジスタのフィードバック遅延。IOEレジスタの出力 が、FastTrackインタコネクトのロウまたはカラム・チャ ネルに到達するまでの時間。
t _{INCOMB}	IOE入力パッドとバッファからFastTrackインタコネクト への遅延。入力として使用されているI/Oピンの信号が、 FastTrackインタコネクトのロウまたはカラム・チャネル に到達するまでの時間。
t _{INREG}	IOE入力パッドとバッファからIOEレジスタまでの遅延。入 力として使用されているI/Oピンの信号が、IOEレジスタの データ入力に到達するまでの時間。
t _{IOCO}	l/Oレジスタの「Clock-to-Output」 遅延。l/Oレジスタ・ クロックの立ち上がリエッジから、レジスタ出力にデータが 現れるまでの遅延時間。
t _{IOCOMB}	I/Oレジスタのバイパス遅延。I/Oレジスタをバイパスする組 み合わせ回路信号の遅延時間。
t _{IOSU}	I/Oレジスタのセットアップ・タイム。レジスタに入力デー タを正しくストアするために、レジスタ・クロックの立ち上 がりエッジの前に信号をI/Oレジスタのデータ入力ポートで 安定させる必要がある最小時間。また、 <i>t_{IOSU}</i> はクリアのデ アサーションとクロックの立ち上がりエッジ間の最小リカバ リ時間でもある。
t _{IOH}	I/Oレジスタのホールド・タイム。レジスタに入力データを 正しくストアするために、レジスタ・クロックの立ち上がり エッジの後に信号をI/Oレジスタのデータ入力ポートで安定 させる必要がある最小時間。
t _{IOCLR}	I/Oレジスタのクリア・タイム。I/Oレジスタに非同期クリア がアサートされてから、レジスタ出力がLowレベルに安定 するまでの遅延時間。
t _{OD1}	「Slow slew rate」のオプションをオフに設定し、V _{ccio} = V _{cCint} にした条件での出力バッファとパッドの遅延時間。
t _{OD2}	「Slow slew rate」 のオプションをオフに設定し、V _{CCIO} = 低 電圧にした条件での出力バッファとパッドの遅延時間。
t _{OD3}	「Slow slew rate」 のオプションをオンに設定した条件での 出力バッファとパッドの遅延時間。

- txz
 出力バッファのディセーブル遅延。トライ・ステート・バッファのイネーブル・コントロールをディセーブルした後、出力ピンがハイ・インピーダンスになるまでの時間。
- t_{ZX1} 「Slow slew rate」のオプションをオフに、V_{CCIO} = V_{CCINT} に設定した条件での出力バッファのイネーブル遅延。トラ イ・ステート・バッファのイネーブル・コントロールをイ ネーブルにした後、出力ピンに出力信号が現れるまでの時 間。
- t_{ZX2} 「Slow slew rate」のオプションをオフに、V_{CCIO} = 低電圧 に設定した条件での出力バッファのイネーブル遅延。トラ イ・ステート・バッファのイネーブル・コントロールをイ ネーブルにした後、出力ピンに出力信号が現れるまでの時 間。
- t_{ZX3} 「Slow slew rate」のオプションをオンに設定した条件での 出力バッファのイネーブル遅延。トライ・ステート・バッ ファのイネーブル・コントロールをイネーブルにした後、出 力ピンに出力信号が現れるまでの時間。

インタコネクトのタイミング・マイクロパラメータ

以下に、FLEX 10Kデバイス・ファミリのインタコネクト・タイミング・ マイクロパラメータを示します。

- t_{SAMELAB}
 同ーロジック・アレイ・ブロック(LAB)内でのロジック・エレメント(LE)間の配線遅延。同一LAB内のLE間を配線される信号に生じる遅延。
- t_{SAMEROW} 同一ロウのFastTrackインタコネクトの遅延。ロウ側の IOE、LEまたはエンベデッド・アレイ・ブロック(EAB) から同じロウのIOE、LEまたはEABをドライブしたときの 配線遅延。t_{SAMEROW}遅延は、ソースとディスティネーショ ン間の距離およびファンアウトの関数となります。「FLEX 10K Embedded Programmable Logic Familyのデー タシートに示されている値は、ファンアウト-4を持つLEの 最大遅延です。ただし、MAX+PLUS IIのタイミング・ア ナライザでは、デザイン上のソースとディスティネーション の位置関係やファンアウトが考慮されるため、より正確な値 が得られます。
 - 詳細は23ページの「タイミング・モデルと MAX+PLUS Iタイミング・アナライザの比較」 を参照して下さい。

- $t_{SAMECOLUMN}$ 同一カラムのFastTrackインタコネクトの遅延。LEから同 じカラム側のIOEをドライブしたときの配線遅延。 $t_{SAMECOLUMN}$ 遅延は、ソースとディスティネーション間の距離およびファンアウトの関数になります。「FLEX 10K Embedded Programmable Logic Family のデータシート に示されている値は、ファンアウト-4を持つLEの最大遅延 です。ただし、MAX+PLUS IDのタイミング・アナライザ では、デザイン上のソースとディスティネーションの位置関 係やファンアウトが考慮されるため、より正確な値が得られ ます。
 - 詳細は23ページの「タイミング・モデルと MAX+PLUS Iタイミング・アナライザの比較」 を参照して下さい。
- $t_{DIFFROW}$ 異なるロウ間のFastTrackインタコネクト遅延。カラム側の IOE、LEまたはEABから、1つのロウ・チャネルとカラ ム・チャネルを経由して、異なるロウ側のIOE、LEまたは EABをドライブしたときの配線遅延。 $t_{DIFFROW}$ 遅延は、ソー スとディスティネーション間の距離およびファンアウトの関 数になります。「FLEX 10K Embedded Programmable Logic Family」のデータシートに示されている値は、ファ ンアウト - 4を持つLEの最大遅延です。ただし、 MAX+PLUS IIのタイミング・アナライザでは、デザイン 上のソースとディスティネーションの位置関係やファンアウ トが考慮されるため、より正確な値が得られます。
 - 詳細は23ページの「タイミング・モデルと MAX+PLUS Iタイミング・アナライザの比較」 を参照して下さい。
- $t_{TWOROWS}$ 2本の口ウ間のFastTrackインタコネクト遅延。ロウ側の IOE、LEまたはEABからあるロウ・チャネルとカラム・ チャネル、そして別のロウ・チャネルを経由して、異なるロ ウのIOE、LEまたはEABをドライブしたときの配線遅延。 $t_{TWOROWS}$ 遅延は、ソースとディスティネーション間の距離 およびファンアウトの関数になります。「FLEX 10K Embedded Programmable Logic Family の データ シートに示されている値は、ファンアウト-4を持つLEの最 大遅延です。ただし、MAX+PLUS Iのタイミング・アナ ライザでは、デザイン上のソースとディスティネーションの 位置関係やファンアウトが考慮されるため、より正確な値が 得られます。
 - 詳細は23ページの「タイミング・モデルと MAX+PLUS IIタイミング・アナライザの比較」 を参照して下さい。

- $t_{LEPERIPH}$ ペリフェラル・バスの遅延。LEまたはIOEから、ペリフェラ ル・コントロール・バスを経由してIOEのコントロール信号 をドライブしたときの配線遅延。「FLEX 10K Embedded Programmable Logic Family のデータシートに示され ている値は、ファンアウト-4を持つLEの最大遅延です。た だし、MAX+PLUS IIのタイミング・アナライザでは、デ ザイン上のソースとディスティネーションの位置関係やファ ンアウトが考慮されるため、より正確な値が得られます。
 - 詳細は23ページの「タイミング・モデルと MAX+PLUS IIタイミング・アナライザの比較」 を参照して下さい。
- t_{LABCARRY} 異なるLABへのキャリー・チェイン遅延。あるLEのキャ リー・アウト信号が、同じロウの異なるLAB内のLEのキャ リー・インをドライブしたときの配線遅延。複数のLABにま たがる長いキャリー・チェインは、隣接したLABをスキップ して奇数番号のLABから次の奇数番号のLABへ、または偶数 番号のLABから次の偶数番号のLABへ配線されます。
 - t_{LABCASC} 異なるLABへのカスケード・チェイン遅延。LEのカスケー ド・アウト信号から、同じロウの異なるLAB内のLEのカス ケード・イン信号をドライブしたときの配線遅延。複数の LABにまたがる長いカスケード・チェインは、隣接した LABをスキップして奇数番号のLABから次の偶数番号の LABへ、またはある偶数番号のLABから次の偶数番号の LABへ配線されます。
 - t_{DIN2IOE} 入力専用ピンからIOEのコントロール入力までの遅延。入力 専用ピンの信号がIOEのコントロール入力に到達するまでの 遅延時間。
 - t_{DIN2LE}
 入力専用ピンからLEまたはEABのコントロール入力までの 遅延。入力専用ピンの信号がLEまたはEABのコントロール 入力に到達するまでの遅延時間。

- t_{DIN2DATA} 入力専用ピンからLEまたはEABのデータ入力までの遅延。入 力専用ピンの信号がLEまたはEABのデータ入力に到達するま での遅延時間。「FLEX 10K Embedded Programmable Logic Family」のデータシートに示されている値は、ファン アウト-4を持つLEの最大遅延です。ただし、MAX+PLUS II のタイミング・アナライザでは、デザイン上のソースとディ スティネーションの位置関係やファンアウトが考慮されるた め、より正確な値となります。
 - 詳細は23ページの「タイミング・モデルと MAX+PLUS IIタイミング・アナライザの比較」 を参照して下さい。
- t_{DCLK2IOE} クロック専用ピンからIOEのクロック入力までの遅延時間。 クロック専用ピンの信号がIOEのクロック入力に到達するま での時間。
- t_{DCLK2LE}
 クロック専用ピンからLEまたはEABのクロック入力までの 遅延時間。クロック専用ピンの信号がLEまたはEABのク ロック入力に到達するまでの時間。

ロジック・エレメントのタイミング・マイクロパラメータ

以下に、FLEX 10Kデバイス・ファミリにおけるLEのタイミング・マイク ロパラメータを示します。

- t_{LUT} ルック・アップ・テーブル(LUT)遅延。LABのローカ ル・インタコネクト信号からLUT出力が生成されるまでの 遅延時間。
- t_{RLUT} LEのフィードバックを使用した時のLUT遅延。LEレジス タの出力がフィードバックされ、同一LE内のLUT出力が生 成されるまでの遅延時間。
- *t_{CLUT}* キャリー・チェインのLUT遅延。キャリー・チェイン信号 からLUT出力が生成されるまでの時間。
- t_{PACKED} データ入力からパックド・レジスタへの遅延。LABローカ ル・インタコネクト信号を通じて、LUTからLEレジスタの データ入力へ配線される信号の遅延。
- *t_C* レジスタのコントロール遅延。LEレジスタのクロック、プリ セット、クリア入力に信号が到達するまでの配線遅延時間。
- t_{EN}
 LEレジスタのイネーブル遅延。LEレジスタのイネーブル入

 力に信号が到達するまでの配線遅延時間。

t _{CGENR}	LEフィードバックからキャリー・アウト信号が生成される までの遅延。フィードバックされたLEレジスタの出力か ら、同一LE内でキャリー・アウト信号が生成されるまでの 遅延時間。
t _{CGEN}	キャリー・アウト生成遅延時間。LABローカル・インタコネク トからキャリー・アウト信号が生成されるまでの遅延時間。
t _{CICO}	キャリー・インからキャリー・アウトまでの遅延。前段の LEからのキャリー・イン信号からキャリー・アウト信号が 生成されるまでの遅延時間。
t _{CO}	LEの「Clock-to-Output」遅延。LEレジスタのクロック の立ち上がりから、レジスタ出力にデータが現れるまでの遅 延時間。
t _{COMB}	組み合わせ回路の遅延。組み合わせ回路の信号がLEレジス タをバイパスして、LEの出力に現れるまでの時間。
t _{SU}	LEレジスタのセットアップ・タイム。レジスタに入力デー タを正しくストアするために、レジスタ・クロックの立ち上 がりエッジ前に信号をLEレジスタのデータ入力ポートで安 定させる必要がある最小時間。また、t _{SU} はクリアのデア サーションとクロックの立ち上がりエッジ間の最小リカバリ 時間でもあります。
t _H	LEレジスタのホールド・タイム。レジスタが入力データを 正しくストアするために、レジスタ・クロックの立ち上がり エッジの後に、LEレジスタのデータ入力ポートで信号を安 定させる必要がある最小時間。
t _{PRE}	LEレジスタのプリセット遅延。LEレジスタの非同期プリ セット入力がアサートされてから、レジスタ出力がLogic- Highに安定するまでの遅延時間。
t _{CLR}	LEレジスタのクリア遅延。LEレジスタの非同期クリア入力 がアサートされてから、レジスタ出力がLogic-Lowに安定 するまでの遅延時間。
t _{CASC}	カスケード・チェインの遅延。カスケード・アウト信号が同 ーLAB内の次のLEに配線されるときの遅延。カスケード・ アウト信号が同一ロウの異なるLAB内のLEに配線されるま での遅延時間は、この遅延とt _{LABCASC} を使用して計算されま す。

EABのタイミング・マイクロパラメータ

以下に、FLEX 10Kデバイス・ファミリのEABタイミング・マイクロパラ メータを示します。

- t_{EABDATA1}
 EABの組み合わせ入力に対するデータまたはアドレスの遅

 延。信号がEABの境界からEABのデータまたはアドレスの

 組み合わせ入力に到達するまでの遅延時間。
- t_{EABDATA2} EABのレジスタ入力に対するデータまたはアドレスの遅 延。信号がEABの境界からEABのデータまたはアドレスの レジスタ入力に到達するまでの遅延時間。
- t_{EABWE1}
 EABの組み合わせ入力に対するライト・イネーブルの遅

 延。信号がEABの境界からEABのライト・イネーブル

 (WE)組み合わせ入力に到達するまでの時間。
- t_{EABWE2}
 EABのレジスタ入力に対するライト・イネーブルの遅延。

 信号がEABの境界からEABのWEレジスタ入力に到達する
 までの時間。
- t_{EABCLK}
 EABレジスタのクロック遅延。信号がEABの境界からEAB

 レジスタのクロック入力に到達するまでの時間。
- t_{EABCO} EABレジスタの「Clock-to-Output」遅延。EABレジス タのクロックの立ち上がりエッジから、レジスタの出力に データが現れるまでの時間。
- *t_{EABBYPASS}*レジスタ・バイパス遅延。EABのレジスタをバイパスした 組み合わせ出力信号の遅延時間。
- t_{EABSU}
 EABレジスタのセットアップ・タイム。レジスタに入力
 データを正しくストアするために、レジスタ・クロックの立
 ち上がりエッジの前に、信号をEABレジスタのデータ入力
 ポートで安定させる必要がある最小時間。
- t_{EABH}
 EABレジスタのホールド・タイム。レジスタに入力データ
 を正しくストアするために、レジスタ・クロックの立ち上が
 リエッジの後に、信号をEABレジスタのデータ入力ポート
 で安定させる必要がある最小時間。
- t_{EABCH} クロック、High期間。EABレジスタを正しく動作させるために、クロック信号をHighレベルに維持する必要がある最小時間。

t _{EABCL}	クロック、Low期間。EABレジスタを正しく動作させるた めに、クロック信号をLowレベルに保持する必要がある最 小時間。
t_{AA}	アドレス・アクセス遅延。EABのRAMアドレス入力の変化 からEABRAMのデータ出力が変化するまでの時間。
t _{DD}	データ入力から出力確定までの遅延。ライト・サイクルにお いて、EABRAMのデータ入力に与えられたデータがEAB RAMのデータ出力に伝搬するまでに必要な時間。
t_{WP}	ライト・パルス幅。EABRAMに入力データを正しくストア するために、WE信号をHighレベルに保持する必要がある 最小時間。
t _{WDSU}	ライト・パルスの立ち下がり前のデータ・セットアップ・タ イム。EABRAMに入力データを正しくストアするために、 WEの立ち下がりエッジの前にEABのRAMデータ入力を安 定させる必要がある最小時間。
t _{WDH}	ライト・パルスの立ち下がり後のデータ・ホールド・タイ ム。EABRAMに入力データを正しくストアするために、 WEの立ち下がりエッジの後にEABのRAMデータ入力を安 定させる必要がある最小時間。
t _{WASU}	ライト・パルスの立ち上がりエッジ前のアドレス・セット アップ・タイム。EABRAMに入力データを正しくストアす るために、WEの立ち上がりエッジの前にEABのRAMアド レス入力を安定させる必要がある最小時間。
t _{WAH}	ライト・パルスの立ち下がりエッジ後のアドレス・ホール ド・タイム。EABRAMに入力データを正しくストアするた めに、WEの立ち下がりエッジの後にEABのRAMアドレス 入力を安定させる必要がある最小時間。
t _{WO}	ライト・イネーブルからデータ出力確定までの遅延。RAM にデータをライトするときに生じるWEの立ち上がりエッジ から、書き込まれるデータがEABRAMのデータ出力に現れ るまでの遅延時間。
t _{EABOUT}	データ出力遅延。EABの出力がFastTrackインタコネクト のロウ・チャネルまたはカラム・チャネルに到達するまでの 遅延時間。

EAB内部タイ ミング・マク ロパラメータ	EABの内部タイミング・マクロパラメータはFLEX 10KのEAE ング・マイクロパラメータを組み合わせたものとなっています マクロパラメータは正確に測定することはできません。 以下に デバイス・ファミリのEABの内部タイミング・マクロパラメー す。		
	t_{EABAA}	EABアドレス・アクセス遅延。EABのアドレス入力の変化 からEABのデータ出力が変化するまでの遅延時間。	
	t _{EABRCCOMB}	EAB非同期リード・サイクル・タイム。非同期リード・サ イクルの実行に必要な最小時間。	
	t _{EABRCREG}	EAB同期リード・サイクル・タイム。同期リード・サイク ルの実行に必要な最小時間。	
	t _{EABWP}	EABライト・パルス幅。EAB RAMに入力データを正しく ストアするために、EABのWEをHighレベルに保持する必 要がある最小時間。	
	t _{EABWCCOMB}	EAB非同期ライト・サイクル・タイム。非同期ライト・サ イクルの実行に必要な最小時間。	
	t _{EABWCREG}	EAB同期ライト・サイクル・タイム。同期ライト・サイク ルの実行に必要な最小時間。	
	t _{EABDD}	EABデータ入力からデータ出力確定までの遅延。ライト・ サイクルにおいて、EABデータ入力に与えられたデータが EABRAMを通ってEABデータ出力に伝搬するまでのトー タル時間。	
	t _{EABDATACO}	出力レジスタ使用時のEABの「Clock-to-Output」遅延。 EAB出力レジスタに対するクロック入力の立ち上がりエッジ から、データがEABのデータ出力に現れるまでの時間。	
	t _{EABDATASU}	入力レジスタ使用時のEABデータ / アドレス・セットアッ プ・タイム。入力レジスタにデータを正しくストアするため に、 EABデータ / アドレス入力をEAB入力レジスタ・ク ロックの立ち上がりエッジの前に安定させる必要がある最小 時間。	
	t _{eabdatah}	入力レジスタ使用時のEABデータ / アドレス・ホールド・ タイム。入力レジスタにデータを正しくストアするために、 EAB入力レジスタ・クロックの立ち上がりエッジの後に EABデータ / アドレス入力を安定させる必要がある最小時 間。	

t _{EABWESU}	入力レジスタ使用時のEABWE信号セットアップ・タイ ム。入力レジスタにデータを正しくストアするために、 EAB入力レジスタ・クロックの立ち上がりエッジの前に EABWE入力を安定させる必要がある最小時間。
t _{EABWEH}	入力レジスタ使用時のEABWE信号ホールド・タイム。入 カレジスタにデータを正しくストアするために、EAB入力 レジスタ・クロックの立ち上がりエッジの後にEABWE入 力を安定させる必要がある最小時間。
t _{EABWDSU}	入力レジスタ非使用時のライト・パルス立ち下がりエッジ前 のEABデータ・セットアップ・タイム。RAMにデータを正 しくストアするために、EABWE入力の立ち下がりエッジ の前にEABデータ入力を安定させる必要がある最小時間。
t _{EABWDH}	入力レジスタ非使用時のライト・パルス立ち下がりエッジ後 のEABデータ・ホールド・タイム。RAMにデータを正しく ストアするために、EABWE入力の立ち下がりエッジの後 にEABデータ入力を安定させる必要がある最小時間。
t _{EABWASU}	入力レジスタ非使用時のライト・パルス立ち上がりエッジ前 のEABアドレス・セットアップ・タイム。RAMにデータを 正しくストアするために、EABWE入力の立ち上がりエッ ジの前にEABアドレス入力を安定させる必要がある最小時 間。
t _{EABWAH}	入力レジスタ非使用時のライト・パルス立ち下がりエッジ後 のEABアドレス・ホールド・タイム。RAMにデータを正し くストアするために、EABWE入力の立ち下がりエッジの 後にEABアドレス入力を安定させる必要がある最小時間。
t _{EABWO}	EABライト・イネーブルからデータ出力の確定までの遅 延。EABWE入力の立ち上がりエッジから、書き込まれる データがEABRAMのデータ出力に現れるまでの時間。



外部タイミング・パラメータは、実際のピン間のタイミング特性を示して います。各外部タイミング・パラメータは、内部の遅延要素を組み合わせ たものとなります。また、これらのパラメータは広範囲に及ぶ性能測定を ベースにしたワースト・ケースの値で表されており、デバイスのテストま たは特性評価によってこれらの値が保証されています。すべての外部タイ ミング・パラメータは太字で示されています。例えば、t_{DRR}の値は、AC特 性の中で規格化されています。この他の外部タイミング・パラメータは、 16ページの「タイミング遅延の計算」の中に示される計算式またはタイミ ング・モデルを使用して推定することができます。

t_{DRR} レジスタ間の遅延時間。あるレジスタ出力からの信号が、4個 のLE、3本のロウ・インタコネクト、4本のローカル・イン タコネクトを通り、2段目のレジスタのD入力に到達するまで の遅延時間。このパラメータのテスト回路では、1個のレジス タから2個の異なるLAB間で3個のLCELLプリミティブを通 過する信号が出力され、最終段のLCELLから信号がさらに別 のLABのレジスタに接続されるようになっています。図1か ら図4は、このパスをカラム数の異なる各FLEX10Kデバイ スごとに示したものです。また、このテスト回路のファイル は、日本アルテラの応用技術部から入手することができます。

図1 24カラムのFLEX 10Kデバイスのt_{DRR}パス



図 2 36カラムのFLEX 10Kデバイスのt_{DRR}パス









t_{INSU} IOEレジスタのグローバル・クロック・セットアップ・タイム。レジスタにデータを正しくストアするために、グローバル・クロック・ピンに与えられるクロック信号の立ち上がりエッジ前にIOEレジスタをドライブするピンの信号を安定させる必要がある最小時間。

- t_{INH} IOEレジスタのグローバル・クロック・ホールド・タイム。 レジスタにデータを正しくストアするために、グローバル・ クロック・ピンに与えられる立ち上がりエッジ後にIOEレジ スタをドライブするピンの信号を安定させる必要がある最小 時間。
- t_{OUTCO}グローバル・クロック使用時のIOEレジスタの「Clock-to-Output」遅延。グローバル・クロック・ピンの立ち上がり エッジから、IOEレジスタからドライブされたデータが出力 ピンに現れるまでの遅延時間。
- t_{oDH} 出力データ遅延。クロック入力ピンに与えられた信号の立ち 上がりエッジの後に、前のデータがレジスタ出力ピンに保持 される最小時間。このパラメータはグローバルおよび非グ ローバル・クロック、またLE、EAB、IOEの各レジスタに 対して適用されます。

FLEX 10Kの タイミング・モデルは、アルテラ・デバイス内の伝搬遅延を示す単純化し たブロック・ダイアグラムで表すことができます。ロジックは多様なパス で実現されますが、各プロジェクトに対して出力されるMAX+PLUS I/の レポート・ファイル(.rpt)に示される論理式を参照して、FLEX 10Kデバ イスの実際のパスをトレースすることができます。ここで、対応する内部 タイミング・パラメータを積算することによって、FLEX 10Kデバイスの 入出力間での概略の伝搬遅延を計算することができます。ただし、 MAX+PLUS I/のタイミング・アナライザは、もっとも正確なタイミング 情報を提供します。図5から図8は、FLEX 10Kデバイスのタイミング・ モデルを示したものです。

図5 FLEX 10Kデバイスのタイミング・モデル





図6 FLEX 10KデバイスのLEタイミング・モデル

図7 FLEX 10KデバイスのIOEタイミング・モデル





図8 FLEX 10KデバイスのEABタイミング・モデル

タイミング遅 延の計算
図5から図8で示したタイミング・モデルと1998年版データブックにも収 録されている「FLEX 10K Embedded Programmable Logic Family のデータシート内に示されている内部タイミング・パラメータを使用して FLEX 10Kデバイスにおけるピン間遅延の概算値を計算することができま す。各タイミング遅延は内部タイミング・パラメータを組み合わせること によって計算されます。図9は、FLEX 10Kデバイス・ファミリのLEのタ イミング遅延を示しています。FLEX 10Kデバイス内の多様なパスを伝搬 する信号の遅延を計算する場合は、FLEX 10Kのタイミング・モデルを参 照して積算する内部タイミング・パラメータを選択して下さい。 図9 ロジック・エレメントのタイミング遅延(1/4)

組み合わせ回路の遅延

ロウ側のI/Oピンからの入力:



 $\mathbf{t_2} = t_{INCOMB} + t_{SAMEROW} + t_{LUT} + t_{COMB} + t_{SAMEROW} + t_{IOD} + t_{IOCOMB} + t_{OD1}$

入力専用ピンからの入力:



 $\mathbf{t_1} = t_{DIN2DATA} + t_{LUT} + t_{COMB} + t_{SAMECOLUMN} + t_{IOD} + t_{IOCOMB} + t_{OD1}$

 $\mathbf{t_2} = t_{DIN2DATA} + t_{LUT} + t_{COMB} + t_{SAMEROW} + t_{IOD} + t_{IOCOMB} + t_{OD1}$

グローバル・クロックから出力までの「Clock-to-Output」遅延



 $\mathbf{t_{CO}} = t_{DCLK2LE} + t_C + t_{CO} + (t_{SAMEROW} \text{ or } t_{SAMECOLUMN}) + t_{IOD} + t_{IOCOMB} + t_{OD1}$

ロウ側のI/Oクロックから出力までの「Clock-to-Output」遅延



 $t_{ACO} = t_{INCOMB} + t_{SAMEROW} + t_C + t_{CO} + (t_{SAMEROW} \text{ or } t_{SAMECOLUMN}) + t_{IOD} + t_{IOCOMB} + t_{OD1}$

図9 ロジック・エレメントのタイミング遅延(2/4)

トライステートのイネーブル / ディセーブル遅延

t_{xz}またはt_{zx}

ロウI/O入力からロジックを通した入力:



 $\mathbf{t_{XZ}}, \mathbf{t_{ZX}} = t_{INCOMB} + t_{SAMEROW} + t_{LUT} + t_{COMB} + t_{LEPERIPH} + t_{IOC} + (t_{XZ} \text{ or } t_{ZX1})$

入力専用ピンからのダイレクト入力:

入力専用ピン



 $\mathbf{t_{XZ}}, \mathbf{t_{ZX}} = t_{DIN2IOE} + t_{IOC} + (t_{XZ} \text{ or } t_{ZX1})$

ロウI/O入力からのダイレクト入力:

0/ולים _____

任意のI/O

 $\mathbf{t_{XZ}}, \mathbf{t_{ZX}} = t_{INCOMB} + t_{LEPERIPH} + t_{IOC} + (t_{XZ} \text{ or } t_{ZX1})$

図9 ロジック・エレメントのタイミング遅延(3/4)



ロウI/O入力からロウまたはカラム出力へ:

t_{CLR}





- $\mathbf{t_{CLR}} = t_{INCOMB} + t_{SAMEROW} + t_C + t_{CLR} + (t_{SAMEROW} \text{ or } t_{SAMECOLUMN}) + t_{IOD} + t_{IOCOMB} + t_{OD1}$
- $\mathbf{t}_{\mathsf{PRE}} = t_{\mathsf{INCOMB}} + t_{\mathsf{SAMEROW}} + t_{\mathsf{C}} + t_{\mathsf{PRE}} + (t_{\mathsf{SAMEROW}} \text{ or } t_{\mathsf{SAMECOLUMN}}) + t_{\mathsf{IOD}} + t_{\mathsf{IOCOMB}} + t_{\mathsf{OD1}}$

入力専用ピンからロウまたはカラム出力へ: t_{CLR}



t_{PRE}

入力専用ピン



- $\mathbf{t_{CLR}} = t_{DIN2LE} + t_C + t_{CLR} + (t_{SAMEROW} \text{ or } t_{SAMECOLUMN}) + t_{IOD} + t_{IOCOMB} + t_{OD1}$
- $\mathbf{t_{PRE}} = t_{DIN2LE} + t_{C} + t_{PRE} + (t_{SAMEROW} \text{ or } t_{SAMECOLUMN}) + t_{IOD} + t_{IOCOMB} + t_{OD1}$

AN 91: Understanding FLEX 10K Timing

図9 ロジック・エレメントのタイミング遅延(4/4)

グローバル・クロック使用時のロウI/Oデータ入力のセットアップ・タイム



 $\mathbf{t}_{SU} = (t_{INCOMB} + t_{SAMEROW} + t_{LUT}) - (t_{DCLK2LE} + t_C) + t_{SU}$

グローバル・クロック使用時のロウI/Oデータ入力のホールド・タイム



 $\mathbf{t}_{\mathbf{H}} = (t_{DCLK2LE} + t_C) - (t_{INCOMB} + t_{SAMEROW} + t_{LUT}) + t_H$

ロウI/Oクロック使用時のロウI/Oデータ入力のセットアップ・タイム

L'9//0	(n - A	
	組み合わせ	
	同路	
	日四	
ロウ1/0		
		\ _
		22 0 7 7 7 7

 $\mathbf{t}_{\mathsf{ASU}} = (t_{\mathsf{INCOMB}} + t_{\mathsf{SAMEROW}} + t_{\mathsf{LUT}}) - (t_{\mathsf{INCOMB}} + t_{\mathsf{SAMEROW}} + t_{\mathsf{C}}) + t_{\mathsf{SU}}$

ロウI/Oクロック使用時のロウI/Oデータ入力のホールド・タイム



 $\mathbf{t}_{AH} = (t_{INCOMB} + t_{SAMEROW} + t_C) - (t_{INCOMB} + t_{SAMEROW} + t_{LUT}) + t_H$

図10は、FLEX 10Kデバイス・ファミリのIOEのタイミング遅延を示して います。FLEX 10Kデバイス内の多様なパスを伝搬する信号の遅延を計算 する場合は、FLEX 10Kのタイミング・モデルを参照して、積算する内部 タイミング・パラメータを選択して下さい。

図10 I/Oエレメントのタイミング遅延(1/2)

I/Oエレメントのクリア時間

ロウI/Oからの入力:



 $\mathbf{t}_{\mathsf{CLR}} = t_{\mathsf{INCOMB}} + t_{\mathsf{LEPERIPH}} + t_{\mathsf{IOC}} + t_{\mathsf{IOCLR}} + t_{\mathsf{OD1}}$

入力専用ピンからの入力:



 $\mathbf{t}_{\mathsf{CLR}} = t_{DIN2IOE} + t_{IOC} + t_{IOCLR} + t_{OD1}$

グローバル・クロック使用時のI/Oデータ入力のセットアップ・タイム



 $\mathbf{t}_{SU} = t_{INREG} - (t_{DCLK2IOE} + t_{IOC}) + t_{IOSU}$

グローバル・クロック使用時のI/Oデータ入力のホールド・タイム



 $\mathbf{t}_{\mathbf{H}} = (t_{DCLK2IOE} + t_{IOC}) - t_{INREG} + t_{IOH}$

図10 I/Oエレメントのタイミング遅延(2/2)

ロウI/Oクロック使用時の任意のI/Oデータ入力のセットアップ・タイム



 $\mathbf{t}_{ASU} = t_{INREG} - (t_{INCOMB} + t_{LEPERIPH} + t_{IOC}) + t_{IOSU}$

ロウI/Oクロック使用時の任意のI/Oデータ入力のホールド・タイム



 $\mathbf{t}_{AH} = (t_{INCOMB} + t_{LEPERIPH} + t_{IOC}) - t_{INREG} + t_{IOH}$

グローバル・クロックから任意の出力までの「Clock-to-Output」 遅延



 $\mathbf{t_{CO}} = t_{DCLK2IOE} + t_{IOC} + t_{IOCO} + t_{OD1}$

ロウI/Oクロックから任意の出力までの「Clock-to-Output」遅延



 $\mathbf{t}_{ACO} = t_{INCOMB} + t_{LEPERIPH} + t_{IOC} + t_{IOCO} + t_{OD1}$

図11は、FLEX 10Kデバイス・ファミリのサンプル回路に対するEABのタ イミング遅延を示したものです。FLEX 10Kデバイス内の多様なパスを伝 搬する信号の遅延を計算する場合は、FLEX 10Kのタイミング・モデルを 参照して積算する内部タイミング・パラメータを選択して下さい。 図11 EABのタイミング遅延

グローバル・クロック使用時のサイクル・タイム



- $t_{CYC1TO2} = t_C + t_{CO} + t_{SAMEROW} + t_{LUT} + t_{COMB} + t_{SAMEROW} + t_{EABDATASU}$
- $t_{CYC2TO3} = t_{EABRCREG}$

 $t_{CYC3TO4} = t_{EABDATACO} + t_{SAMEROW} + t_{LUT} + t_{COMB} + t_{SAMEROW} + t_{LUT} + t_{SU} - t_{C}$

タイミング・モデ ルとMAX+PLUS II タイミング・アナ ライザの比較

タイミング・モデルを使用した手計算から、デザインの性能を推定すること ができます。ただし、MAX+PLUSIのタイミング・アナライザでは、配 線のマイクロパラメータに影響を及ぼす下記の3種類の二次的な要因が考慮 されるため、常に正確なデザイン性能が提供されます。

- 遅延パス上の各信号に対するファンアウト
- 信号のソースとディスティネーションに関係する負荷の位置
- 信号のソースとディスティネーション間の距離

ファンアウト

ドライブする信号の負荷が大きくなると共に、 $t_{SAMEROW}$ $t_{SAMECOLUMN}$ $t_{DIFFROW}$ $t_{TWOROWS}$ $t_{DIN2DATA}$ $t_{LEPERIPH}$ の遅延も大きくなります。これらの遅延は、信号ソースがドライブするLAB数と、この信号を使用するLAB内のLE数によって決定されます。信号がドライブするLABの数は、信号を使用するLAB内のLEの数よりも、遅延時間に大きな影響を与えます。 負荷の分配

ソースとディスティネーションに関係する負荷の分布状態は、 $t_{SAMEROW}$ $t_{SAMECOLUMN}$ $t_{DIFFROW}$ $t_{TWOROWS}$ $t_{LEPERIPH}$ $t_{DIN2DATA}$ の遅延時間に 影響を与えます。ここで、ディスティネーションd1とロジック・エレメン トy[4..1]に接続される、信号s1について検証します。y[4..1]が異なるLABに ある場合、s1は4つの負荷を持ちます。ただし、このLEがすべて同じLAB にある場合、s1は遅延の小さい4つの負荷になります。y[4..1]の各負荷が異 なるLABにある場合は、s1からd1へのロウ・インタコネクトの配線遅延が 大きくなります。図12は、d1の位置とy[4..1]の配分方法により、配線遅延 がどのように変化するかを示したものです。

図12 位置関係と負荷の配分を関数としたs1からd1への遅延



距離

ソースとディスティネーションとなるLE間の距離は、 $t_{SAMEROW}$ $t_{SAMECOLUMN}$ $t_{DIFFROW}$ $t_{TWOROWS}$ $t_{DIN2DATA}$ $t_{LEPERIPH}$ の各パラメータに影響を与えます。ここで、s1が同じロウの1個のLEをドライブしている場合、s1からLEへの距離が増加するにしたがってs1からLEへの遅延も大きくなります。

例 次に、内部タイミング・マイクロパラメータを使用して、実際のアプリケー ションの遅延を推定する方法を示します。

例1:カスケード・チェインを用いた4ビット・コンパレータ

最適化や論理合成された回路のタイミング遅延を解析することができます。 合成されたロジックを表す論理式は、MAX+PLUSIのレポート・ファイ ル(.rpt)に記述されています。この論理式は、各信号のロジックの実現状 況を素早く判断できるよう、構造的に記述されています。ここで、図13に 4ビットのコンパレータを示します。

図13 4ビット・コンパレータ回路



図13に示した回路のMAX+PLUS IIレポート・ファイルには、コンパレー タの出力eqに対して、次の論理式が記述されています。

eq	=	_LC2_B1;
_LC2_B1	=	LCELL(_EQ002C);
_EQ002C	=	_EQ002 & CASCADE(_EQ001C);
_EQ002	=	a2 & a3 & b2 & b3
		# a2 & !a3 & b2 & !b3
		# !a2 & a3 & !b2 & b3
		# !a2 & !a3 & !b2 & !b3;
_LC1_B1	=	LCELL(_EQ001C);
_EQ001C	=	_EQ001;
_EQ001	=	a0 & a1 & b0 & b1
		# a0 & !a1 & b0 & !b1
		# !a0 & a1 & !b0 & b1
		# !a0 & !a1 & !b0 & !b1;

図14は論理合成後の4ビット・コンパレータです。





出力ピンeqはカスケード・チェインの2段目のLEからの出力です。_LC1_B1 のLUTは、最初の2ビットの比較を実現しています。また、次の2ビットの比 較は_LC2_B1のLUTで実現されています。この2つのLUTの出力はカスケー ド接続され、_LC2_B1の出力を形成しています。

a2とeqが共にロウ側のI/Oピンになっている場合は、次のマイクロパラメータを加算することでa2からeqまでのタイミング遅延が推定できます。

 $t_{INCOMB} + t_{SAMEROW} + t_{LUT} + t_{COMB} + t_{SAMEROW} + t_{IOD} + t_{IOCOMB} + t_{OD1}$

a0がロウ側のI/Oピンの場合は、次のマイクロパラメータを加算することで a0からeqまでのタイミング遅延が推定できます。

 $t_{INCOMB} + t_{SAMEROW} + t_{LUT} + t_{CASC} + t_{COMB} + t_{SAMEROW} + t_{IOD} + t_{IOCOMB} + t_{OD1}$

例2:キャリー・チェインを用いた3ビット・アダー

FLEX 10Kには、複雑な演算機能を実現するための特殊なリソースが提供 されています。アダーやカウンタを構成するときには、次の上位ビットへの 繰り上げを行うためのキャリー機能が必要になります。FLEX 10Kのアー キテクチャには、この機能を実現するためのキャリー・チェインが内蔵され ています。ここでは、キャリー・チェインを用いた3ビット・アダーの遅延 を推定する方法を解説します(図15を参照)。

図15 キャリー・チェインを用いた3ビット・アダー



図15で示した3ビット・アダーに対するMAX+PLUSIのレポート・ファ イルには、次の論理式が記述されています。

cout	=	_LC5_B1;
sum0	=	_LC2_B1;
suml	=	_LC3_B1;
sum2	=	_LC4_B1;
_LC2_B1	=	LCELL(_EQ001);
_EQ001	=	!a0 & b0
		# a0 & !b0;
_LC2_B1_CARRY	=	CARRY(_EQ002);
_EQ002	=	a0 & b0;
_LC3_B1	=	LCELL(_EQ003);
_EQ003	=	al & !bl & !_LC2_B1_CARRY
		# !a1 & !b1 & _LC2_B1_CARRY
		<pre># a1 & b1 & _LC2_B1_CARRY</pre>
		# !a1 & b1 & !_LC2_B1_CARRY
_LC3_B1_CARRY	=	CARRY(_EQ004);
_EQ004	=	al & _LC2_B1_CARRY
		# al & bl
		<pre># b1 & _LC2_B1_CARRY;</pre>
_LC4_B1	=	LCELL(_EQ005);
_EQ005	=	a2 & !b2 & !_LC3_B1_CARRY
		# !a2 & !b2 & _LC3_B1_CARRY
		# a2 & b2 & _LC3_B1_CARRY
		# !a2 & b2 & !_LC3_B1_CARRY
_LC5_B1	=	LCELL(_LC4_B1_CARRY);
_LC4_B1_CARRY	=	CARRY(_EQ006);
_EQ006	=	a2 & _LC3_B1_CARRY
		# a2 & b2
		<pre># b2 & _LC3_B1_CARRY;</pre>



図16は、論理合成された3ビット・アダーです。

図16では、_LC2_B1のLEがsum0と_LC3_B1のキャリー・インがキャ リー・アウト信号(_LC2_B1_CARRY)を生成し、_LC3_B1のLEがsum1 と_LC4_B1のキャリー・イン接続されるキャリー・アウト信号 (_LC3_B1_CARRY)を生成します。_LC4_B1のLEはsum2の出力と、 a2、b2、_LC3_B1_CARRYを使用してcoutを生成します。キャリー信号用 のバッファは直接ピンに接続できないため、cout信号は_LC5_B1を経由し て出力される必要があります。

Altera Corporation

Page 29

a0とsum2が同じロウ側のI/Oピンになっている場合は、次のマイクロパラ メータを加算することによって、a0からsum2までのタイミング遅延を推定 することができます。

 $t_{INCOMB} + t_{SAMEROW} + t_{CGEN} + t_{CICO} + t_{CLUT} + t_{COMB} + t_{SAMEROW} + t_{IOD} + t_{IOCOMB} + t_{OD1}$

a0とcoutが同じロウ側のI/Oピンになっている場合は、次のマイクロパラ メータを加算することによって、a0からcoutまでのタイミング遅延を推定 することができます。

 $t_{INCOMB} + t_{SAMEROW} + t_{CGEN} + t_{CICO} + t_{CICO} + t_{CLUT} + t_{COMB} + t_{SAMEROW} + t_{IOD} + t_{IOCOMB} + t_{OD1}$

まとめ FLEX 10Kデバイスのアーキテクチャでは、予測可能な内部タイミング遅 延が提供されており、信号の合成や配置をベースに内部タイミングを推定す ることができます。また、MAX+PLUS Iのタイミング・アナライザは、 正確なタイミング情報を提供します。ただし、1998年版データブックに収 録されている「FLEX 10K Embedded Programmable Logic Family のデータシートに示されている各タイミング・パラメータとタイミング・ モデルを使用して、コンパイル前にデザインの性能を予測することもでき ます。双方の手法を活用することにより、デザインのイン・システム・タ イミング性能を正確に予測することができます。

AN 91: Understanding FLEX 10K Timing





〒163-0436 東京都新宿区西新宿2-1-1 新宿三井ビル私書箱261号 TEL. 03-3340-9480 FAX. 03-3340-9487 http://www.altera.com/japan/

本社 Altera Corporation

101 Innovation Drive, San Jose, CA 95134 TEL : (408) 544-7000 http://www.altera.com

この資料はアルテラが発行した英文の資料を日本語化したものです。アルテラが各デバイスに対して保証する仕様、規格は英文オリジナルの内容です。なお、本資料に記載された内容は予告なく変更される場合があります。最新の情報はアルテラのワールド・ワイド・ウェッブ・サイト(http://www.altera.com)でご確認下さい。