

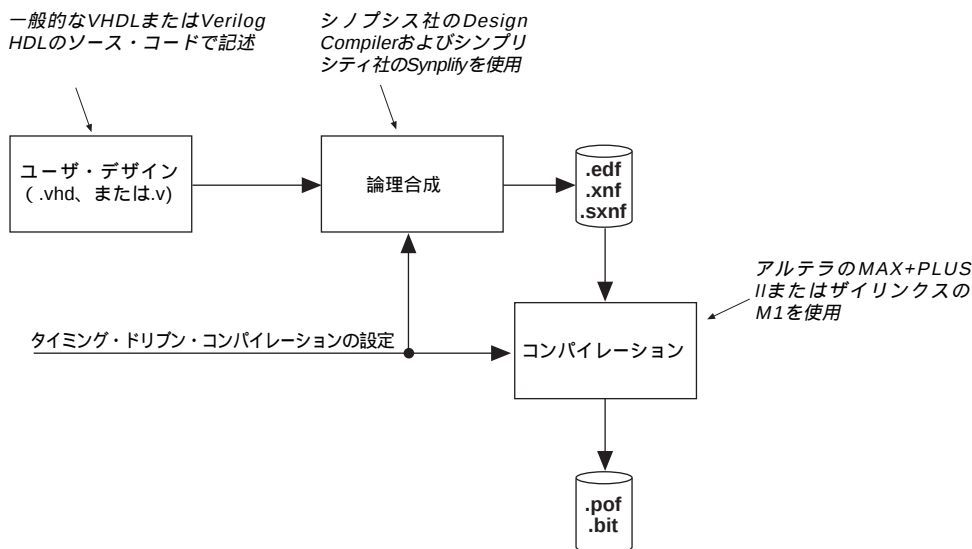
ベンチマーク・テストは、各ベンダから供給されているプログラマブル・ロジック・デバイスの性能の比較を行う場合に有効な手法となります。しかし、ベンチマーク・テストは代表的なアプリケーションでないため、場合によってはベンチマーク・テストが実際のデザインでは達成できない結果を示すこともあります。

アルテラの応用技術部門では、ユーザが実際に設計した複数のデザイン例をアルテラとザイリンクス社から供給されているもっとも高速なデバイスである、FLEX[®] 10KAの-1スピード・グレードの製品 (FLEX 10KA-1) とXC4000XLの-09スピード・グレードの製品 (XC4000XL-09) に実現して、両者の性能を比較するテストを行いました。このアプリケーション・ノートは、このときの性能の比較方法と結果について記述したものです。

性能の 比較方法

このテストは、ユーザ・デザインの収集、デザインの合成、デザインのコンパイル、性能の比較という手順で実行されています。図1は、このテストの実施フローを示したものです。

図1 テストの実施フロー



このテストでは、合成ツールとコンパイルーション・ツールにおけるタイミング・ドリプン・コンパイルーションのオプションの設定をオンにし、使用した双方のツールに同じタイミング・ドリプン・コンパイルーション条件を設定しました。タイミング・ドリプン・コンパイルーションがオンに設定された場合、合成ツールまたはコンパイルーション・ツールは規定された性能のパラメータがデザイン全体で達成されるように合成を行い、場合によってはロジック・エレメント（LE）の使用効率が犠牲になることもあります。タイミング・ドリプン・コンパイルーションの設定方法は、「デザインの合成」と「デザインのコンパイル」のセクションでさらに詳細に解説されています。

ユーザ・デザインの選択

アルテラはこのテストのためにユーザが実際に設計した約50種類のデザイン例を収集しましたが、このテストにはFLEX 10K A-1とXC4000XL-09の双方のデバイス・ファミリにコンパイルすることができた13種類のデザインだけを採用しました。この実験の比較を公正に行うため、各デザインには下記のような条件が要求されました。

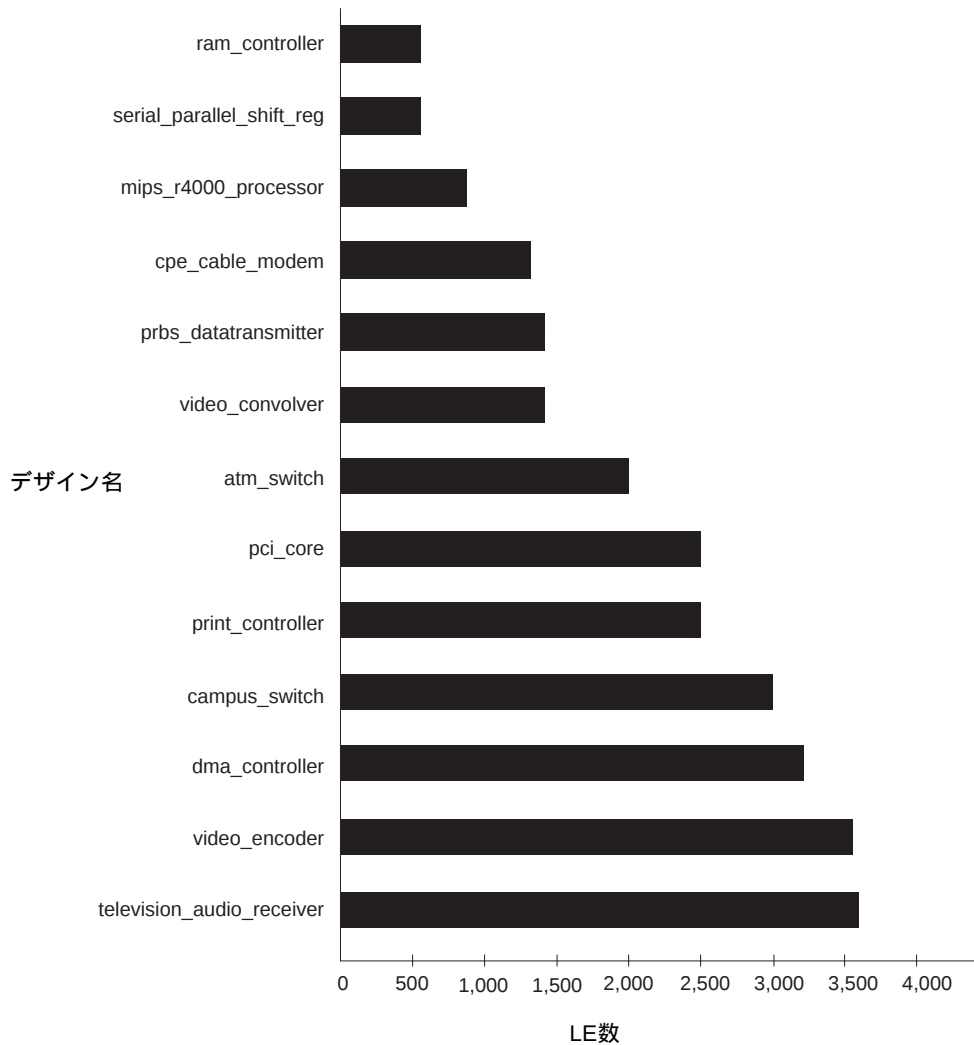
- アルテラまたはザイリンクスのデバイス・アーキテクチャのいずれかを意識した設計にならないように、一般的なVHDLまたはVerilog HDLで記述されたデザインになっていること。
- メモリが使用されるデザインの場合は、メモリをデバイス固有のメモリ構造（例えば、FLEX 10Kのエンベデッド・アレイ・ブロック）ではなく、ロジックにマッピングされること。
- デザインには、フロアプランニング、インスタンス化、汎用ファンクション・ブロック、MegaCore™ファンクション、パイプライン化の手法を使用しないこと。

表 1 は、このテストに使用された13種類のデザインを示したものです。

表 1 テストに使用されたユーザ・デザイン			
デザイン名	LE数	I/Oピン数	入力デザイン言語
cpe_cable_modem	1,300	97	VHDL
dma_controller	3,200	183	Verilog HDL
prbs_datatransmitter	1,400	150	VHDL
ram_controller	600	104	VHDL
video_encoder	3,600	223	VHDL
video_convolver	1,400	219	VHDL
campus_switch	3,000	125	Verilog HDL
atm_switch	2,000	60	Verilog HDL
television_audio_receiver	3,700	233	VHDL
pci_core	2,500	275	VHDL
mips_r4000_processor	850	132	Verilog HDL
serial_parallel_shift_reg	600	36	VHDL
print_controller	2,500	189	Verilog HDL

このテストに使用された13種類のデザインは、下記の図2に示されるように平均で2,000個以上のLEを必要とする大規模なものとなっています。

図2 ユーザ・デザインのLE数 注(1)



注:

(1) ここに示されているLE数は、タイミング・ドリプン・コンパイレーションの設定をオフにしたときの論理合成で得られたものです。

デザインの合成

13種類のユーザ・デザインは、シノプシス社のDesign Compileのversion 1997.01 およびシンプリシティ社のSynplifyのversion 3.0Bを使用して論理合成されています。このテストでは、双方のツールにそれぞれ5種類の異なるタイミング・ドリブン・コンパイルーションの条件を与え、各デザインを論理合成させています。表2はこのタイミング・ドリブン・コンパイルーションの条件を示したものです。

表2 タイミング・ドリブン・コンパイルーションの設定条件	
合成の実行 #	タイミング・ドリブン・コンパイルーションの設定条件 (MHz)
1	10
2	20
3	30
4	40
5	50

各合成ツールから、XC4000XL-09デバイスに対してはXilinx netlist file (.xnfまたは.sxnf) を、FLEX 10KA-1デバイスに対してはEDIFのネットリスト・ファイル(.edf) を生成させました。合成の完了後に、どちらの合成ツールが生成したかとは関係なく、各デザインに対してもっとも高いパフォーマンスのタイミング・ドリブン・コンパイルーションを実現した結果を採用しました。

デザインのコンパイル

次に、生成されたネットリスト・ファイル(.edfと.xnfまたは.sxnf) を、アルテラのMAX+PLUS II version 8.2とザイリンクスのM1 version 1.3.7のソフトウェアでそれぞれコンパイルしました。このコンパイルでも、デザインの合成時に使用されたときと同じタイミング・ドリブン・コンパイルーションの条件を与えました。例えば、シノプシスのDesign Compilerで20MHzのタイミング・ドリブン・コンパイルーション条件で合成されたデザインの場合は、これと同じ条件の設定をMAX+PLUS IIとM1に対して行い、コンパイルを実行しました。

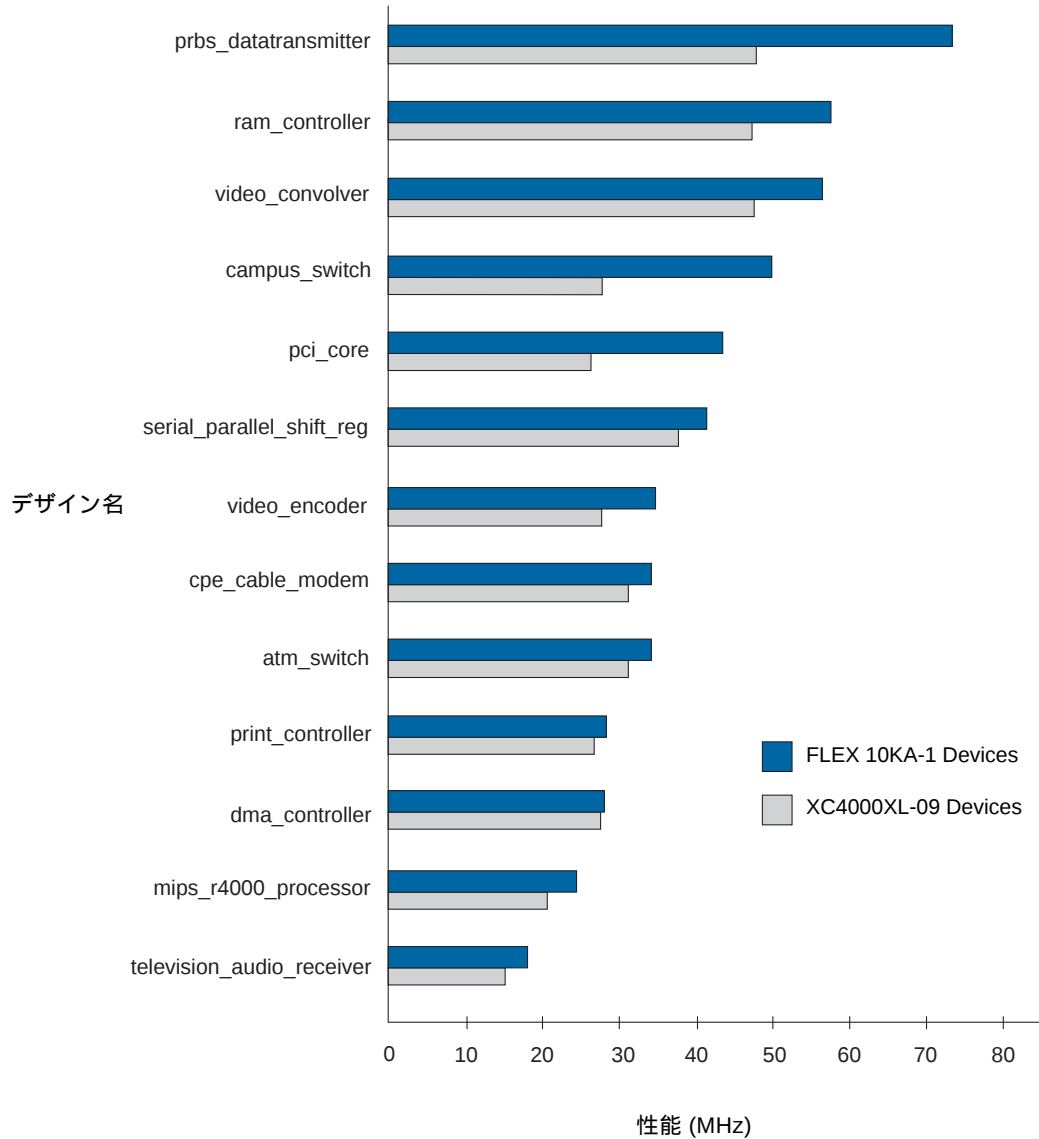
性能の判定方法

コンパイルの完了後に、MAX+PLUS IIとM1のタイミング・アナライザを使用して各デザインの性能を測定しました。そして、各デザインのもっとも高い性能を比較しました。

結果

図3はこのテストで得られた性能を比較したものです。

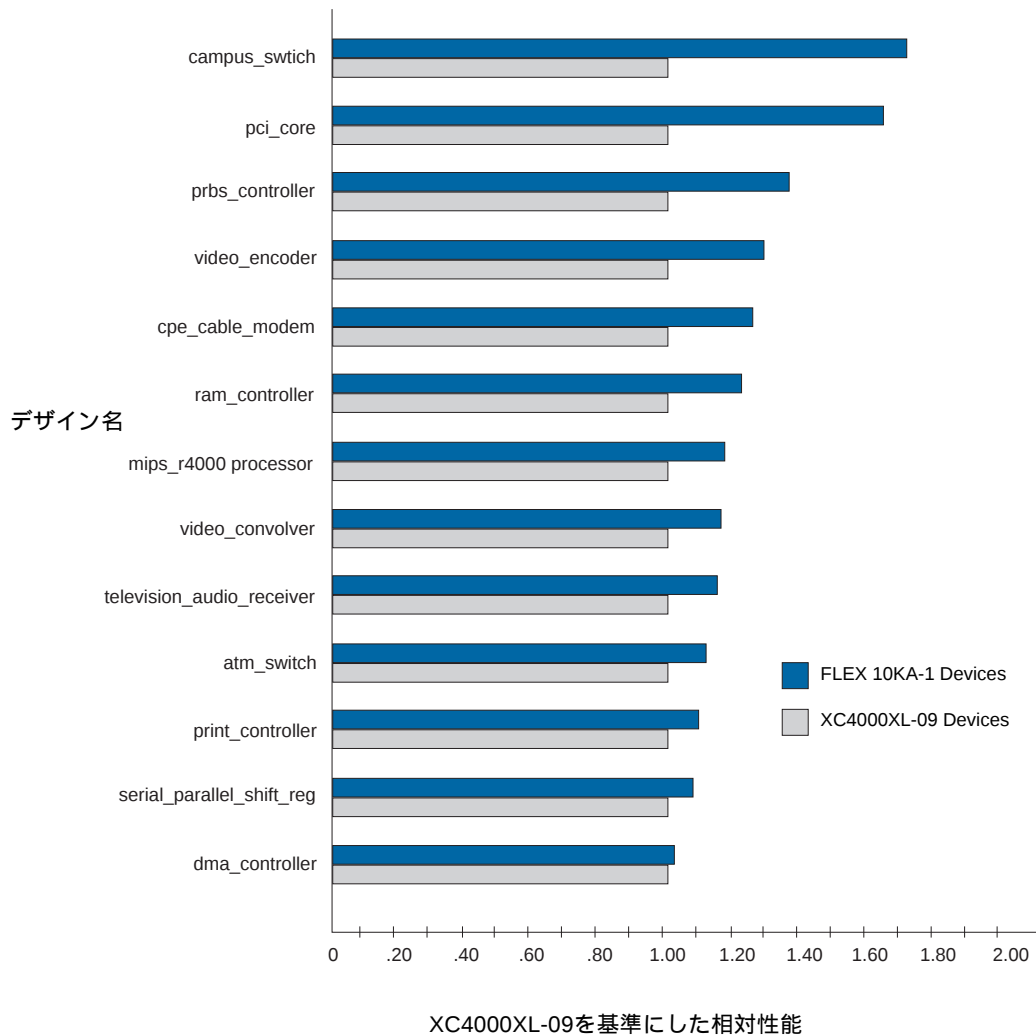
図3 FLEX 10KA-1とXC4000XL-09の性能比較



AN 96: Performance Measurements of Typical Applications

下記の図 4 は前ページで得られた結果から、XC4000XL-09の性能を基準にしてFLEX 10KA-1の性能を相対的に表したものです。

図 4 正規化による性能の比較



結論

この実験では、FLEX 10KA-1が各デザインでXC4000XL-09を上回る性能を示しました。これらのデザインでは、FLEX 10KA-1がXC4000XL-09を平均値で17%、中位値で25%も上回る性能を示しました。

この実験に使用されたデザインはターゲット・デバイスのアーキテクチャに最適化されていないため、ここで得られた結果はワースト・ケースの値ということになります。これらの結果から、特別なデザイン・テクニックを使用しない場合でも、FLEX 10KA-1は平均で40MHzの動作が可能であることが示されています。ほとんどの場合、設計者は下記のテクニックを用いることにより、性能をワースト・ケースの値からさらに向上させることができます。

- *IP (Intellectual Property) の活用* — 特定のデバイス・アーキテクチャにあらかじめ最適化されたメガファンクションを使用する。
- *インスタンス化* — 全体のタイミングが改善されるように、ファンクションを隣接したロジック・セルにまとめて配置する。
- *パイプライン化* — レジスタの挿入によりロジックを分割し、システム性能を向上させる。（このテクニックには、バンド幅とのトレードオフが発生することがある）
- *フロアプランニングの使用* — スピード・クリティカル・パスをマニュアルで調整し、性能を向上させる。

最新のデザイン・テクニックを使用することによって、この実験に使用されたデザインの性能を平均で70MHzまで（75%の改善）向上させることができます。この実験に使用されたデザインの性能を最適化した場合の結果については、アプリケーション・ノート、AN 98「*Comparing Performance Using Common Megafunctions*」をご覧ください。

関連資料

下記の資料には、FLEX 10KA-1デバイスに関する詳細な情報が提供されています。

- *FLEX 10K Embedded Programmable Logic Family* のデータシート（日本語版有り）
- *Application Note 97 Comparing Performance of High-Density PLDs*（日本語版「高集積PLDの性能比較」）

これらの英語版資料はアルテラ本社のウェブ・サイト、<http://www.altera.com>、日本語版は日本アルテラのウェブ・サイト、<http://www.altera.com/japan/> からダウンロードすることができます。

Altera FLEX, FLEX 10K, FLEX 10KA, MAX, MAX+PLUS, MAX+PLUS II, MegaCoreはAltera Corporationの米国および該当各国におけるtrademarkまたはservice markです。Alteraはこのドキュメントの中に記述されている他社の製品名、service名は該当各社のtrademarkであることを認知します。Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

Copyright© 1998 Altera Corporation. All rights reserved.



日本アルテラ株式会社

〒163-0436
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 Altera Corporation

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料はアルテラが発行した英文のアプリケーション・ノートを日本語化したものです。アルテラが各デバイスに対して保証する仕様、規格は英文オリジナルの内容です。なお、本資料に記載された内容は予告なく変更される場合があります。最新の情報はアルテラのワールド・ワイド・ウェブ・サイト (<http://www.altera.com>) でご確認ください。