

イントロダクション

プログラマブル・ロジック・デバイス (PLD) を選択する場合、ほとんどの設計者は集積度、価格、性能を比較してデザインの要求を満足するデバイスを決定しています。この場合、集積度と価格は業界標準のロジック・セル数と見積価格から各デバイスを比較することができます。しかし、性能の比較は、より困難なプロセスとなります。デバイスの性能を判断するためには、信号の配線、ロジックの複雑さ、メモリ・インタフェースの種類、ファン・アウトの数など、多くの要素を考慮する必要があります。ただし、性能を個々の数値に分割することによって、各ベンダ間のデバイス・アーキテクチャの比較をより明確に行うことが可能になります。

このアプリケーション・ノートは、ザイリンクス社が発行したアプリケーション・ブリーフ、XBRF015(*Speed Metrics for High-Performance FPGAs*) で採用されているベンチマーク回路をベースにして、アルテラの FLEX® 10K Aの最高速デバイスとザイリンクス社のXC4000XLの最高速デバイスの性能を比較したテスト結果を解説したものです。

設定の条件

このテストにはアルテラの開発ツール、MAX+PLUS® II のバージョン8.2 を使用し、回路図とアルテラ・ハードウェア記述言語 (AHDL) を組み合わせたデザイン入力により、各デザインをアルテラのEPF10K100A-1に実現しました。そして、これらのベンチマークの結果をザイリンクス社のアプリケーション・ブリーフ、XBRF015(*Speed Metrics for High-Performance FPGAs*) で示されている結果と比較しました。ザイリンクスのテストでは、デザインがVHDLで記述されており、シノプシス社のFPGA Expressで論理合成された後、ザイリンクスのソフトウェア、XACT Step M1のバージョン3.7でコンパイルされています。このアプリケーション・ノートで取り上げられているすべてのベンチマーク回路の性能は最高動作周波数を表しています。

性能の測定方法

このテストには、下記のベンチマーク回路が使用されています。

- I/O周波数
- 平均配線遅延時間
- N レベルの組み合わせ回路ロジック
- N 対 1 のマルチプレクサ
- N ビットANDゲート
- チェイン化されたアダー

I/O周波数

I/O周波数のベンチマーク (f_{IOEXT}) では、入力と出力をレジスタ付きにした条件で、データをプログラマブル・ロジック・デバイス (PLD) の出力から入力に転送したときの最高周波数が測定されます。この f_{IOEXT} の計算式は下記の通りであり、ホールド・タイム (t_{H}) はゼロであることを仮定しています。

$$f_{\text{IOEXT}} = \frac{1}{t_{\text{SU}} + t_{\text{CO}}}$$

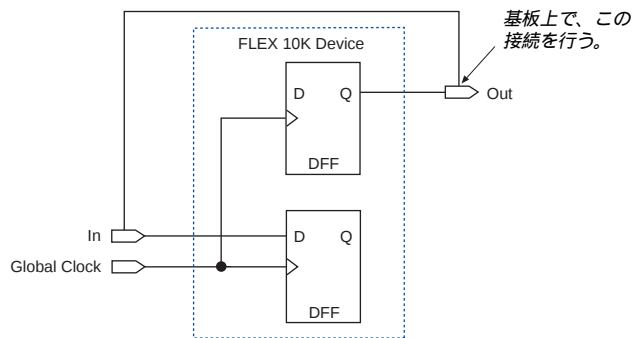
ここで、 t_{SU} = 入力のセットアップ時間

t_{CO} = 「Clock-to-Output」遅延

このテストで、 t_{SU} と t_{CO} の遅延は、図 1 に示されているように、I/Oセル・レジスタに供給される専用グローバル・クロックの立ち上がりエッジで測定されます。

図 1 f_{IOEXT} の測定回路

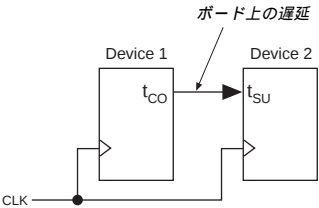
デバイスの t_{CO} と t_{SU} の測定に使用される f_{IOEXT} 回路



ひとつのプリント基板 (PCB) 上に実装された 2 つのデバイス間での f_{IOEXT} を正確に測定するためには、各デバイスの t_{SU} と t_{CO} の値が必要になります。この場合、システムの周波数は、デバイス-1の t_{CO} とデバイス-2の t_{SU} 、そしてボードの遅延時間を加算することで決定されます (図 2 を参照)。このため、 t_{SU} と t_{CO} の遅延が小さくなると、システムの周波数が高くなります。

図 2 システム周波数の測定回路

システムの周波数は、デバイス-1の t_{CO} 、デバイス-2の t_{SU} 、ボードの遅延時間を加算することによって決定される。



これに対して、ザイリンクス社のアプリケーション・ブリーフ、XBRF015 (*Speed Metrics for High-Performance FPGAs*) で示されている f_{IOEXT} の値は、ある出力ピンから信号が同じデバイスまたはボード上のまったく同特性のデバイスの入力ピンに接続された条件にのみ適用されます。

デバイスの f_{IOEXT} の値は各デバイスに与えられている t_{SU} と t_{CO} を使用した場合のほうがより正確になりますが、アルテラはこのテストでEPF10K100A-1とEPF10K100A-2が等価な性能を持つデバイスとインタフェースされたことを想定して f_{IOEXT} を計算しました。この計算を行うことで、アルテラはザイリンクス社のアプリケーション・ブリーフ、XBRF015 (*Speed Metrics for High-Performance FPGAs*) で示されている f_{IOEXT} の値と直接比較することができます。表 1 はこのベンチマークのテスト結果であり、EPF10K100A-1のI/O周波数がXC4085XL-09より95%も高速であることが示されています。また、EPF10K100A-2のI/O周波数も XC4085XL-09より高速となっています。

表 1 外部I/O周波数の結果			
パラメータ	EPF10K100A-1	EPF10K100A-2	XC4085XL-09
外部 f_{IOEXT} (MHz)	111	94	57
t_{SU} (ns)	3.7	4.5	8.4
t_{CO} (ns)	5.3	6.1	9.0
t_H (ns)	0.0	0.0	0.0

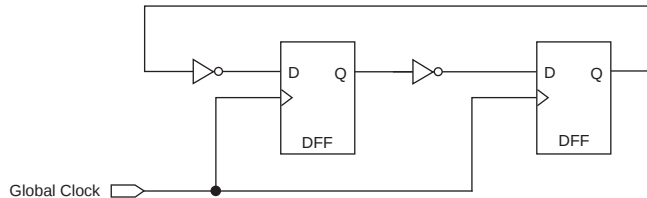
平均配線遅延

平均配線遅延のベンチマークでは、PLDの内部の多様な位置に配置された2つのレジスタをダイレクトに接続したときに達成可能な最高クロック周波数が測定されます。この平均配線遅延のベンチマークを使用することによって、2種類の異なるデバイス・アーキテクチャの配線遅延性能を比較することができます。

このテストでは、図 3 に示されているように、レジスタの1組のペアが1本のグローバル・クロックでドライブされるシフトレジスタを構成しています。

図 3 平均配線遅延の測定回路

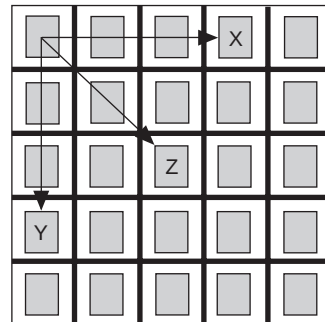
デバイス内部で水平、垂直、対角線方向に接続されるレジスタのペアで帰還型のシフトレジスタを構成して、配線遅延時間を測定。



MAX+PLUS II のアサイメント・アンド・コンフィギュレーション・ファイル (.acf) の中で、これらのレジスタが FLEX 10K の特定のロジック・エレメント (LE) に配置されるように設定しました。そして、PLD 内部の同じロウ、同じカラム、対角線方向に配置された 2 つのレジスタ間の最高動作周波数を測定しました。(図 4 に示される x 軸、y 軸、z 軸の方向で接続)

図 4 平均配線遅延の測定方法

水平 (x 軸)、垂直 (y 軸)、対角線 (z 軸) の各方向で、その距離を順次増加させて測定。

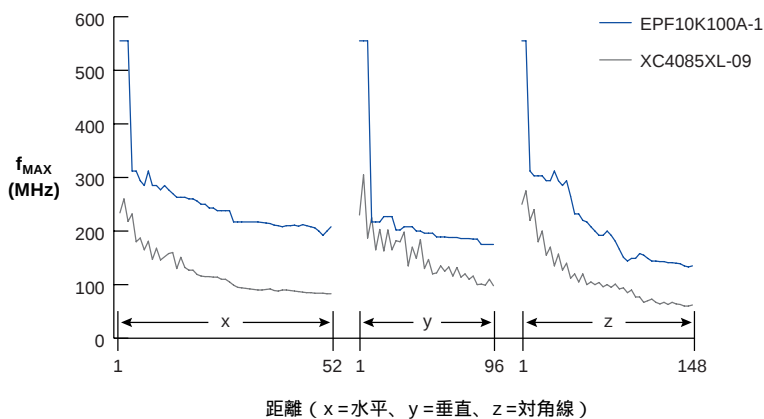


この平均配線遅延のテストでは、レジスタ間の距離を順次増加させ、EPF10K100A のデバイス全体がカバーされる距離までの測定が行われました。すなわち、水平方向では 1 から 52 のロジック・セルの距離まで、垂直方向では 1 から 96 のロジック・セルまで、対角線上では 1 から 148 のロジック・セルの距離 (x 軸と y 軸の最大値の和になる距離) までの範囲が測定されています。ここで、クリティカル・パス (デザイン内でもっとも遅いパス) は常に対角線方向の位置関係で発生します。このため、対角線上での測定値がワースト・ケースの配線遅延時間にもっとも近くなります。

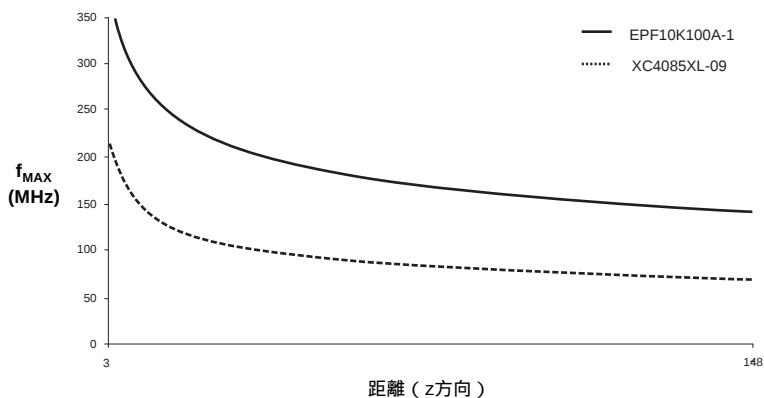
図5はアルテラが行ったテスト結果とザイリンクス社のアプリケーション・ブリーフ、XBRF015(*Speed Metrics for High-Performance FPGA*)で示されている結果を比較したものです。EPF10K100Aは52カラム、12ロウのロジック・ブロックで構成されたデバイスとなっており、各ロジック・ブロックには8個のロジック・セルが含まれています。このため、図5では、水平方向では1から52のロジック・セルの距離まで、垂直方向では1から96のロジック・セルまで、対角線方向では1から148のロジック・セルの距離(x軸とy軸の最大値の和になる距離)までの範囲でEPF10K100A-1とXC4085XLの最高動作周波数が比較されています。

図5 配線性能の測定結果

水平、垂直、対角線の各方向での配線性能



z方向の配線遅延の測定結果を示すトレンドライン



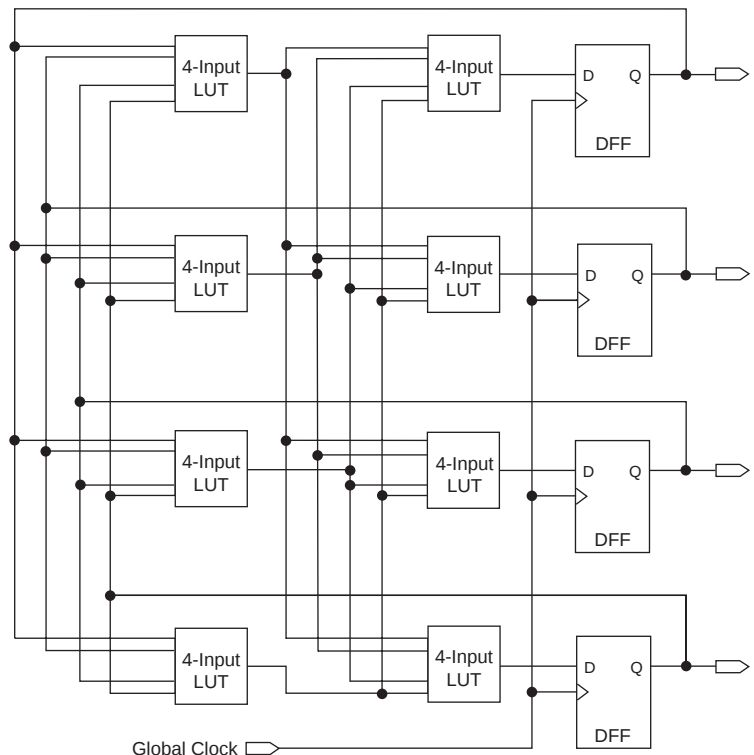
この結果は、FLEX 10KA-1デバイスの連続した配線構造が、XC4000XL-09デバイスのセグメント化された配線構造よりも高速であることをはっきりと示しています。レジスタ間の距離が148ロジック・セルのワースト・ケースの条件では、アルテラのEPF10K100A-がXC4085XL-09より98%も高速となっています。

Nレベルの組み合わせ回路ロジック

Nレベルの組み合わせ回路ロジックのベンチマークでは、1から6レベルまでの深さにチェーン化されたルック・アップ・テーブル（LUT）による組み合わせ回路の最高性能が測定されます。このテストでは、4入力となっている各LUTのすべての入力に信号を接続し、またすべてのLUTの出力に負荷が接続されるようにし、4個のLUTで1レベルのロジックを構成して、1から6レベルまでの深さにチェーン化された4入力のLUTの性能が測定されました。図6は、2レベルにチェーン化された4入力LUTの性能を測定するときに使用された回路を示したものです。

図6 Nレベルの組み合わせ回路の測定回路

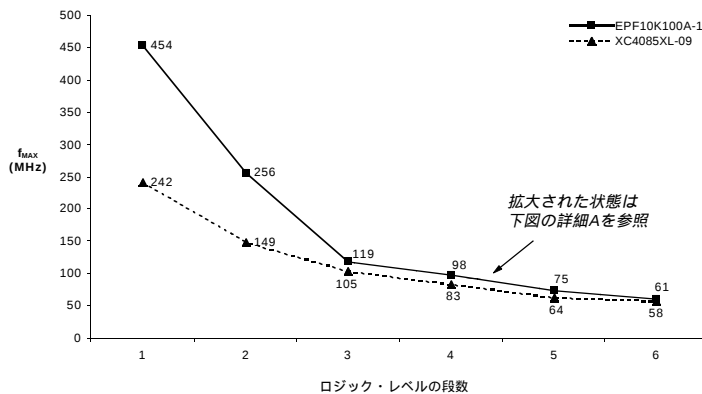
2レベルにチェーン化された4入力LUTの性能を測定する回路



EPF10K100A-1に実現されたデザインはAHD Lで記述され、各LUTの構成にはLCELLが使用されています。図7はこのテスト結果を示したものです。

図7 組み合わせ回路の性能の測定結果

組み合わせ回路全体の性能



詳細A

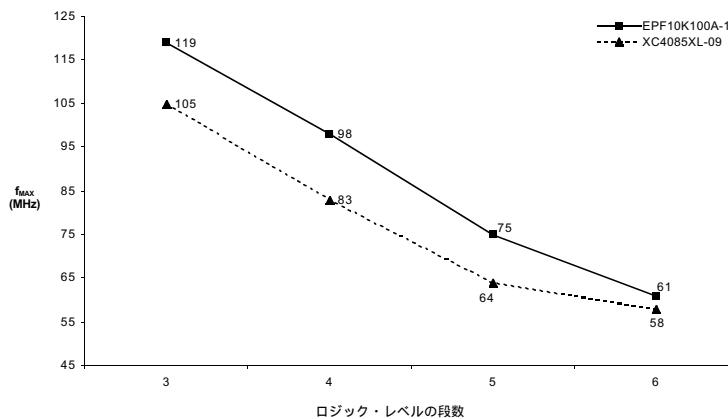


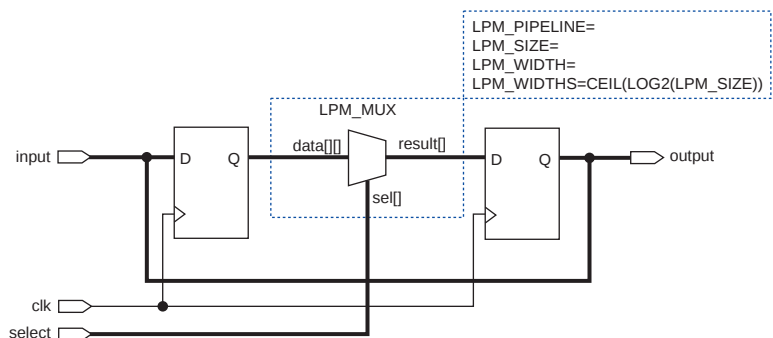
図 7 の結果は、EPF10K100A-1が各ロジック・レベルでXC4085XL-09を常に上回る性能になることを示しています。例えば、4レベルの組み合わせ回路のアプリケーションでは、EPF10K100A-1がXC4085XL-09より18%も高速で動作します。

平均配線遅延とNレベルの組み合わせ回路のベンチマークの結果を組み合わせることで、異なるPLDアーキテクチャを比較するための最適なツールが提供されます。実際のアプリケーションでは、内部性能がロジック・レベルの段数とロジック・レベル間の接続によって累積されたもっとも大きな遅延を持つ信号パスで決定されます。FLEX 10KA-1デバイスの性能は双方のベンチマークでXC4000XL-09デバイスの性能を上回っているため、FLEX 10KA-1デバイスの内部性能がXC4000XL-09デバイスよりも高くなると判断するのが妥当です。

N対1のマルチプレクサ

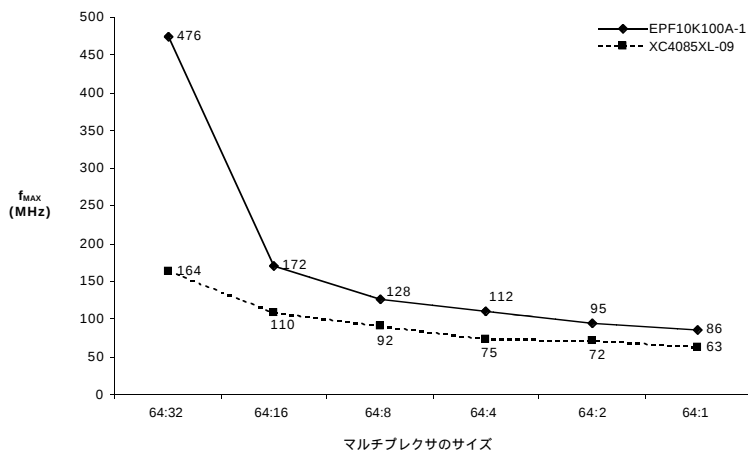
このテストでは、2対1、4対1、16対1、32対1、そして64対1のマルチプレクサをEPF10K100A-1に構成し、その入力と出力はレジスタ付きとしました。すべてのマルチプレクサは64本の入力を持っています（32個の2対1マルチプレクサ、16個の4対1マルチプレクサ、4個の16対1マルチプレクサ、2個の32対1マルチプレクサ、1個の64対1マルチプレクサ）。すべてのマルチプレクサは同じデザインで実現され、各マルチプレクサが同じ入力を共有するように構成されており、これによってロジックと負荷遅延が生成されるようになっています。これらのデザインはLPM (Library of Parameterized Modules) ファンクションであるlpm_muxを使用して、EPF10K100A-1に実現されています。図 8 を参照してください。

図 8 lpm_muxファンクション



次ページの図 9 のベンチマーク結果は、6種類すべてのマルチプレクサ・サイズでEPF10K100A-1がXC4085XL-09よりも高速であることを示しています。

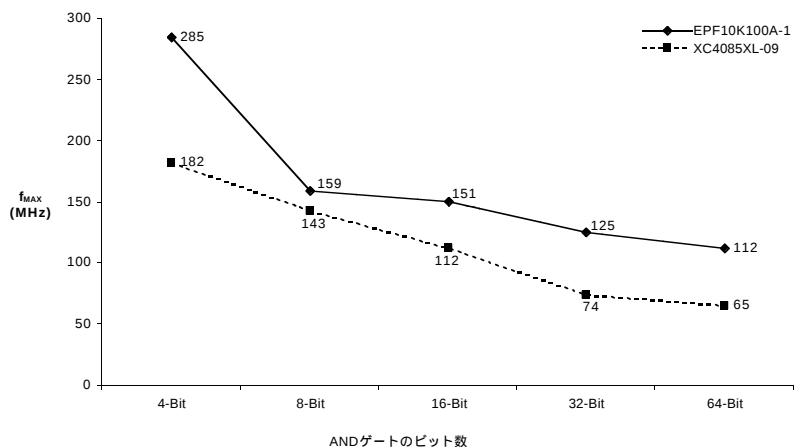
図9 マルチプレクサ性能の測定結果



NビットANDゲート

NビットANDゲートのベンチマークでは、多入力のコンパレータなどのような大規模な組み合わせ回路の性能が測定されます。このテストでは、EPF10K100A-1に4ビット、8ビット、16ビット、32ビット、そして64ビットのANDゲートが構成されています。ANDゲートの入力と出力はレジスタ付きとし、性能をMHz単位で測定できるようにしました。64ビット幅の入力を持つ共通のデータ・バスを構成するため、デバイスに16個の4ビットANDゲート、8個の8ビットANDゲート、4個の16ビットANDゲートを実現しました。図10はこのベンチマークの結果を示したもので、64ビットのANDゲートではEPF10K100A-1がXC4085XL-09より72%も高速となっています。

図10 ANDゲートの性能の測定結果



チェーン化されたアダー

このベンチマークでは、2つのレジスタ間に配置したチェーン化されたアダーの最高動作周波数が測定されます。このベンチマークは、マルチプライヤ、カウンタ、アダー、コンパレータのような、大規模で複雑な演算動作で実現される標準的なデジタル信号処理（DSP）ファンクションの性能を判断する上で重要となります。このテストでは、8ビット、16ビット、24ビット、そして32ビットのアダーが、1、2および4レベルのチェーンを構成して配置されます。図11は、2個の8ビット・アダーによって構成された1つのチェーンをテストするときの回路図です。

図11 チェイン化されたアダーの測定回路

2 個の 8 ビット・アダーで 1 つのチェーンを構成したときの測定回路。

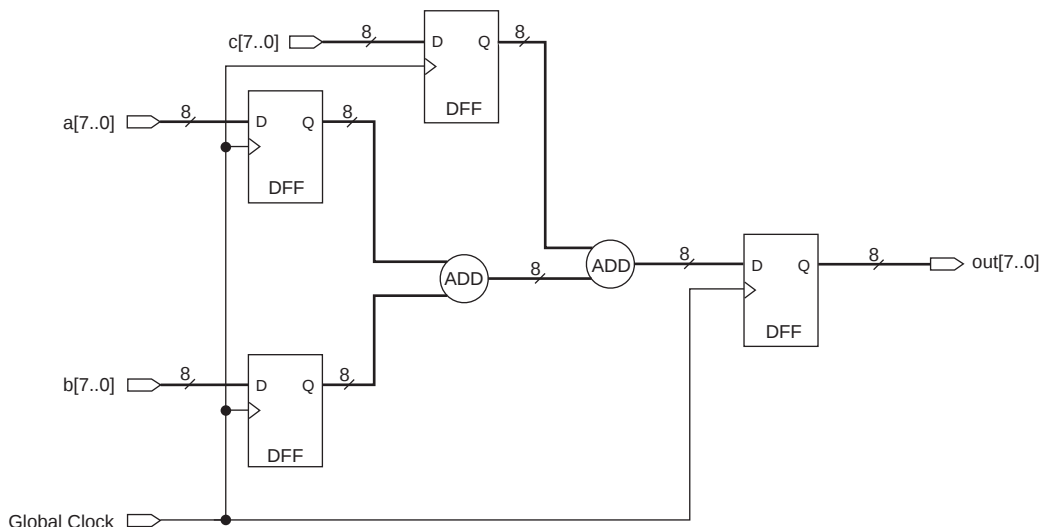
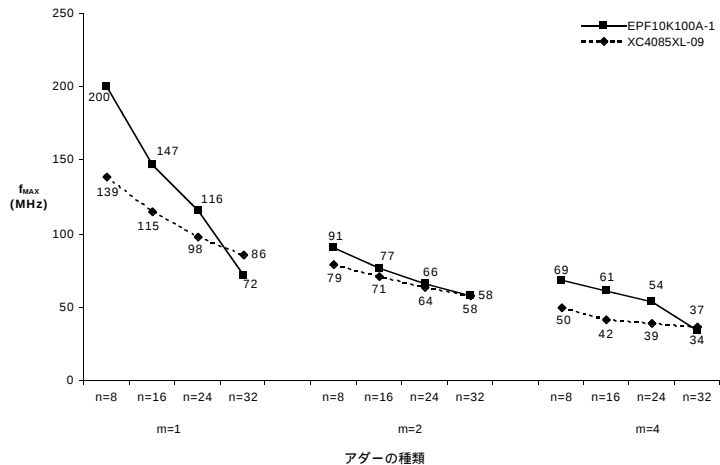


図12はこのベンチマーク・テストの結果を示したものであり、ここで n はアダーのビット数、 m はカスケード接続されたアダーの段数を表しています。EPF10K100A-1は、32ビット・アダーによる1レベルのチェーンと32ビット・アダーによる4レベルのチェーンの場合を除き、すべての構成でザイリンクスのXC4085XL-09よりも高速となっています。アルテラ・デバイスが性能での優位性を提供している理由のひとつは、ロジック・アレイ・ブロック (LAB) 内のLE間、および複数のLAB間を接続するためのキャリー・チェーン・アーキテクチャが採用されているためです。これらのキャリー・チェーンは、アダーの実現に必要な組み合わせ回路の段数を削減します。

図12 アダーの性能の測定結果



結論

デザインの性能は各デバイス・アーキテクチャの配線遅延、デザイン内のロジック・レベルの段数で決定されます。平均配線遅延と N レベルの組み合わせ回路のベンチマークを利用することで、2種類のデバイス・アーキテクチャの性能をダイレクトに比較することができます。他のベンチマークはPLDに実現される特定の機能の性能を測定していますが、これらの特定の回路機能とは関係ない要素も多少追加する結果となっています。ここでテストされたいいくつかのベンチマークの手法は標準的なデザインとは直接の関係はないものの、これらのテスト結果はアルテラのEPF10K100A-1が各ベンチマークでXC4000XL-09を常に上回る性能を実現することを証明しています。



日本アルテラ株式会社

〒163-0436

東京都新宿区西新宿2-1-1

新宿三井ビル私書箱261号

TEL. 03-3340-9480 FAX. 03-3340-9487

<http://www.altera.com/japan/>

本社 Altera Corporation

101 Innovation Drive,

San Jose, CA 95134

TEL : (408) 544-7000

<http://www.altera.com>

Altera, MAX, MAX+PLUS, MAX+PLUS II, FLEX, FLEX 10K, EPF10K100, EPF10K100Aは、Altera Corporationの米国および該当各国におけるtrademarkまたはservice markです。Alteraはこの資料に記載されているその他の製品名またはサービスの名称が該当各社のtrademarkであることを認めます。この資料はアルテラが発行した英文のアプリケーション・ノートを日本語化したものです。アルテラが各デバイスに対して保証する仕様、規格は英文オリジナルの内容です。なお、本資料に記載された内容は予告なく変更される場合があります。最新の情報はアルテラのワールド・ワイド・ウェブ・サイト (<http://www.altera.com>) でご確認ください。