



APEX 20K

プログラマブル・ロジック・
デバイス・ファミリ

1999年 8月 ver. 2.02J

Data Sheet

特長

Preliminary Information (暫定仕様)

- 業界初のSystem-on-a-Programmable-ChipTMインテグレーションを可能にしたプログラマブル・ロジック・デバイス (PLD)
 - ルック・アップ・テーブル (LUT) ロジック、プロダクト・ターム・ロジック、およびエンベデッド・メモリを集積したMultiCoreTMアーキテクチャ
 - 組み合わせ回路を中心にしたファンクションの実現にプロダクト・タームの使用を可能にしたエンベデッド・システム・ブロック (ESB)
 - 多数のレジスタを必要とするファンクションの実現に最適なLUTロジック
 - ESBには、FIFO (First-In First-Out) バッファ、デュアル・ポート RAM、CAM (Content-Addressable Memory) を含むメモリ・ファンクションが構成可能
- 高集積
 - 60,000から1,500,000標準ゲート (表 1 を参照)
 - 最大54,720個のロジック・エレメント (LE)
 - 提供されているロジックのリソースを減少させることなく、最大466,944ビットまでのRAMを構成可能
 - プロダクト・タームをベースにした最大3,648個のマクロセル

表 1 APEX 20Kファミリ 注(1)、(2)

機能	EP20K60E	EP20K100E EP20K100	EP20K160E	EP20K200E EP20K200	EP20K300E	EP20K400E EP20K400	EP20K600E	EP20K1000E	EP20K1500E
最大システム・ゲート数	162,000	263,000	404,000	526,000	728,000	1,052,000	1,537,000	1,771,520	2,524,416
標準ゲート数	60,000	100,000	160,000	200,000	300,000	400,000	600,000	1,000,000	1,500,000
LE数	2,560	4,160	6,400	8,320	11,520	16,640	24,320	38,400	54,720
ESB数	16	26	40	52	72	104	152	160	228
最大RAM ビット数	32,768	53,248	81,920	106,496	147,456	212,992	311,296	327,680	466,944
最大 マクロセル数	256	416	640	832	1,152	1,664	2,432	2,560	3,648
最大ユーザ I/Oピン数	204	252	316	382	408	502	624	716	858

注：

- (1) IEEE Std. 1149.1 (JTAG) バウンダリ・スキャン・テストを必要とするデザインには、内蔵のJTAG回路により、最大48,000ゲート分が追加されることになります。
- (2) これらは暫定仕様です。

さらに多くの 特長

- ロー・パワー動作をサポート
 - 2.5Vおよび1.8Vの電源電圧（表 2 を参照）
 - 1.8V、2.5V、3.3Vの各デバイスとのインタフェースを可能にした MultiVolt™ I/Oインタフェース（表 2 を参照）
 - プログラマブルなパワー・セーブ・モードを提供するESB
- PLL（Phase-Locked Loop）による柔軟性の高いクロック・マネージメント回路
 - 低スキューのクロック・ツリーを内蔵
 - 最大 8 本までのグローバル・クロック信号
 - クロックの遅延とスキューを低減するClockLock™機能
 - クロック周波数の逡倍機能を実現するClockBoost™機能
 - クロックの位相と遅延をプログラマブルにシフトさせることができるClockShift™機能
- パワフルなI/O機能
 - Peripheral Component Interconnect Special Interest Group（PCI SIG）のPCI Local Bus Specification, Revision 2.2 の33MHzまたは66MHz、32ビットまたは64ビットの3.3V動作仕様に準拠
 - 最高243MHzまでの双方向I/Oピン性能（ $t_{CO}+t_{SU}$ ）
 - I/Oピンとローカル・インタコネクトとのダイレクト接続により、複雑なロジックに対して高速の t_{CO} と t_{SU} を提供
 - 1.8V、2.5Vおよび3.3Vデバイスとのインタフェースをサポートする MultiVolt I/Oインタフェース（表 2 を参照）
 - V_{CCIO} へのプログラマブルなクランプ機能
 - 各ピンごとに設定可能なトライ・ステート出力イネーブル・コントロール
 - スイッチング・ノイズを低減することができるプログラマブルな出力のスルー・レート・コントロール機能
 - LVDS（Low-Voltage Differential Signaling）、SSTL-3（Stub-Series Terminated Logic）、GTL+（Gunning Transceiver Logic）を含む最新の標準I/O規格をサポート
 - 活線挿抜（hot-socketing）動作をサポート
 - コンフィギュレーションの実行前および実行中にI/Oピンをブルアップ可能

表 2 APEX 20Kの供給電圧

機 能	EP20K100 EP20K200 EP20K400	EP20K60E EP20K100E EP20K160E EP20K200E EP20K300E EP20K400E EP20K600E EP20K1000E EP20K1500E
内部電源電圧（ V_{CCINT} ）	2.5 V	1.8 V
MultiVolt I/Oインタフェース の電圧レベル（ V_{CCIO} ）	2.5 V, 3.3 V	1.8 V, 2.5 V, 3.3 V

■ 最新のインタコネク構造

- 4レベルの階層を持った配線構造となっているFastTrack®インタコネクにより、高速で予測可能な配線遅延を実現
- アダー、カウンタ、コンパレータのような演算機能を高速で実現する専用キャリア・チェーン（ソフトウェア・ツールやメガファンクションが自動的に使用）
- 高ファン・インの論理機能を高速で実現する専用カスケード・チェーン（ソフトウェア・ツールやメガファンクションが自動的に使用）
- 1個のLEから高速のローカル・インタコネクを通じて他の29個のLEのドライブを可能にしたインタリーブド・ローカル・インタコネク

■ 最先端のパッケージ・オプション

- 144ピンから1,020ピンまでの豊富なパッケージ・オプション（表3から表6までを参照）
- ボード・スペースの効率を最大に高めるFineLine BGA™パッケージ
- SameFrame™ピン・マイグレーション機能により、集積度とパッケージ・サイズの異なるデバイス間でのピン配置互換機能を提供

■ 最先端ソフトウェアによるサポート

- WindowsベースのPC、Sun SPARCstation およびHP 9000シリーズ700/800のワークステーション上で動作するアルテラのQuartus™開発システムによるソフトウェア・デザイン・サポートと自動配置配線
- アルテラのMegaCore™ファンクションとAMPPSM（Altera Megafunction Partners Program）メガファンクションが使用可能
- 標準的な論理合成ツール、シミュレーション・ツール、タイミング解析ツールとの統合を実現するNativeLink™機能
- 動作中のデバイスの内部ノードにアクセスができるQuartusのSignalTap™エンベデッド・ロジック・アナライザにより、デザインのイン・システムでの評価が簡単に実現可能
- PVCS、RCS、SCCSを含むポピュラーなリビジョン・コントロール・ソフトウェアをサポート

表3 APEX 20Kに提供されるQFP、BGA、PGAパッケージのオプションとI/Oピン数 注(1)、(2)、(3)

デバイス名	144-Pin TQFP	208-Pin PQFP RQFP	240-Pin PQFP RQFP	356-Pin BGA	652-Pin BGA	655-Pin PGA	984-Pin PGA
EP20K60E	92	151	183	204			
EP20K100	101	159	189	252			
EP20K100E	92	151	183	246			
EP20K160E	87	143	175	273			
EP20K200		144	174	279			
EP20K200E		136	168	273	376		
EP20K300E		120	152		408		
EP20K400					502	502	
EP20K400E					488		
EP20K600E					483		
EP20K1000E					483		716
EP20K1500E							

表4 APEX 20Kに提供されるFineLine BGAパッケージとI/Oピン数

デバイス名	196-Pin	324-Pin	484-Pin	672-Pin	1,020-Pin
EP20K60E	143	204	204 (4)	204 (4)	
EP20K100	149	252	252 (4)	252 (4)	
EP20K100E	143	246	246 (4)	246 (4)	
EP20K160E			316	316 (4)	
EP20K200			382	382 (4)	
EP20K200E			376	376	
EP20K300E				408	
EP20K400				502	
EP20K400E				488	
EP20K600E				483	624
EP20K1000E				483	716
EP20K1500E					858

注：

- (1) 各パッケージの供給状況に関する最新情報については、日本アルテラまたは販売代理店へお問い合わせください。
- (2) I/O数には入力専用ピンとクロック専用ピンも含まれています。
- (3) APEX 20Kデバイスには、薄型クワッド・フラット・バック (TQFP)、プラスチック・クワッド・フラット・バック (PQFP)、パワー・クワッド・フラット・バック (RQFP)、1.27mmピッチのボール・グリッド・アレイ (BGA)、1.00mmピッチのFineLine BGA、およびピン・グリッド・アレイ (PGA) の各パッケージが提供されています。
- (4) SameFrameピン・マイグレーション機能により、196ピンおよび1,020ピンを除くすべてのFineLine BGAパッケージにピン互換性が提供されます。これにより、多様なデバイスに対応したボードを1種類のレイアウトでデザインすることができ、集積度とピン数の異なるデバイスへの移行が可能になる高い柔軟性が提供されます。このデバイス・マイグレーション機能はアルテラの開発ツールによって完全にサポートされています。詳細は44ページの「SameFrameピン配置機能」をご覧ください。

表5 APEX 20K QFP、BGA、PGAパッケージのサイズ

項 目	144-Pin TQFP	208-Pin QFP	240-Pin QFP	356-Pin BGA	652-Pin BGA	655-Pin PGA
ピッチ (mm)	0.50	0.50	0.50	1.27	1.27	-
面積 (mm ²)	484	936	1,197	1,225	2,025	3,906
長さ×幅 (mm×mm)	22×22	30.6×30.6	34.6×34.6	35×35	45×45	62.5×62.5

表6 APEX 20K FineLine BGAパッケージのサイズ

項 目	196-Pin	324-Pin	484-Pin	672-Pin	1,020-Pin
ピッチ (mm)	1.00	1.00	1.00	1.00	1.00
面積 (mm ²)	225	361	529	729	1,089
長さ×幅 (mm×mm)	15×15	19×19	23×23	27×27	33×33

概要

APEX 20Kデバイスは、LUTベースのロジック、プロダクト・ターム・ベースのロジックの長所とさらに機能強化されたメモリ構造を統合したMultiCoreアーキテクチャによる業界初のPLDです。LUTをベースにしたロジックは、データ・パス、多数のレジスタを使用するファンクションや演算ファンクション、ディジタル信号処理 (DSP) のデザインを最適化された性能と効率で実現します。これに対して、プロダクト・タームをベースにしたロジックを使用することで、多数のステートと遷移条件を持つステート・マシンのような複雑な組み合わせ回路のパスが最適化されます。APEX 20Kのアーキテクチャは、メモリ・ファンクション、多様なMegaCoreファンクションやAMPPファンクションとLUTおよびプロダクト・タームをベースにしたロジックを組み合わせることによって、System-on-a-Programmable-Chipのデザインに適合させることができるようになっています。これにより、これまでLUT、プロダクト・ターム、そしてメモリ・ベースの各デバイスを組み合わせて使用する必要があったアプリケーションを1個のAPEX 20Kデバイスに集積することができます。

APEX 20KEはAPEX 20Kの上位互換デバイスとなっており、最新の標準I/O規格、CAM、複数の追加グローバル・クロック、さらに性能と機能が強化されたClockLockによるクロック回路などの機能が追加サポートされています。さらに、APEX 20KEデバイスはAPEX 20Kファミリの集積度を1,500,000ゲートまで拡張しています。APEX 20KEデバイスには、デバイス名の最後に"E"のサフィックスが付加されます (例えば、EP20K1000EはAPEX 20KEデバイスです)。表7は、APEX 20KデバイスとAPEX 20KEデバイスに提供されている機能と両者の違いをまとめたものです。

表 7 APEX 20KとAPEX 20KEデバイスの比較

機 能	APEX 20Kデバイス	APEX 20KEデバイス
MultiCoreシステム・インテグレーション	フル・サポート	フル・サポート
活線挿抜のサポート	フル・サポート	フル・サポート
SignalTapロジック・アナライザ	フル・サポート	フル・サポート
64ビット、66MHz PCI	完全準拠	完全準拠
MultiVolt I/O	2.5Vまたは3.3Vの V_{CCIO} V_{CCIO} はデバイス全体でいずれかの電圧に選択	1.8V、2.5Vまたは3.3Vの V_{CCIO} V_{CCIO} はブロックごとに選択可能
ClockLockのサポート	クロックの遅延時間を低減クロック周波数の2×および4×の通倍機能	クロックの遅延時間を低減 $m/(n \times k)$ によるクロック周波数の通倍機能 ClockLockの出力をチップ外部にドライブ可能 外部クロックのフィードバック LVDSをサポート
クロック専用ピンと専用入力ピン	6本	8本
標準I/O規格のサポート	2.5V I/O 3.3V PCI LVCMOS LVTTTL	1.8V I/O 2.5V I/O 3.3V PCI 3.3V AGP CTT GTL+ HSTL Class I、II、III LVCMOS LVDSのdataピン（EP20K300Eおよびそれ以上の高集積デバイス） LVDSのclockピン（全デバイス） LVTTTL SSTL-2 Class I、II SSTL-3 Class I、II
メモリのサポート	デュアル・ポートRAM FIFO RAM ROM	CAM デュアル・ポートRAM FIFO RAM ROM

APEX 20Kのすべてのデバイスはリコンフィギュレーション可能となっており、出荷前に100%のテストが実施されています。このため、フォルト・カバレッジを目的としたテスト・ベクタを生成する必要はありません。その代わりに、設計者はデザインのシミュレーションとデザイン検証に注力することができます。また、ASICの場合に要求される各デザインごとのデバイスに対する在庫管理も不要となります。APEX 20Kデバイスはボード上で要求される特定の機能にコンフィギュレーションすることができます。

APEX 20Kデバイスは、電源の投入時にアルテラのシリアル・コンフィギュレーション・デバイスにストアされたデータ、またはシステム・コントローラから提供されるデータでコンフィギュレーションされます。アルテラはイン・システム・プログラマビリティ (ISP) 対応のEPC2コンフィギュレーション・デバイスを供給しており、このデバイスからAPEX 20Kデバイスをシリアルのデータ・ストリームでコンフィギュレーションすることができます。さらに、APEX 20Kデバイスにはマイクロプロセッサとの最適化されたインタフェースが内蔵されており、マイクロプロセッサからのシリアルまたはパラレルのデータにより、APEX 20Kデバイスを同期または非同期でコンフィギュレーションすることができます。このインタフェースの実現によって、マイクロプロセッサはAPEX 20Kデバイスをメモリとして取り扱うことができるため、バーチャルなメモリ・ロケーションにデータを書き込む動作でAPEX 20Kデバイスをコンフィギュレーションすることができ、リコンフィギュレーションも容易に実行できます。



アルテラの新しいコンフィギュレーション・デバイスに関する情報については、日本アルテラにお問い合わせください。

コンフィギュレーションされたAPEX 20Kデバイスをイン・サーキットでリセットし、新しいデータをロードすることによってリコンフィギュレーションを実行することができます。システムの動作中でもリアル・タイムの変更が可能となっているため、リコンフィギュラブル・コンピューティングなどの革新的なアプリケーションを実現することもできます。

APEX 20Kデバイスは、HDLおよび回路図によるデザイン入力、コンパイル、論理合成、フル・シミュレーション、ワースト・ケースのタイミング解析、SignalTapロジック・アナリシス、デバイス・コンフィギュレーションの各機能をシングル・パッケージに統合したアルテラのQuartus開発システムによってサポートされています。QuartusのソフトウェアはWindowsベースのPC、Sun SPARCstationおよびHP 9000シリーズ700/800のワークステーション上で動作します。

Quartusソフトウェアは、PCおよびUNIXワークステーションをベースにした他社の業界標準EDAツールとのNativeLinkインタフェースを実現しています。このNativeLinkインタフェースにより、ユーザはサード・パーティのデザイン・ツールからQuartusソフトウェアを起動することができます。さらに、Quartusソフトウェアには最適化された合成ライブラリが含まれており、合成ツールがこれらのライブラリを使用してデザインをAPEX 20Kに最適化できるようになっています。例えば、Quartus開発システムと共に供給されるシノプシス社のDesign Compilerライブラリには、APEX 20Kのアーキテクチャに最適化されたDesignWareファンクションが含まれています。

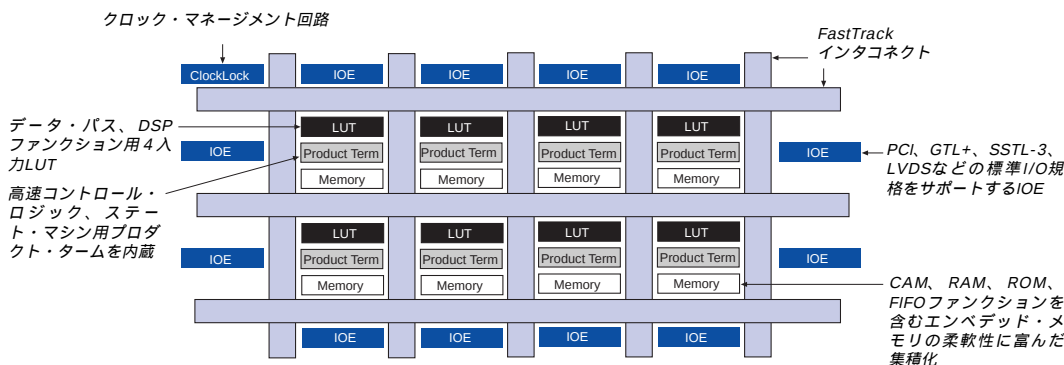
機能の説明

APEX 20Kデバイスは、LUTベースのロジック、プロダクト・ターム・ベースのロジック、そしてメモリを1個のデバイス上に実現することができます。APEX 20Kデバイス内での信号の接続は (デバイス・ピンとの接続も同様)、デバイス全体を縦横に走っている連続したロウとカラムの高速配線チャネル、FastTrackインタコネクトによって行われます。

各I/OピンはロウとカラムのFastTrackインタコネクトの先端に配置されているI/Oエレメント (IOE) と接続されます。各IOEには双方向のI/Oバッファとレジスタが1個ずつ内蔵されており、このレジスタは入力または出力信号、あるいは双方向信号が接続される入力レジスタまたは出力レジスタのいずれかとして使用することができます。専用のクロック・ピンを使用した場合は、これらのレジスタがこれまでにない高い性能を実現します。IOEは、3.3V/64ビット/66MHzのPCI仕様への準拠、JTAG BSTのサポート、スルー・レート・コントロール、トライ・ステート・バッファなど、多様な機能を提供しています。APEX 20KEデバイスには、1.8VのI/O、2.5VのI/O、LVCMOS、LVTTTL、3.3V PCI、LVDS、GTL+、SSTL-2、SSTL-3、HSTL、CTT、3.3V AGP I/Oを含む標準I/O規格のサポートなど、さらに拡張強化されたI/O機能が提供されています。

ESBには、CAM、RAM、デュアル・ポートRAM、ROM、FIFOを含む多様なメモリ・ファンクションを実現することができます。メモリをダイに直接埋め込むことによって、分散型のRAMによる実現方法よりも性能が改善され、ダイ・エリアが縮小されます。さらに、複数のESBをカスケード接続することができるため、APEX 20Kデバイスには高集積デザインに要求される複数の大容量メモリ・ブロックを構成することができます。ESBの高速性により、各ESBにはスピードを一切犠牲にすることなく、小容量の高速メモリが実現できます。また、APEX 20Kデバイスには豊富なESBが内蔵されているため、システムの要求に応じた数のメモリ・ブロックをそれぞれ異なるサイズで構成することができます。図1はAPEX 20Kデバイス内部の全体的な構造を示したものです。

図1 APEX 20Kデバイスのブロック図

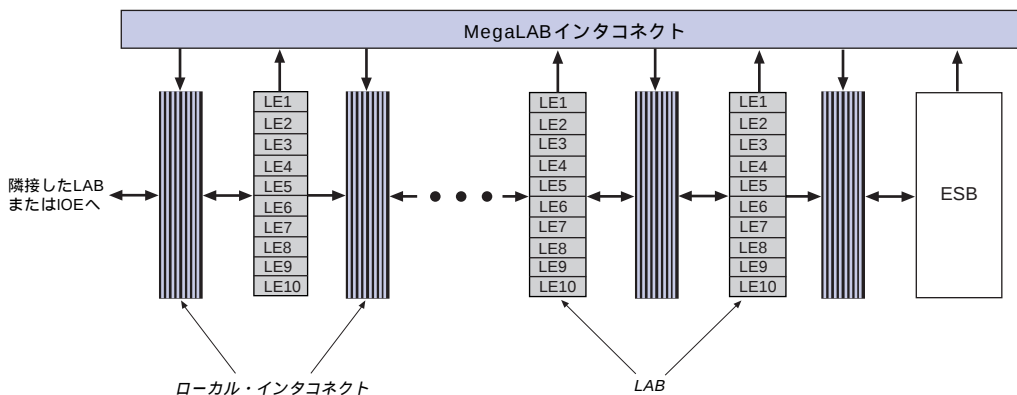


APEX 20Kデバイスには、2本のクロック専用ピンと各レジスタのコントロール入力をドライブできる4本の入力専用ピンが提供されています。これらのピンからの信号は効率的にデバイス内部に分配され、高速で低スキューのコントロール信号となります。これらの信号の接続には、最小の遅延と低スキューを実現する専用の配線チャンネルが使用されます。4本の入力専用ピンは4本のグローバル信号をドライブします。これら4本のグローバル信号は内部ロジックからドライブすることもでき、クロック・デバイダや大きなファンアウトを持つ内部生成の非同期クリア信号に対する理想的なソリューションとなっています。APEX 20Kデバイスにはクロック・マネージメント回路、ClockLockとClockBoostの回路も内蔵されています。APEX 20KEデバイスには、さらに2本のクロック専用ピンが追加されており、計4本のクロック専用ピンが提供されています。

MegaLABの構造

APEX 20Kデバイスは、MegaLABをアレイ上に配置した構造となっています。各MegaLABは、16個のロジック・アレイ・ブロック（LAB）、1個のESB、およびMegaLAB内の信号を接続するMegaLABインタコネクトで構成されています。EP10K1000EとEP10K1500Eの両デバイスでは、各MegaLABに24個のLABが含まれています。信号は、FastTrackインタコネクトを通じて異なるMegaLAB間、およびMegaLABとI/Oピンとの間で接続されます。また、両端のLABはローカル・インタコネクトを通じてI/Oピンをドライブすることができます。図2はMegaLABの構造を示したものです。

図2 MegaLABの構造

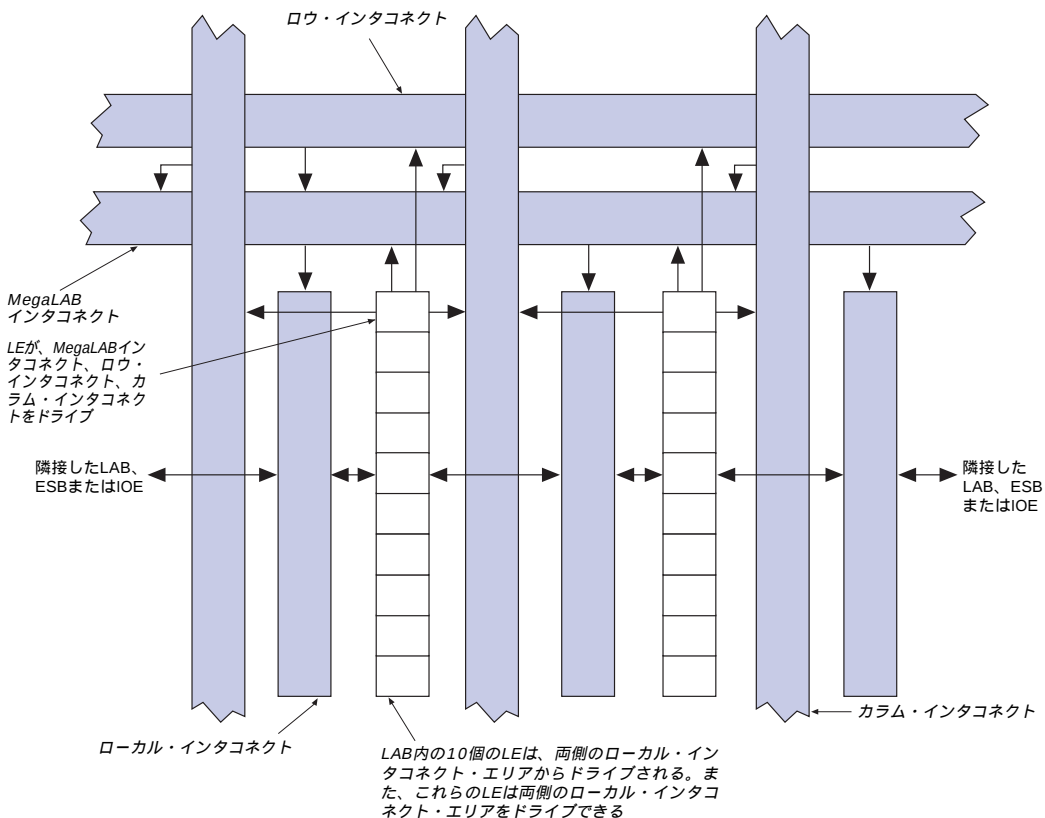


ロジック・アレイ・ブロック

各LABは10個のLE、関連するキャリアとカスケードのチェーン、LABコントロール信号、ローカル・インタコネクต์によって構成されています。ローカル・インタコネクต์は、同じLABまたは隣接したLAB内のLE、IOE、ESBとの間で信号を転送します。Quartusのコンパイラは関連するロジックを1つのLABまたは隣接したLAB内に配置し、高速のローカル・インタコネクต์を使用して高い性能を達成します。図3はAPEX 20KのLABを示したものです。

APEX 20Kデバイスには、インタリーブドLAB構造が採用されています。この構造では、各LEが隣接した両方向のローカル・インタコネクต์領域をドライブできるようになっています。この構造の実現により、MegaLABインタコネクต์とFastTrackインタコネクットの使用が最小限に抑えられるため、さらに高い性能と柔軟性が提供されます。各LEは高速のローカル・インタコネクต์を通じて他の29個のLEをドライブできるようになっています。

図3 LABの構造



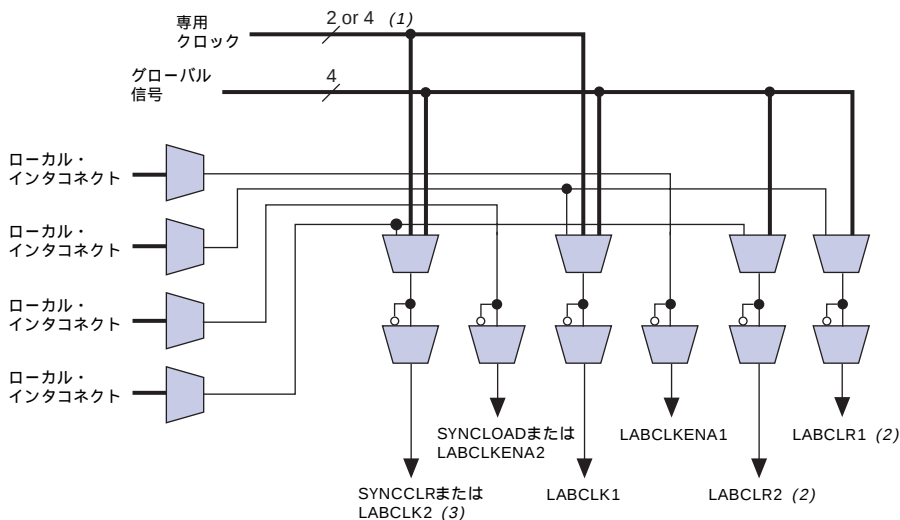
各LABには、各LEに対するコントロール信号をドライブするための専用ロジックが内蔵されています。これらのコントロール信号には、クロック、クロック・イネーブル、非同期クリア、非同期プリセット、非同期ロード、同期クリア、同期ロードの各信号が含まれます。この場合、最大 6 本までのコントロール信号を同時に使用することが可能です。同期ロードおよび同期クリア信号はカウンタを構成するときに標準的に使用されますが、これらの信号は他のファンクションにも使用することができます。

各LABでは、2本のクロックと2本のクロック・イネーブル信号を使用することができます。各LABでは、それぞれのクロック信号とクロック・イネーブル信号がリンクして使用されます（あるLAB内のLEがCLK1を使用している場合は、このLEにCLKENA1が使用される）。このため、同じクロック信号と異なるクロック・イネーブル信号を使用しているLEがある場合は、ひとつのLAB内で双方のクロック信号が使用される形になるか、あるいはこれらのLEが別のLABに配置されます。

クロックの立ち上がりと立ち下りの双方のエッジがひとつのLAB内で使用される場合も、LAB全体をカバーする双方のクロック信号が使用されることになります。

LAB全体をカバーするコントロール信号は、LABローカル・インタコネクト、グローバル信号、クロック専用ピンから生成することができます。FastTrackインタコネクトは、スキューを最小に抑えることができるため、クロックの分配にも使用されます。図4はLABコントロール信号の生成回路を示したものです。

図4 LABコントロール信号の生成



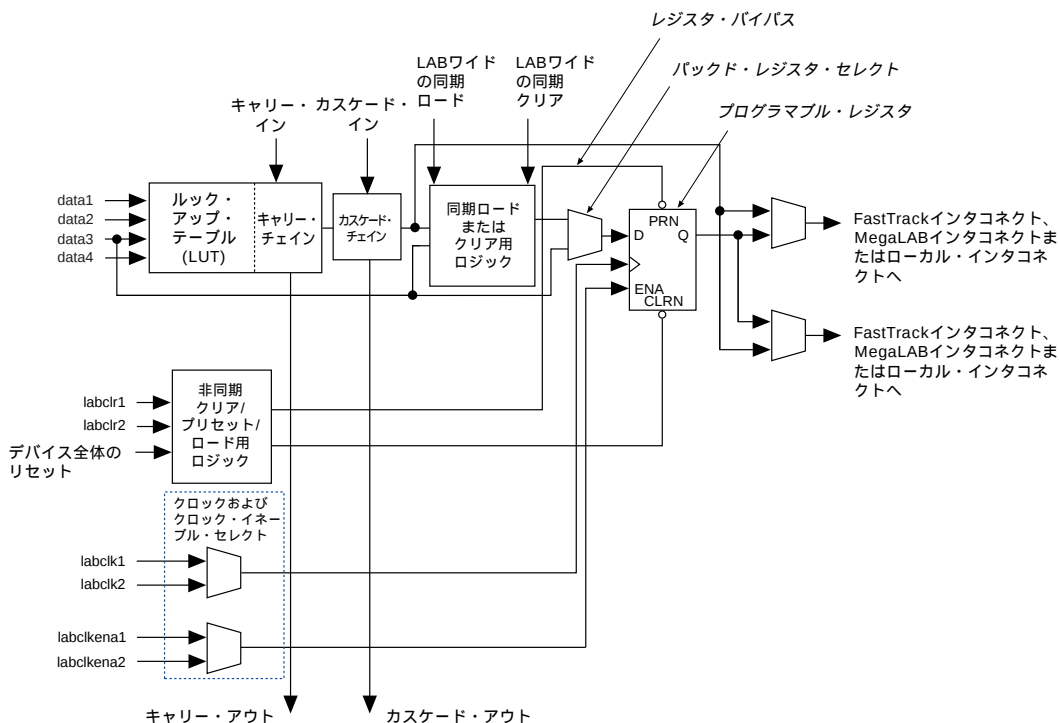
注：

- (1) APEX 20KEデバイスには4本のクロック専用ピンがあります。
- (2) LABCLER1とLABCLER2の信号は、LAB内のLEに対する非同期ロードと非同期プリセットもコントロールします。
- (3) SYNCCLR信号は、ローカル・インタコネクトまたはグローバル信号から生成できます。

ロジック・エレメント

ロジック・エレメント (LE) はAPEX 20Kアーキテクチャが提供するロジックの最小単位となっており、高いデバイス使用効率を実現するコンパクトなサイズとなっています。各LEには4変数によるあらゆる論理演算を高速で実行できる4入力のLUTが1個含まれています。さらに、各LEにはプログラマブルなレジスタが1個と、キャリア・チェーン、カスケード・チェーンが組み込まれています。各LEは、ローカル・インタコネクト、MegaLABインタコネクト、およびFastTrackインタコネクトの各配線領域をドライブするようになっています。図5を参照してください。

図5 APEX 20Kのロジック・エレメント



各LE内のプログラマブル・レジスタは、D、T、JK、またはSRタイプの動作を行うようにコンフィギュレーションすることができます。レジスタのクロックとクリア・コントロール信号は、グローバル信号、汎用のI/Oピン、または任意の内部ロジックからドライブすることができます。組み合わせ回路が構成される場合はレジスタがバイパスされ、LUTの出力がLEの出力を直接ドライブします。

LEはローカル・インタコネクト、MegaLABインタコネクトまたはFastTrackインタコネクトの配線領域をドライブする2本の出力を持っています。この2本のLEの出力をLUTからの出力にするか、レジスタからの出力にするかは、それぞれ個別にコント

ローリングすることができます。例えば、LUTが一方の出力をドライブしているときに、レジスタがもう一方の出力をドライブするような構造に設定することができます。この機能はレジスタ・パッキングと呼ばれ、LUTとレジスタをそれぞれ独立した機能に使用できるため、LEの使用効率を改善することができます。また、LUTからの出力をレジスタ付きとレジスタなしの双方でLEから出力させることもできます。

APEX 20Kのアーキテクチャには、2種類の専用高速データ・バスが提供されています。ひとつはローカル・インタコネクトを使用しないで隣接したLE間を接続するバスで、もう一方はキャリア・チェーンとカスケード・チェーンです。キャリア・チェーンはカウンタやアダーなどの高速演算機能を構成するときに使用され、カスケード・チェーンは恒等回路 (equality comparator) のような多入力の論理機能を最小の遅延時間で実現するときに使用されます。カスケード・チェーンとキャリア・チェーンはLAB内のLE1からLE10を、また同じMegaLAB内のすべてのLAB間を接続することができます。

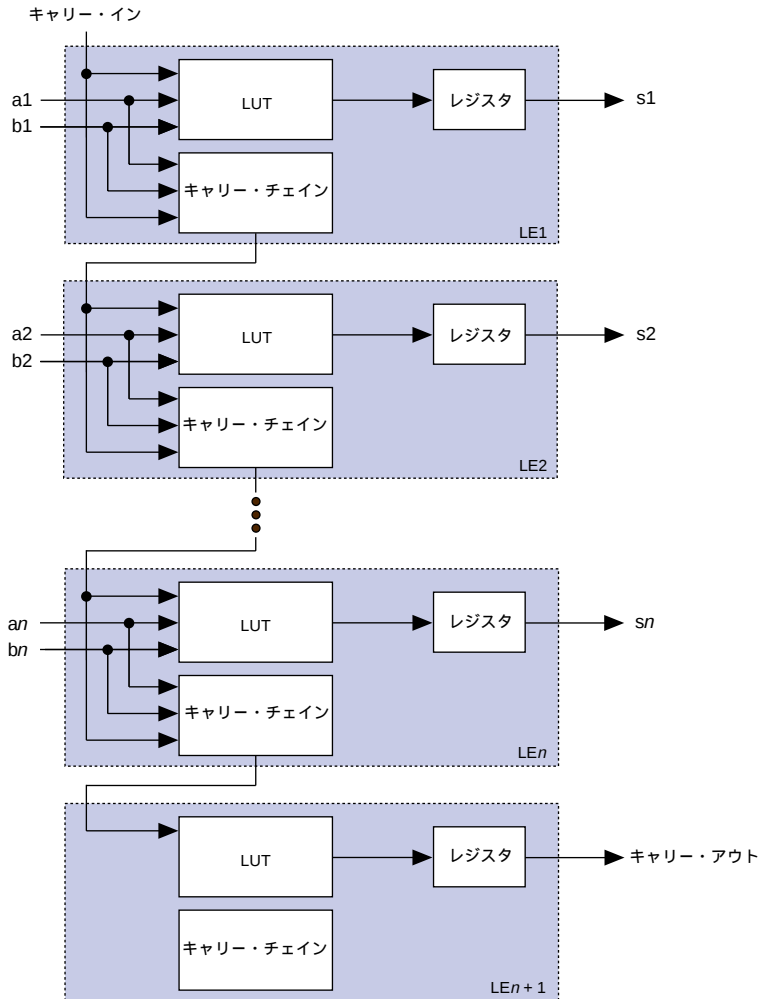
キャリア・チェーン

キャリア・チェーンはキャリアをLE間で非常に高速で転送します。下位ビットからのキャリア・イン信号はキャリア・チェーンを通して上位ビットに転送され、上位ビットのキャリア・チェーンとLUTの双方に入力されます。この機能を使用することによって、APEX 20Kアーキテクチャにはカウンタやアダー、指定したビット幅のコンパレータを高速で実現することができます。キャリア・チェーンのロジックはデザインを処理する段階でQuartusのコンパイラによって自動的に生成され、またデザインの入力時にマニュアルで指定することもできます。LPM (Library of Parameterized Modules) や DesignWareのようなパラメータ化されたファンクションは、このキャリア・チェーンの利点を自動的に活用して実現されます。

Quartusのコンパイラは、複数のLABをリンクさせることによって、10個を超えるLEで接続される長いキャリア・チェーンを自動的に生成します。フィッティング機能を強化するため、長いキャリア・チェーンはMegaLAB内のLABを1個おきにスキップするようになっています。このため、複数のLABを通る長いキャリア・チェーンは、偶数番号のLABから次の偶数番号のLABへ、あるいは奇数番号のLABから次の奇数番号のLABへと1個のLABをスキップして接続されます。例えば、左上方に位置するMegaLAB内の最初のLABにある最後のLEは、このMegaLAB内の3番目に位置するLABの最初のLEにキャリアを転送するようになっています。

図6は、 $n+1$ 個のLEとキャリア・チェーンによって、 n ビットのフル・アダーが実現されることを示したものです。ここで、LUTの一部を使用して入力信号とキャリア・イン信号から2ビットのサム (和) を生成します。そして、このサムはLEの出力に接続されます。単純なアダーを構成する場合はレジスタをバイパスさせることができ、アキュムレータの機能を構成するときにレジスタを使用することもできます。LUTの他の部分とキャリア・チェーンのロジックはキャリア・アウトの信号を生成し、この信号は次の上位ビットのキャリア・インに直接、接続されます。最後のキャリア・アウト信号はLEに接続され、この最後のLEからローカル・インタコネクト、MegaLABインタコネクトまたはFastTrackインタコネクトの配線領域へ出力されます。

図 6 APEX 20Kのキャリア・チェーン

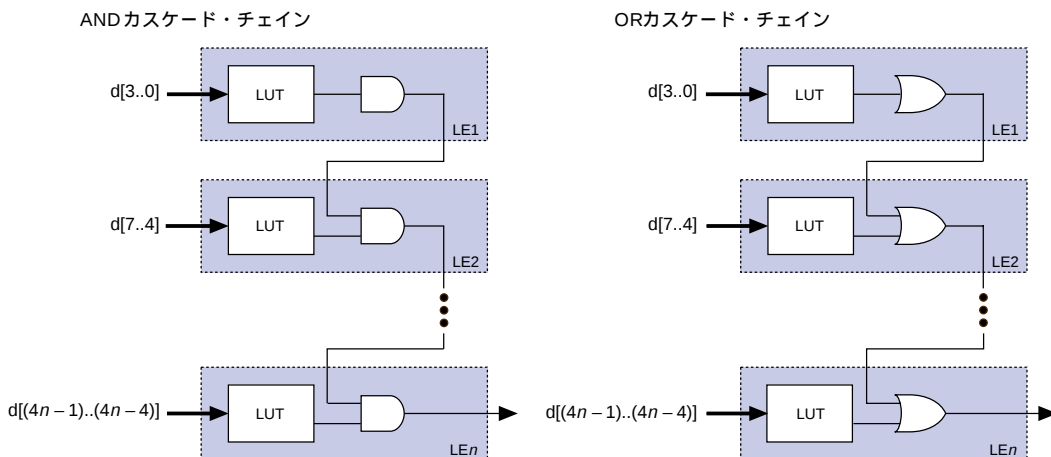


カスケード・チェーン

APEX 20Kのアーキテクチャは、カスケード・チェーンを使用して非常に大きなファン・インを持った回路機能を実現することができます。隣接している複数のLUTをパラレルに動作させ、その間の中間値をカスケード・チェーンを使ってシリアルに転送させることによって、論理機能の1部を実現することができます。このカスケード・チェーンは隣接したLEの出力を接続して論理積 (Logical AND) またはドモルガンの反転定理による論理和 (Logical OR) を実現することができます。追加される各LEは要求される回路機能の入力ビット幅を最小の遅延時間で4ビットずつ効率的に拡張します。カスケード・チェーンのロジックはデザインの処理段階でQuartusのコンパイラによって自動的に生成され、またデザインの入力時にマニュアルで指定することもできます。

複数のLABをリンクさせることによって、10個のLEを超える長さのカスケード・チェーンが自動的に生成されます。フィッティング機能を強化するため、長いカスケード・チェーンはMegaLAB内の隣のLABをスキップして接続されます。複数のLABを通る長いカスケード・チェーンは、偶数番号のLABから偶数番号のLABへ、あるいは奇数番号のLABから奇数番号のLABへと1個のLABをスキップして接続されます。例えば、左上方に位置するMegaLAB内の最初のLABにある最後のLEは、このMegaLAB内の3番目に位置するLABの最初のLEにカスケード信号を転送するようになっています。図7は大きなファン・インを持つ回路機能を実現するときに、カスケード・チェーンが隣接したLE間でどのように接続されるかを示したものです。

図7 APEX 20Kのカスケード・チェーン



LEの動作モード

APEX 20KのLEは次の3種類のモードのいずれかで動作します。

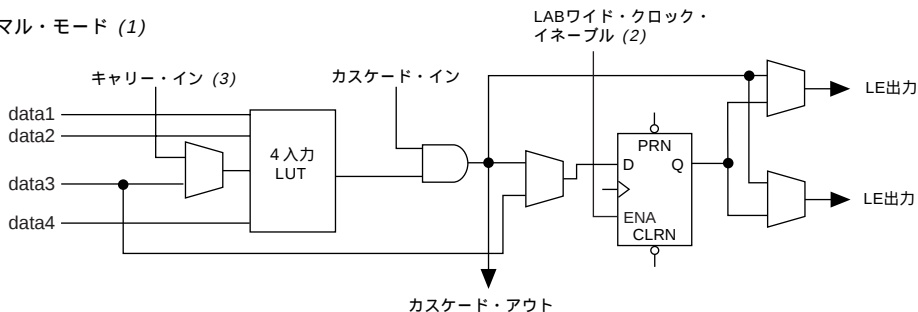
- ノーマル・モード
- 演算モード
- カウンタ・モード

これらの各モードでは、LEのリソースがそれぞれ異なる形で使用されます。LEには各モードで計7本の入力提供されており（LABローカル・インタコネクトからの4本のデータ入力、プログラマブル・レジスタからのフィードバック、前段のLEからのキャリー・インとカスケード・インの計7本）、要求される論理機能を実現するときにこれらの入力がそれぞれ異なるリソースと接続されます。LAB全体をカバーするコントロール信号として、各レジスタに対するクロック、非同期クリア、非同期プリセット、非同期ロード、同期クリア、同期ロード、クロック・イネーブル・コントロールが提供されます。これらのLABワイドのコントロール信号は、すべてのLEの動作モードで使用できます。

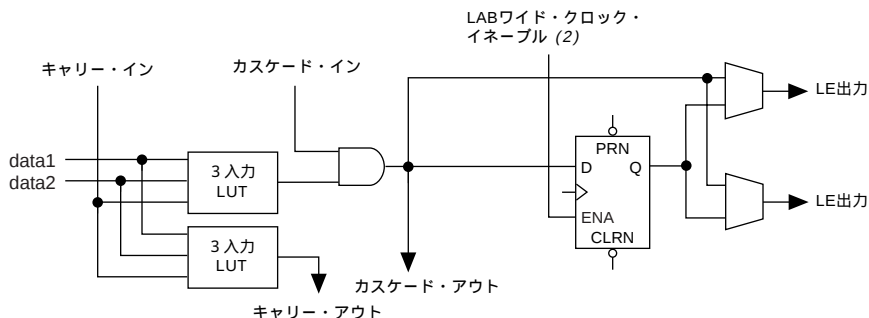
Quartusソフトウェアは、LPMやDesignWareファンクションのようなパラメータ化されたファンクションを使用して、カウンタやアダー、マルチプライヤなどのような標準的なファンクションに対して適切な動作モードを自動的に選択します。また、必要に応じて、ユーザが性能の最適化が実現されるLEの動作モードを選択して、特定用途のファンクションを作成することもできます。図8はLEの各動作モードを示したものです。

図 8 APEX 20KのLEの動作モード

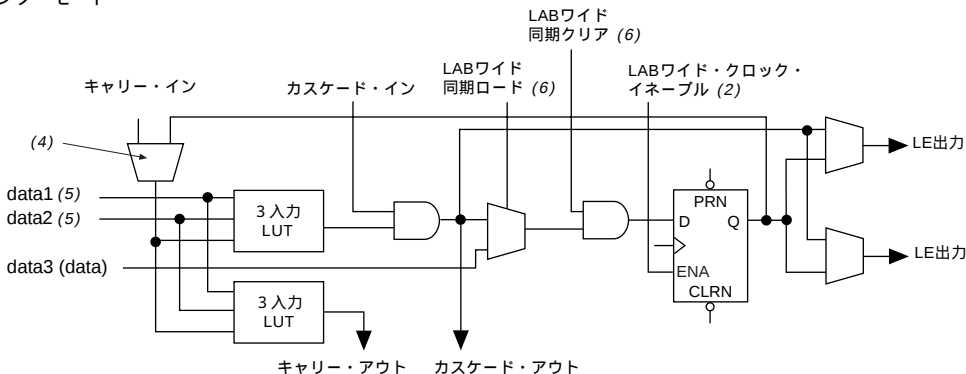
ノーマル・モード (1)



演算モード



カウンタ・モード



注:

- (1) ノーマル・モードのLEは、レジスタ・バックアップの機能をサポートします。
- (2) 各LABごとにLAB全体をカバーするクロック・イネーブル信号が2本提供されます。
- (3) ノーマル・モードでキャリア・インが使用された場合は、レジスタ・バックアップの機能を使用することはできません。
- (4) 各LABのLE1にはレジスタ・フィードバック・マルチプレクサが提供されます。
- (5) DATA1とDATA2の入力には、カウンタ・イネーブル、アップまたはダウン・コントロール信号、LAB内の2番目以外のLEに対するレジスタ・フィードバック信号を供給することができます。
- (6) LABワイド同期クリアとLABワイド同期ロードの機能は、LAB内のすべてのレジスタに適用されます。

ノーマル・モード

ノーマル・モードは汎用のロジック・アプリケーションや組み合わせの回路ファンクション、カスケード・チェインの長所が活用できる多入力のデコードなどに適しています。ノーマル・モードでは、LABローカル・インタコネクトからの4本のデータ入力とキャリア・インが4入力LUTの入力になります。QuartusのコンパイラはDATA3とキャリア・インのいずれかをLUTの入力として自動的に選択します。LUTの出力をカスケード・インの信号と組み合わせることによって、カスケード・アウトの信号を持つカスケード・チェインを構成することができます。ノーマル・モードのLEは、バックド・レジスタをサポートします。

演算モード

演算モードは、アダー、アキュムレータ、コンパレータの構成に最適です。演算モードのLEには、2個の3入力LUTが使用されます。このうち1個のLUTは3ビットの論理関数を実現し、もう1個のLUTがキャリア・アウトを生成します。図8に示されているように、最初のLUTはキャリア・インとLABローカル・インタコネクトからの2本の入力を使用して組み合わせ出力またはレジスタ出力の論理を生成します。アダーを構成した場合は、この出力がDATA1とDATA2、およびキャリア・イン信号による3ビットのサム（和）となります。そして、2番目のLUTが同じ3本の信号からキャリア・アウト信号を生成して、キャリア・チェインを構成します。演算モードではカスケード・チェインの使用が同時にサポートされます。演算モードのLEでは、LUTからの出力をレジスタ付きとレジスタなしの双方でLEから出力することができます。

演算モードの使用が適切と判断されるファンクションには、Quartusソフトウェアが自動的に演算モードを使用してパラメータ化されたファンクションを実現するため、設計者がキャリア・チェインの使用方法を指定する必要はありません。

カウンタ・モード

カウンタ・モードには、クロック・イネーブル、カウンタ・イネーブル、同期アップ/ダウン・コントロールの各信号と、同期クリアと同期ロードのオプション信号が提供されます。カウンタ・イネーブルと同期アップ/ダウン・コントロール信号はLABローカル・インタコネクトのデータ入力から生成されます。同期クリアと同期ロードのオプション信号はLAB全体をカバーしており、LAB内のすべてのレジスタに影響を与えます。このため、LAB内のあるLEがカウンタ・モードを使用している場合は、そのLAB内の他のLEも同じカウンタの一部として使用されるか、組み合わせ回路に使用される必要があります。Quartusソフトウェアは、カウンタに使用されていないレジスタを他のLABへ自動的に配置します。

カウンタ・モードでは、3 入力LUTが2 個使用されます。そのうちの1 個はカウンタのデータを生成し、もう一方のLUTが高速のキャリー・ビットを生成します。2 対1 のマルチプレクサによりデータの同期ロード機能が提供され、さらにANDゲートによる同期クリア機能もサポートされています。カウンタ・モードのLEがカスケード機能を使用している場合は、同期クリアまたは同期ロードがカスケード・チェーンを転送される信号よりも優先されます。また、同期クリアが、同期ロードよりも優先して実行されるようになっています。演算モードになっているLEは、LUTからの出力をレジスタ付きとレジスタなしの双方でLEから出力することができます。

クリアおよびプリセット・ロジックのコントロール

レジスタのクリアとプリセットの信号に対するロジックは、LAB全体をカバーする信号でコントロールされます。LEは非同期クリアの機能を直接サポートしています。Quartusのコンパイラは、NOTゲートによる出力の極性反転機能（NOT-gate push-back）を使用して、非同期プリセットと等価な機能を実現することもできます。さらに、QuartusのコンパイラはこのNOTゲートによるプログラマブルな出力極性反転機能を使用したテクニックにより、擬似的なプリセットとクリアまたは非同期ロードと同じ機能を実現することもできます。ただし、このテクニックには、レジスタあたり3 個のLEがさらに必要となります。このようなエミュレーション機能は、デザインがコンパイルされるときに自動的に実現されます。擬似的なプリセットとロードの機能を同時に実行するようになっているレジスタは、チップ・ワイドのリセット信号がアサートされたとき、または電源投入後に、不定のステートに入ります。

2 種類のクリアおよびプリセット・モードに加え、APEX 20Kデバイスにはデバイス内すべてのレジスタをリセットするチップ・ワイドのリセット・ピン（DEV_CLRn）が提供されています。このピンの使用は、Quartusソフトウェアでコンパイル前に設定できます。チップ・ワイドのリセット信号は他のすべてのコントロール信号よりも優先されます。非同期のプリセットを使用しているレジスタは、チップ・ワイドのリセット信号がアサートされたときに、プリセットされます。これは、非同期プリセットの機能が極性反転のテクニックを使用して実現されているためです。

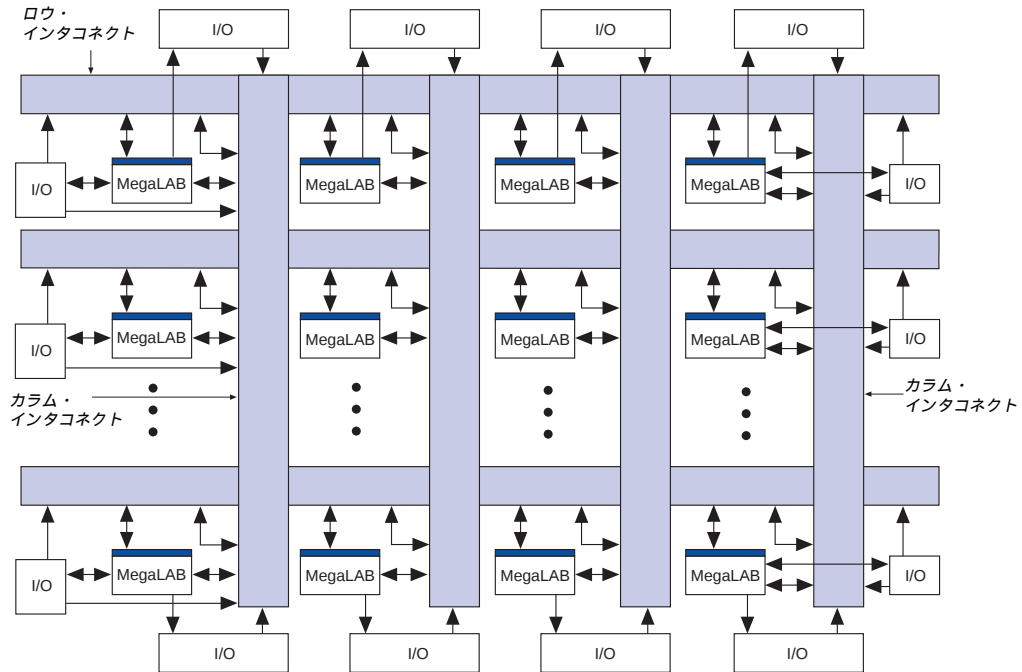
FastTrackインタコネク

APEX 20Kのアーキテクチャには、LE、ESB、およびI/Oピン間の接続を行うFastTrackインタコネクが提供されています。このFastTrackインタコネクはデバイス全体を垂直および水平方向に走っている連続した配線チャンネルとなっています。このグローバルな配線構造により、複雑なデザインにおいてもその性能が予測可能となっています。これに対して、配線領域が分割されているFPGAでは、一定しない複数のパスを接続するためのスイッチ・マトリックスが必要となり、ロジック・リソース間のディレイが大きくなって性能が低下します。

FastTrackインタコネクは、デバイス全体をカバーしているロウとカラムのインタコネク・チャンネルによって構成されています。ロウ・インタコネ

クトは同じロウに位置するMegaLAB間の信号を接続し、カラム・インタコネクトは同じカラムのMegaLAB間の信号を接続します。ロウおよびカラム・インタコネクトを使用することにより、LE、IOEまたはESBからデバイス内の任意のLE、IOEまたはESBをドライブすることができます。図9を参照してください。

図9 APEX 20Kの配線構造



ロウ・ラインは、同じロウに位置するLE、IOE、またはESBからダイレクトにドライブすることができます。さらに、カラム・ラインはロウ・ラインをドライブすることができるため、LE、IOEまたはESBからカラム・インタコネクトとロウ・インタコネクトを通じて異なるロウに位置する各エレメントをドライブすることができます。ロウ・インタコネクトが特定のMegaLAB内にあるLE、IOEまたはESBをドライブするときは、MegaLABインタコネクトを通じてドライブします。

カラム・ラインは、同じカラムに位置するLE、IOE、またはESBからダイレクトにドライブすることができます。デバイス内の左端と右端に位置するカラム・ラインは、ロウIOEからもドライブできます。カラム・ラインはあるロウ・ラインから別のロウ・ラインに信号を接続するときにも使用されます。カラム・ラインはロウ・ラインをドライブすることができ、MegaLABインタコネクトもダイレクトにドライブできるようになっているため、ロウ間的高速配線が実現されます。

図10は、FastTrackインタコネクトがMegaLAB内のLEをドライブするときに、ローカル・インタコネクトがどのように使用されるかを示したものです。

図10 FastTrackとローカル・インタコネクトとの接続

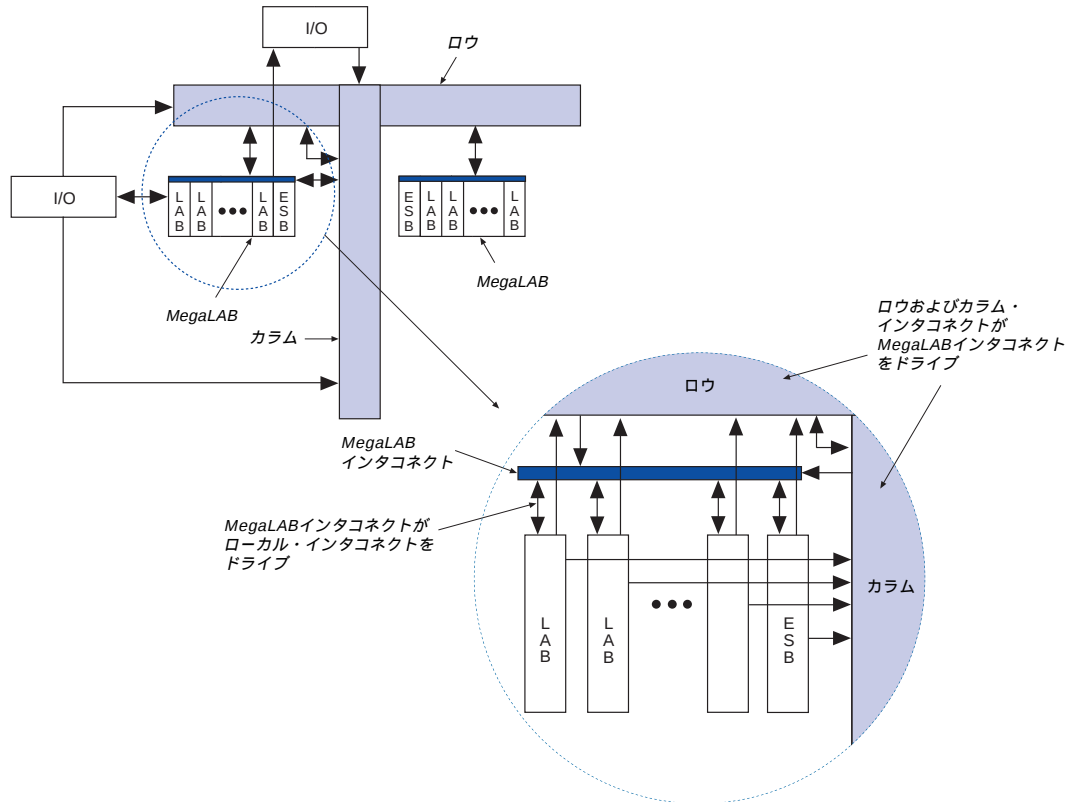
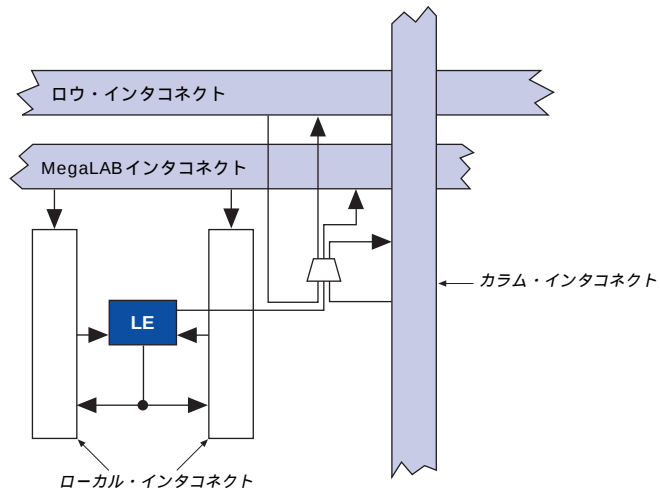


図11はロウ・インタコネクとカラム・インタコネクが交差する領域を示したもので、各配線リソースとLEがどのように接続されるかが示されています。

図11 FastTrackインタコネクのドライブ



APEX 20KEデバイスには、大きなファン・アウトを持つ入力信号をより高速で配線することができる特別な配線構造が採用されています。APEX 20KEデバイスのカラムI/Oピンは、信号をMegaLABインタコネクを経由せずにローカル・インタコネクをダイレクトにドライブすることができるFastRowインタコネクと接続できます。FastRowインタコネクは、2個のMegaLABをドライブします。これらのピンはローカル・インタコネクをダイレクトにドライブできるため、高速のセットアップ・タイムが実現されます。図12は、FastRowインタコネクの構造を示したものです。

図12 FastRowインタコネクト

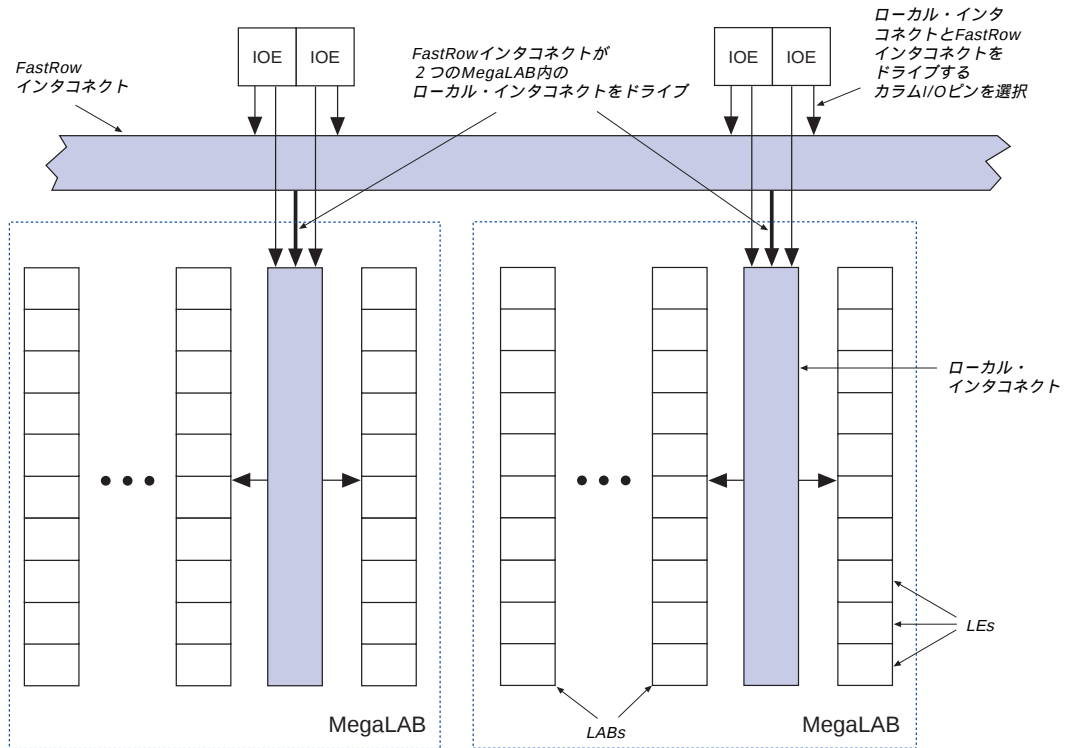


表 8 は、APEX 20Kアーキテクチャの各エレメントが他のエレメントとどのように接続できるかをまとめたものです。

表 8 APEX 20Kデバイス内での配線方法

ソース	ディストネーション								
	ロウ I/Oピン	カラム I/Oピン	LE	ESB	ローカル・インタコネクト	MegaLABインタコネクト	ロウ FastTrackインタコネクト	カラム FastTrackインタコネクト	FastRowインタコネクト
ロウ I/Oピン					✓	✓	✓	✓	
カラム I/Oピン					✓ (1)			✓	✓ (1)
LE					✓	✓	✓	✓	
ESB					✓	✓	✓	✓	
ローカル・インタコネクト	✓	✓	✓	✓					
MegaLABインタコネクト					✓				
ロウ FastTrackインタコネクト						✓		✓	
カラム FastTrackインタコネクト						✓	✓		
FastRowインタコネクト					✓ (1)				

注：

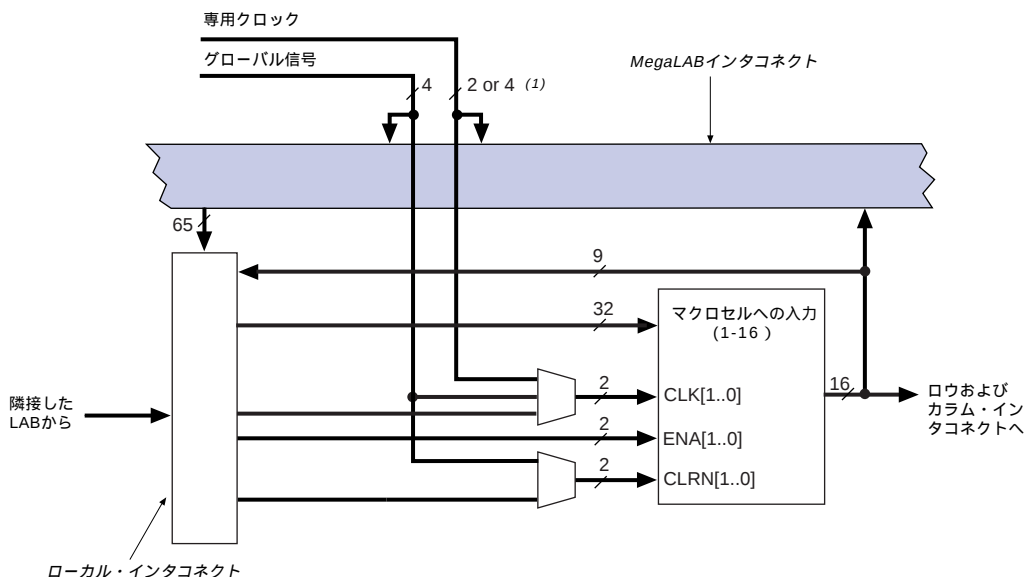
(1) この接続はAPEX 20KEデバイスでのみサポートされます。

プロダクト・ターム・ロジック

MultiCoreアーキテクチャのプロダクト・タームは、ESBによって実現されます。ESBはマクロセルのブロックとして動作するようにコンフィギュレーションすることができ、この設定は各ESBごとに個別に行うことができます。各ESBには隣接するローカル・インタコネクトから32本の入力信号が与えられるようになっているため、MegaLABインタコネクトまたは隣接したLABからもESBをドライブすることができます。また、ESBのマクロセルから9本の出力信号がローカル・インタコネクトを通じてフィードバックされるようになっており、高い性能を実現することができます。クロック専用ピン、グローバル信号、ローカル・インタコネクトからの追加入力は、ESBのコントロール信号をドライブすることができます。

プロダクト・ターム・モードでは、各ESBに16個のマクロセルが構成されます。各マクロセルは、2本のプロダクト・タームと1個のプログラマブル・レジスタで構成されます。図13はプロダクト・ターム・モードのESBを示したものです。

図13 プロダクト・ターム・モードのときのESB



注：

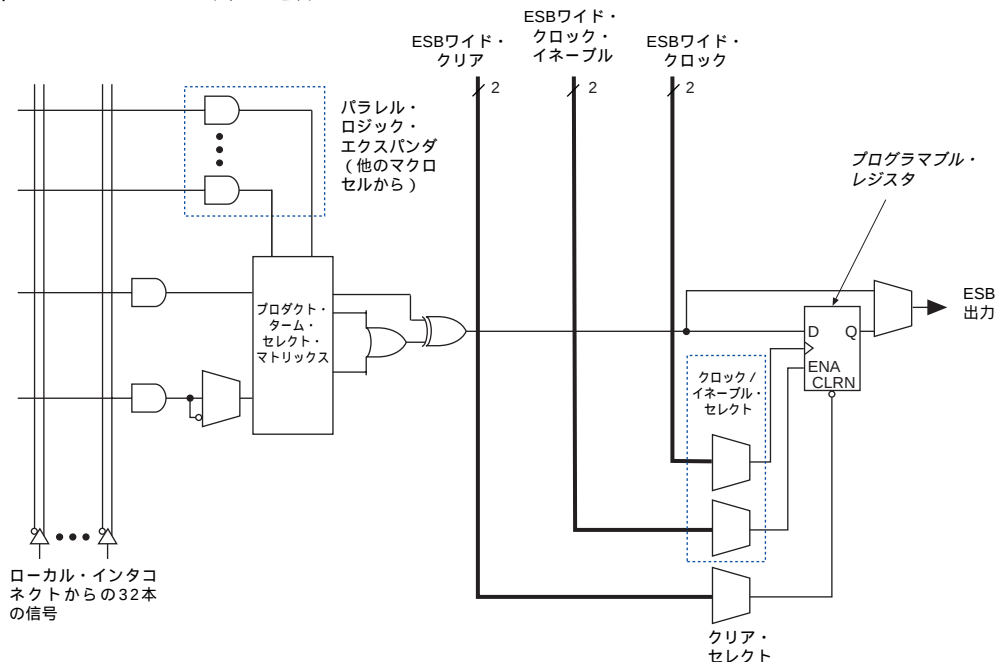
(1) APEX 20KEデバイスには、4本の専用クロックが提供されます。

マクロセル

APEX 20Kのマクロセルは、シーケンシャル回路または組み合わせ回路の動作を行うように個別にコンフィギュレーションすることができます。マクロセルは、ロジック・アレイ、プロダクト・ターム・セレクト・マトリックス、そしてプログラマブル・レジスタの3つのファンクショナル・ブロックで構成されています。

組み合わせ回路のロジックは、プロダクト・タームで実現されます。プロダクト・ターム・セレクト・マトリックスは、組み合わせ回路を実現するときにプロダクト・タームをORゲートまたはXORゲートの入力にするか、他のマクロセルのロジック・リソースを増加させるためのエクスパンドとして使用するかを選択します。1本のプロダクト・タームには極性反転の機能が提供されており、Quartusソフトウェアはこの機能を使用してドモルガンの極性反転を実行して、多入力のORファンクションをより効率的に実現します。Quartusのコンパイラは、NOTゲートによる極性反転機能を使用して非同期プリセットと同等の機能を実現します。図14はAPEX 20Kのマクロセル構造を示したものです。

図14 APEX 20Kのマクロセル



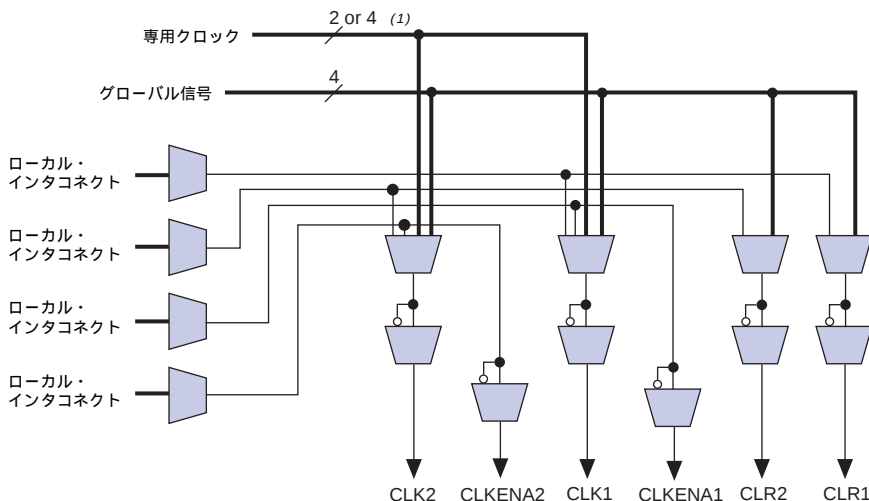
レジスタ付きのファンクションを実現するときは、各マクロセルのレジスタをプログラマブルなクロック・コントロール付きのD、T、JK、SRタイプの動作を行うように個別にプログラムすることができます。組み合わせ回路の動作を行わせるときは、このレジスタをバイパスすることができます。デザインの入力時に、ユーザが要求されるレジスタのタイプを指定することができ、Quartusソフトウェアに各レジスタ・ファンクションに対してリソースの使用効率が最適化されるもっとも効率的なレジスタの動作を選択させることもできます。Quartusソフトウェアまたは他社の合成ツールも、HDLのデザインを合成するときにもっとも効率的となるレジスタ動作を自動的に選択します。

各プログラマブル・レジスタには、ESB全体をカバーする2本のクロックのうちのいずれか1本を使用することができます。このESBワイド・クロックは、デバイスのクロック専用ピン、グローバル信号、またはローカル・インタコネクトから供給できます。また、各クロックには、これと関連するローカル・インタコネクトから供給される1本のクロック・イネーブル信号が提供されます。クロックとクロック・イネーブル信号は特定のESB内でセットで使用されるようになっており、マクロセルであるクロック信号が使用されている場合は、このクロックと関連しているクロック・イネーブルが使用されます。

ESB内でクロック信号の立ち上がりエッジと立ち下がりエッジの双方が使用される場合は、提供されている2本のESBワイド・クロックの双方が使用されることになります。

プログラマブル・レジスタは、非同期クリアの機能もサポートします。ESB内では、グローバル信号とローカル・インタコネクトから、計2本の非同期クリア信号が提供されます。各マクロセルでは、これら2本の非同期クリア信号のいずれか1本を選択することができ、クリア機能のない構造に設定することもできます。また、ESBでは、2本のクリア信号のいずれか1本を極性反転させて使用することもできます。図15は、ESBにプロダクト・タームを構成したときに提供されるコントロール・ロジックを示したものです。

図15 プロダクト・ターム・モードのESBに提供されるコントロール・ロジック



注：

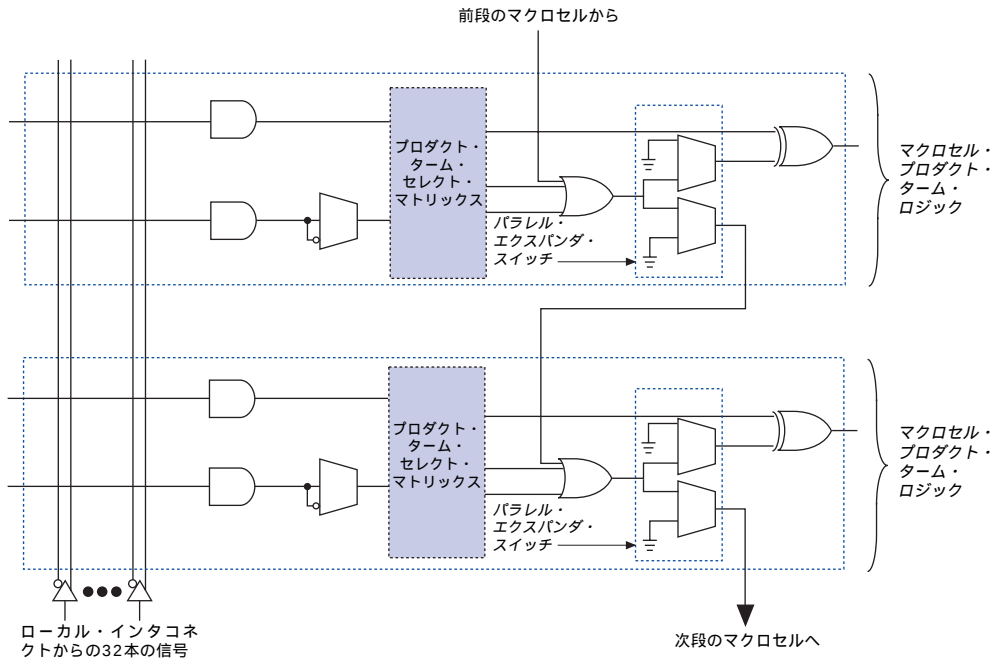
(1) APEX 20KEデバイスには、4本の専用クロックが提供されます。

パラレル・エクスパンダ

パラレル・エクスパンダは、高速で複雑なロジック・ファンクションを実現する場合に、各マクロセルで未使用のプロダクト・タームを隣接したマクロセルに分配できるようにしたものです。パラレル・エクスパンダを使用することによって、ESB内の隣接したマクロセルからの30本のパラレル・エクスパンダと、そのマクロセルが持つ2本の計32本のプロダクト・タームをORロジックにダイレクトに入力することができます。

Quartusのコンパイラは2本までのパラレル・エクスパンダを1セットとし、最大15セットまでをマクロセルに自動的に割り当てることができます。この2本のパラレル・エクスパンダが使用されるごとに、小さな追加タイミング遅延が発生します。図16はAPEX 20Kのパラレル・エクスパンダを示したものです。

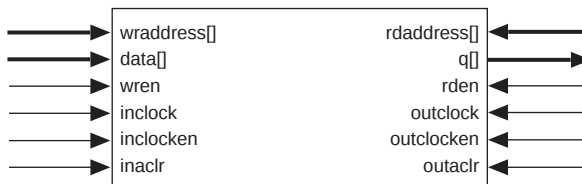
図16 APEX 20Kの平行・エクスパンダ



エンベデッド・システム・ブロック

ESBには、デュアル・ポートRAM、ROM、FIFO、CAMを含む多様なメモリ・ブロックを構成することができます。ESBには入力レジスタと出力レジスタが含まれています。入力レジスタはライト動作に同期し、出力レジスタはシステム性能の改善を実現するデザインのパイプライン化が可能になっています。ESBは、リードとライトの動作を異なるクロック周波数で同時に実行できるデュアル・ポート・モードをサポートしています。図17は、ESBの信号を示したブロック図です。

図17 ESBのブロック図



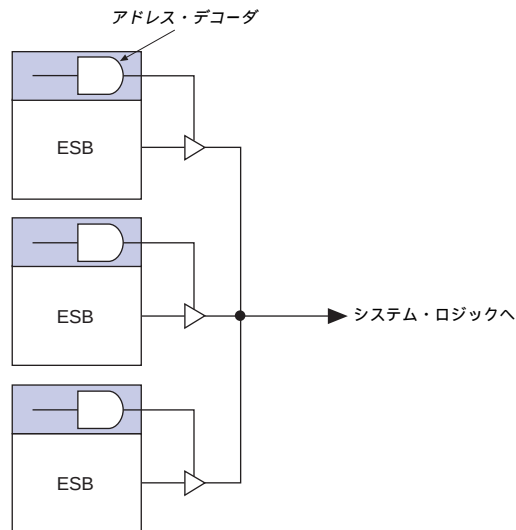
ESBには同期型のRAMも実現することができ、同期型のRAMは非同期型のRAMよりも簡単に構成することができます。非同期型のRAMを使用する回路ではRAMライト・イネーブル信号（WE）を生成する必要があり、データとアドレスの信号はこのWEに対して規定されるホールド・タイムとセットアップ・タイムの規格を守る必要があります。これに対して、ESBに同期型のRAMを実現した場合は、RAMが自分自身のWEを生成し、対応するグローバル・クロックに対してタイミングがとられます。このようなセルフ・タイミング機能を持つESBの同期型RAMでは、コントロールされる必要のあるタイミングは、グローバル・クロックに対して規定させるセットアップ・タイムとホールド・タイムのみとなります。

ESBの入力は隣接するローカル・インタコネクトからドライブすることができ、このローカル・インタコネクトはMegaLABインタコネクトまたはFastTrackインタコネクトからドライブできるようになっています。ESBはローカル・インタコネクトからドライブできるようになっているため、隣接するLEからESBをダイレクトにドライブして、高速のアクセスを実現することができます。ESBの出力はMegaLABインタコネクトとFastTrackインタコネクトをドライブします。また、ESBの10本の出力のうち9本は独立した出力ラインとなっており、これらの出力は、隣接するLEとの高速配線やプロダクト・ターム・モードにおける高速フィードバックを実現するときにローカル・インタコネクトをドライブします。

ESBにメモリを実現する場合は、各ESBのメモリ構成を 128×16 、 256×8 、 512×4 、 $1,024 \times 2$ 、または $2,048 \times 1$ のいずれかに任意に設定することができます。また、Quartusソフトウェアは複数のESBを接続して、さらに大容量のメモリを自動的に実現します。例えば、 128×16 構成のRAMを2個接続して 128×32 のRAMブロックを実現することができ、 512×4 構成のRAMを2個接続して 512×8 のRAMブロックを実現することができます。ESBのメモリ性能は、2,048ワードの深さまで低下することがありません。各ESBには2,048ワードの深さのメモリを構成することができるため、各ESBをパラレルに動作させることによって、外部にコントロール・ロジック回路を設ける必要性がなくなり、これらの回路による遅延時間を発生することもあります。

2,048ワードを超える深さの高速RAMブロックを構成する場合は、ESBの出力からトライ・ステート・ラインをドライブするようにします。そして、各トライ・ステート・ラインを同じカラムに配置されているMegaLAB内のすべてのESBと接続し、カラムFastTrackを通じてMegaLABインタコネクトとロウとカラムのFastTrackをドライブするようにします。各ESBはプログラマブル・デコーダを使用して対応するトライ・ステート・ドライバがアクティブになるようにします。例えば、8,192ワードの深さのメモリを構成するときは、4個のESBが使用されます。この場合は、11本のアドレス・ラインがESBメモリをドライブし、さらに2本がトライ・ステート・デコーダをドライブします。どの位置の2,048ワード分のメモリ・ページに相当するかに応じて、該当するESBのドライバがオンとなり、出力がトライ・ステート・ラインへドライブされます。Quartusソフトウェアは、このような深いサイズのメモリを構成するとき、複数のESBをトライ・ステート・ライン付きで自動的に接続します。内部のトライ・ステートをコントロールするロジックは、内部信号の競合やフローティング・ラインが発生しないように設計される必要があります。図18を参照してください。

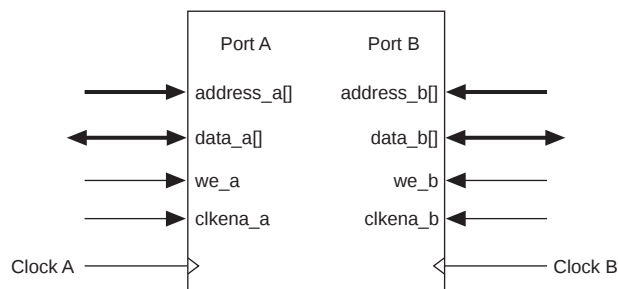
図18 複数のESBを接続して深いメモリを構成する方法



ESBには、リード/ライト・クロック・モードと、入力/出力クロック・モードの2種類のデュアル・ポート・メモリを実現することができます。また、ESBを使用して、2つのポートを使用してリードとライトの動作を同時に実行できる双方向のデュアル・ポート・メモリを構成することができます。このタイプのデュアル・ポート・メモリを実現するときは、2つのポートでリードまたはライトの同時動作をサポートするために2個のESBが使用されます。

また、図19に示される双方のポートでリードまたはライト動作が行えるデュアル・ポートRAMとなっているアルテラのメガファンクションを実現するときにもESBが使用できます。

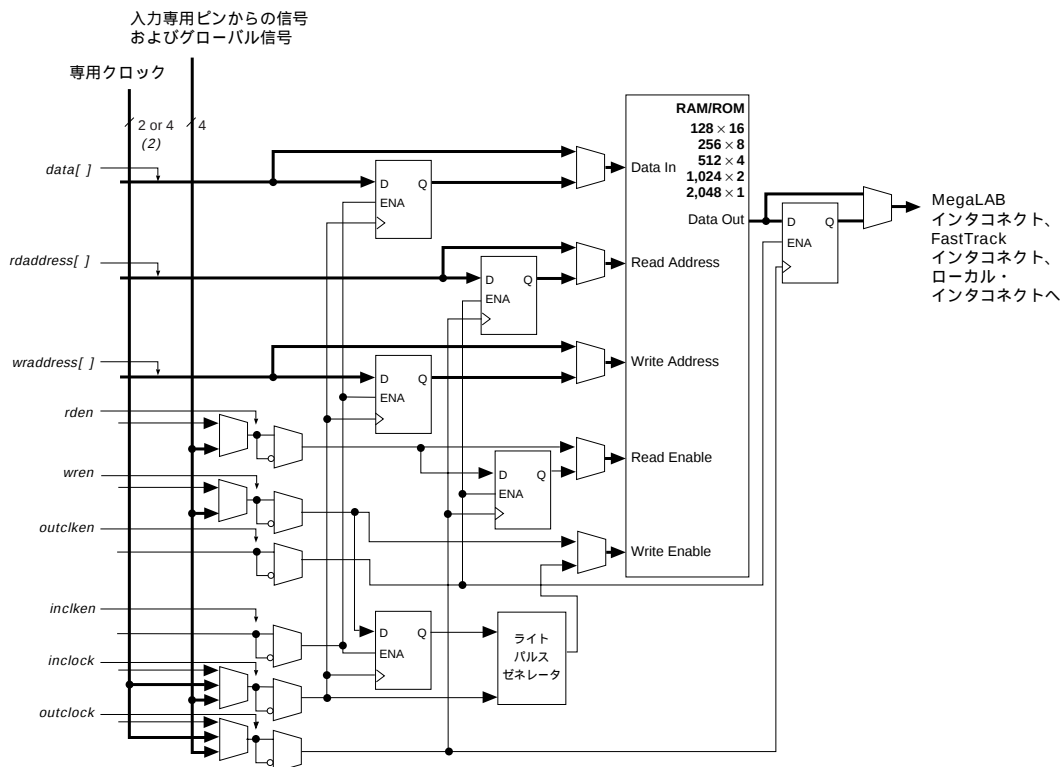
図19 デュアル・ポートRAMを実現したときのAPEX 20KのESB



リード/ライト・クロック・モード

リード/ライト・クロック・モードには、2本のクロックが使用されます。このうち1本のクロックは、ライト動作に関係するすべてのレジスタをコントロールし、データ入力、WE、ライト・アドレスの各レジスタに供給されます。もう1本のクロックはリード動作に関係するすべてのレジスタをコントロールし、リード・イネーブル (RE)、リード・アドレス、データ出力の各レジスタに供給されます。ESBはクロック・イネーブルと非同期クリアもサポートしており、これらの信号はリード・レジスタとライト・レジスタを個別にコントロールすることができます。リード/ライト・クロック・モードは、リードとライトの動作が異なるシステム周波数で発生するアプリケーションに対して共通に使用されます。図20はリード/ライト・クロック・モードになっているESBを示したものです。

図20 リード/ライト・クロック・モードのESB 注(1)



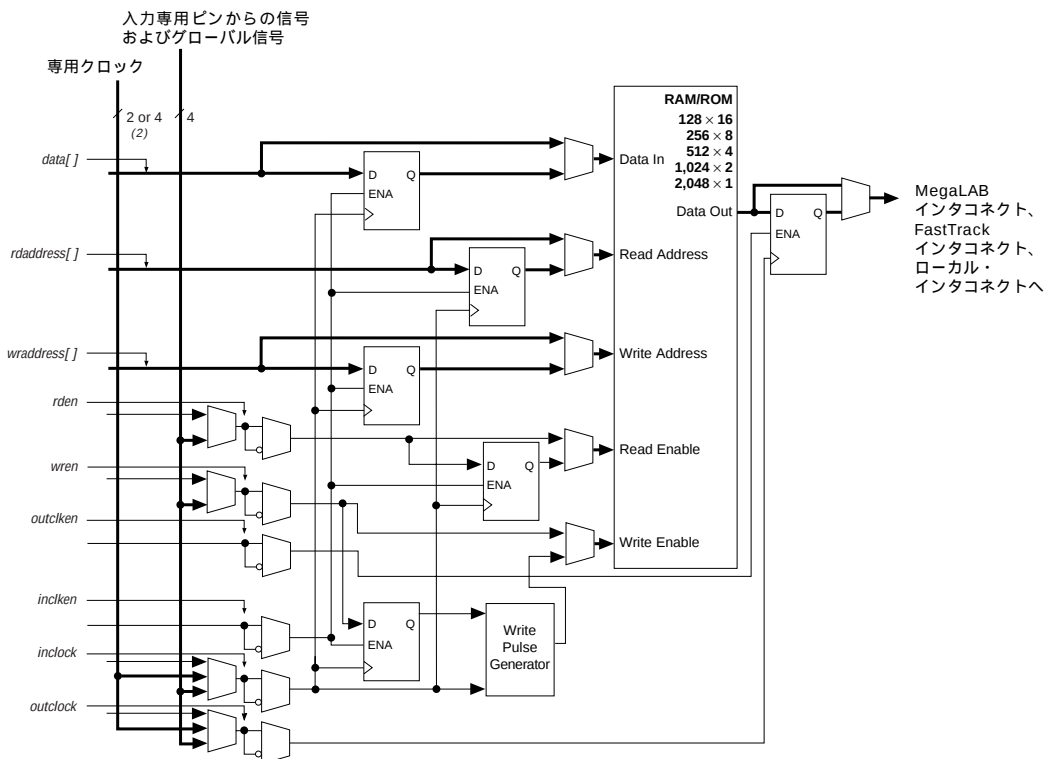
注：

- (1) ESBローカル・インタコネクト信号、グローバル信号、またはチップ・ワイドのリセット信号により、すべてのレジスタを非同期でクリアすることができます。
- (2) APEX 20KEデバイスには、4本の専用クロック信号が提供されています。

入力／出力クロック・モード

入力／出力クロック・モードにも2本のクロックが使用されます。1本のクロックはESBにデータを入力するためのすべてのレジスタをコントロールし、データ入力、WE、RE、リード・アドレス、ライト・アドレスの各レジスタに供給されます。もう1本のクロックはESBのデータ出力レジスタをコントロールします。このとき、ESBはクロック・イネーブルと非同期クリアもサポートしており、これらの信号はリード・レジスタとライト・レジスタを個別にコントロールすることができます。入力／出力クロック・モードは、リードとライトの動作が同じ周波数で発生するアプリケーションに共通に使用できますが、入力と出力のレジスタには異なるクロック・イネーブル信号が必要となります。図21は、入力／出力クロック・モードになっているESBを示したものです。

図21 入力／出力クロック・モードのESB 注(1)



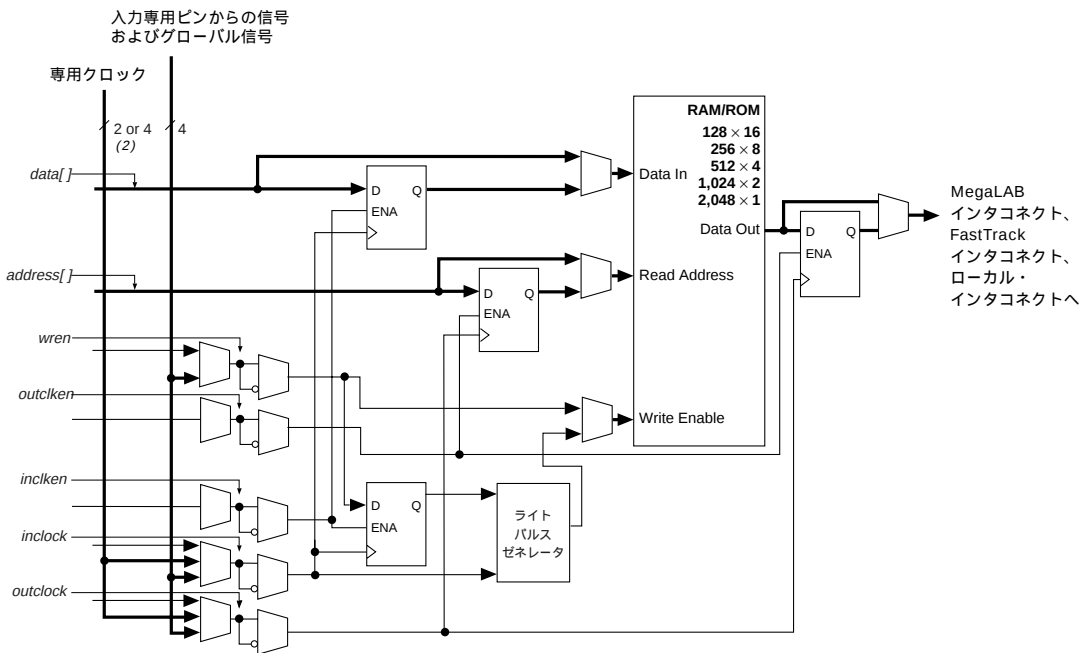
注：

- (1) ESBローカル・インタコネクト信号、グローバル信号、またはチップ・ワイドのリセット信号により、すべてのレジスタを非同期でクリアすることができます。
- (2) APEX 20KEデバイスには、4本の専用クロック信号が提供されています。

シングル・ポート・モード

APEX 20KのESBは、リードとライトの動作を同時に行う必要がないときに使用されるシングル・ポートのモードもサポートしています。図22を参照してください。

図22 シングル・ポート・モードのESB 注(1)



注：

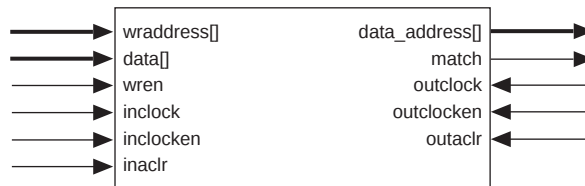
- (1) ESBローカル・インタコネクト信号、グローバル信号、またはチップ・ワイドのリセット信号により、すべてのレジスタを非同期でクリアすることができます。
- (2) APEX 20KEデバイスには、4本の専用クロック信号が提供されています。

CAM (Content-Addressable Memory)

APEX 20KEデバイスでは、ESBにCAMを実現することができます。CAMはRAMと反対の動作を行うと考えることができます。RAMは、リード動作において、与えられたアドレスに対するデータを入力します。CAMはこれと反対に、与えられたデータに対するアドレスを入力します。例えば、FA12のデータがアドレス14にストアされている場合は、FA12のデータが入力されると、14が出力されます。

CAMは高速サーチの動作に使用されます。RAMブロック内のデータをサーチする場合、サーチ動作がシリアルに実行されます。このため、特定のデータ・ワードを発見するためには、多くのサイクル数が必要となります。CAMはすべてのアドレスを平行にサーチして、特定のワードをストアしているアドレスを出力します。一致したアドレスが発見された場合には、「match-found」のフラグがHighにセットされます。図23はCAMの信号を示したブロック図です。

図23 APEX 20KEに実現されるCAMのブロック図



CAMはネットワーキング、コミュニケーション、データ圧縮、キャッシュ・マネージメントなどの高速サーチ動作が要求されるアプリケーションに使用できます。

APEX 20KEのオンチップCAMは、従来からあるディスクリート・タイプのCAMデバイスよりも高い性能を実現します。CAMとロジックをAPEX 20KEデバイス内に集積化することによって、オン・チップおよびオフ・チップの遅延時間が解消されるため、システム性能が改善されます。

CAMのモードでは、各ESBに32ワード×32ビットのCAMが構成されます。複数のCAMを接続し、LEに補助的なロジックを実現することによって、さらに深いCAMやデータ幅の広いCAMを構成することができます。Quartusソフトウェアは複数のESBとLEを接続して、さらに大容量のCAMを自動的に実現します。

CAMはメモリのワードに対する「ドント・ケア」ビットの書き込みをサポートしています。「ドント・ケア」ビットは、CAMの比較をマスキングするときに使用でき、「ドント・ケア」に設定されたビットがマッチングの動作に影響を与えることはありません。

CAMの出力はエンコードされたフォーマット、またはエンコードなしのいずれかに設定できます。出力がエンコードされる場合は、ESBがデータの位置をエンコードされたアドレスとして出力します。例えば、データがアドレス12にストアされているときは、ESBが12を出力します。エンコードされない出力の場合は、ESBが16本の出力を使用してデータの位置を2クロック・サイクルで示します。この場合、データがアドレス12にストアされているときには、12番目の出力がHighになります。エンコードなしの出力が使用される場合は、16ビット出力のバスを使用して32ワードの状態を示すため、出力の読み出しには2クロック・サイクルが必要になります。

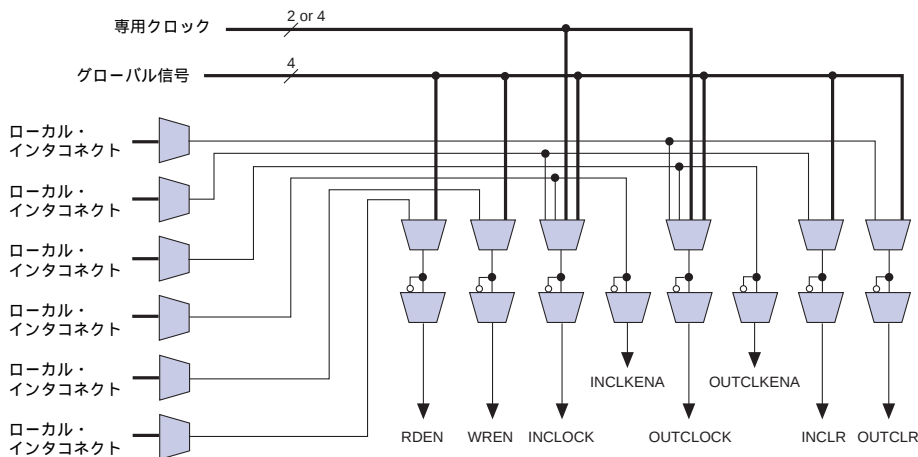
エンコードされた出力は、CAMに重複したデータが書き込まれないデザインに適しています。重複したデータが2個所に書き込まれると、CAMの出力は正しくなりません。CAMに重複したデータが書き込まれる可能性がある場合は、エンコードされない出力を使用するのが適当です。エンコードされていない出力を使用したCAMでは、複数のデータの位置を識別することができます。

CAMにはデータをコンフィギュレーション時にプリロードすることができます。ほとんどの場合、CAMの各ワードへの書き込みには2クロック・サイクルが必要です。「ドント・ケア」のビットを使用するときは、3番目のクロック・サイクルが必要になります。

ESBに対する信号のドライブ

ESBに対するコントロール信号のドライブには、柔軟性に富んだオプションが用意されています。まず、ESBの入力と出力には、異なるクロックが使用できます。データ入力、データ出力、リード・アドレス、ライト・アドレス、WE信号、RE信号には、それぞれ個別のレジスタを挿入することができます。また、グローバル信号とローカル・インタコネクトからの信号は、WEとREもドライブすることができます。グローバル信号、クロック専用ピンとローカル・インタコネクトからもESBのクロックをドライブすることができます。LEからローカル・インタコネクトをドライブすることができるため、LEでREとWE、ESBクロック、クロック・イネーブル、非同期のクリアの各信号をコントロールすることも可能です。図24はESBのコントロール信号を生成するロジックを示したものです。

図24 ESBコントロール信号の生成回路



注：

- (1) APEX 20KEデバイスには、4本のクロック専用ピンが提供されています。

ESBに対する入力、隣接するLEからドライブされるローカル・インタコネクタを通じて（ESBへの高速接続パス）、またはMegaLABインタコネクタから与えることができます。ESBの出力は、ローカル・インタコネクタ、MegaLABインタコネクタ、またはFastTrackインタコネクタの配線領域を通じて、同じMegaLAB内のLE、IOE、およびデバイス内の任意のLEとIOEをドライブすることができます。

ROMにロジックを実現する方法

ESBにはプロダクト・タームによるロジックだけでなく、コンフィギュレーション時にESBヘリッド・オンのパターンをプログラムしてひとつの大きなLUTを構成することによって、ロジックの機能を実現することもできます。LUTを使用した組み合わせ回路では、ロジックの出力が論理演算ではなくこのLUTにプログラムされたパターンによって決定されます。この方法によって実現される組み合わせ回路は通常のロジックを実現するアルゴリズムを使用した場合よりも高速となり、この高い性能はESBの提供する高速アクセス・タイムによってさらに強化されています。また、ESBの高い集積度により、複数のLEや分散型のRAMブロックを結合させた場合の配線遅延を発生させることなく、複雑なロジック・ファンクションを1段のロジック・レベルで実現することができます。LPMのようなパラメータ化されたファンクションは、ESBの利点を自動的に活用することができます。また、Quartusソフトウェアは、ESBの使用が適切となるデザイン部分をESBで実現できるようになっています。

プログラマブルなスピード / パワー・コントロール

APEX 20KのESBには、非常に高速な動作を各ESBごとにサポートする高速モードが提供されています。この高速モードの動作を必要としない場合は、この機能をオフにして、ESBの消費電力を50%まで低減することができます。ESBをロー・パワー・モードで動作させた場合には、一定の追加タイミング遅延が発生します。この動作モードの設定を行うTurbo Bit™のオプションは、プロダクト・ターム・モードまたはメモリ・ファンクションが実現されているESBに提供されます。使用されていないESBはパワー・ダウン状態となり、DC電流を消費することはありません。

APEX 20Kデバイス内の各ESBには、高速モードまたはロー・パワー・モードのいずれかをプログラムすることができます。このため、デザイン内でスピードがクリティカルとなる部分を高速モードで動作させ、残りのパスを低速で動作させて消費電力を低減させることができます。

I/Oの構造

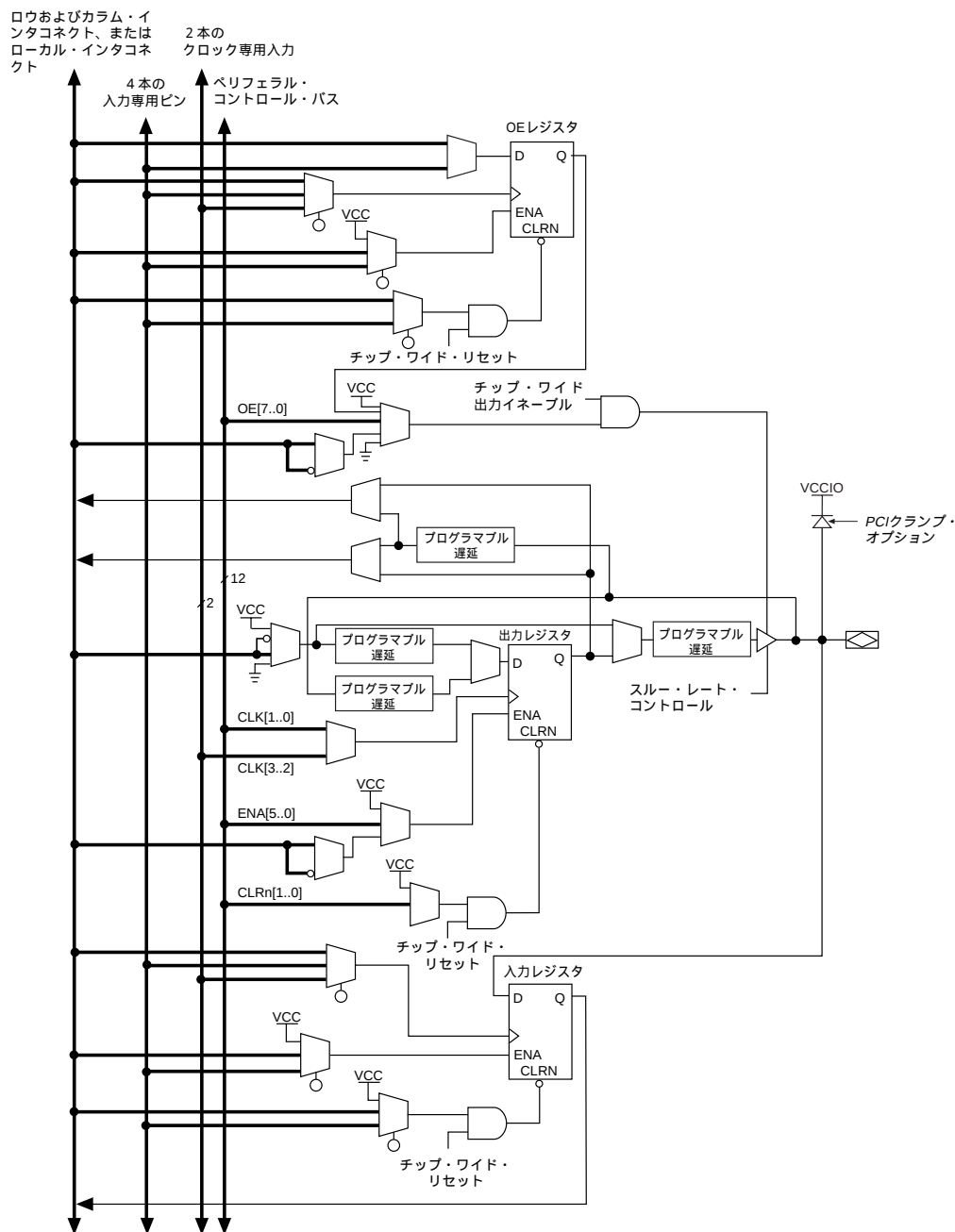
APEX 20KのI/Oエレメント（IOE）には、双方向のI/Oバッファとレジスタが各1個内蔵されています。このレジスタは、高速のセットアップ・タイムを必要とする外部データに対する入力レジスタとして、あるいは高速の「Clock-to-Output」遅延を必要とするデータに対する出力レジスタとして使用することができます。IOEは入力ピン、出力ピン、または双方向ピンとして使用することができます。Quartusのコンパイラはプログラマブルな極性反転オプションを使用して、ロウまたはカラム・インタコネクタからの

信号の極性を反転させます。APEX 20KのIOEでは、各ピンごとに1本の出力ネーブル信号が提供されるため、Quartusのコンパイラは効率的にオープン・ドレインの動作を実現させることができます。

APEX 20KのIOEには、0nsのホールド・タイムや最小の「Clock-to-Output」時間を確保するためのプログラマブルな遅延コントロール機能が内蔵されています。レジスタをダイレクトにドライブしているピンのパスに遅延が必要になったり、組み合わせ回路のロジックを通じてレジスタをドライブしているパスに遅延が不要になることがあります。Quartusのコンパイラは、これらの遅延コントロール機能を自動的に設定して0nsのホールド・タイムを確保しながら最小のセットアップ・タイムが実現されるようにします。図25は、APEX 20Kデバイスに双方向の高速I/Oがどのように実現されるかを示したものです。

APEX 20KのIOEに内蔵されているレジスタには、コンフィギュレーションの完了時に「パワー・アップHigh」（初期値がHigh）または「パワー・アップLow」（初期値がLow）のいずれかを設定することができます。レジスタを「パワー・アップLow」に設定した場合は、非同期クリア信号でレジスタをコントロールすることができます。また、「パワー・アップHigh」に設定された場合は、レジスタを非同期でクリアしたり、プリセットすることができなくなります。この機能は、APEX 20KデバイスがアクティブLowの入力または他のデバイスをコントロールしている場合に便利です。この機能を利用することによって、電源投入直後に意図しない入力が入力になることを防止できます。

図25 APEX 20Kの双方向I/Oレジスタ



APEX 20KEデバイスには、FastRowインタコネクトをドライブする強化されたIOEが実現されています。FastRowインタコネクトは、カラムI/Oピンと2つのMegaLAB内のLABローカル・インタコネクトをダイレクトに接続します。この機能は、PCIのデザインのような複雑なロジックの大きなファン・アウトを持つピンに対して、高速のセットアップ・タイムを実現します。APEX 20KEのIOEはオープン・ドレインの信号をダイレクトにサポートしており、オープン・ドレイン信号に対して、より高速の「Clock-to-Output」遅延を実現します。APEX 20KEのIOE内に内蔵されているプログラマブルな遅延コントロール機能はマルチ・レベルで遅延時間をコントロールすることができ、要求されるセットアップ・タイムやホールド・タイムのファイン・チューニングを行うことができます。Quartusのコンパイラはこれらの遅延コントロール機能を自動的に活用して0nsのホールド・タイムを維持しながらセットアップ・タイムが最小になるようにします。

APEX 20KEのIOEに内蔵されているレジスタには、コンフィギュレーションの完了後に「パワー・アップHigh」または「パワー・アップLow」にする設定を行うことができます。レジスタを「パワー・アップLow」に設定した場合は、非同期クリア信号でレジスタをコントロールすることができます。また、「パワー・アップHigh」に設定された場合は、非同期プリセット信号でレジスタをコントロールすることができます。図26は、APEX 20KEデバイスに実現された双方向の高速I/Oを示したものです。この機能は、APEX 20KデバイスがアクティブLowの入力信号または他のデバイスをコントロールしている場合に便利です。この機能を利用することによって、電源投入直後に意図しない入力が入力になることを防止できます。

各IOEを入力または双方向のピンとして使用した場合は、各IOEからロウとカラムのインタコネク、MegaLABまたはローカル・インタコネクをドライブします。ロウ側のIOEはローカル・インタコネク、MegaLABインタコネク、ロウとカラムのインタコネクをドライブすることができ、カラム側のIOEはカラム・インタコネクをドライブできます。図27はロウ側のIOEが各インタコネクとどのように接続されるかを示したものです。

図27 ロウ側のIOEと各インタコネクとの接続

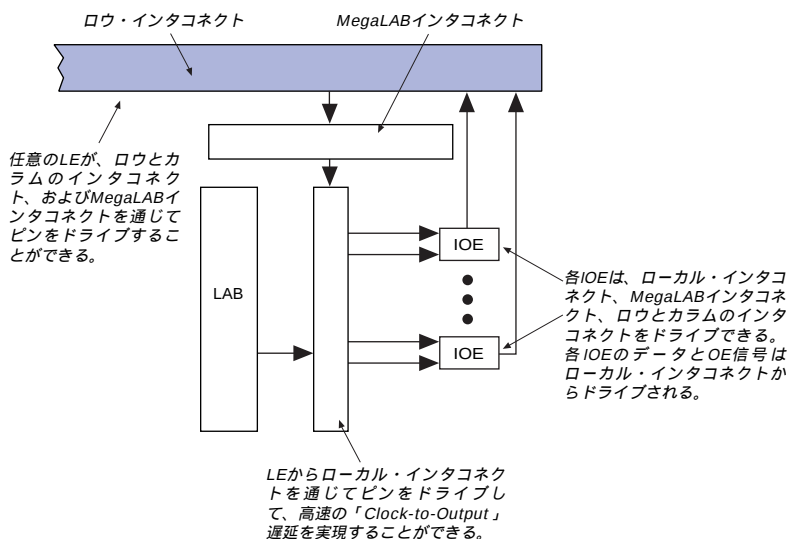
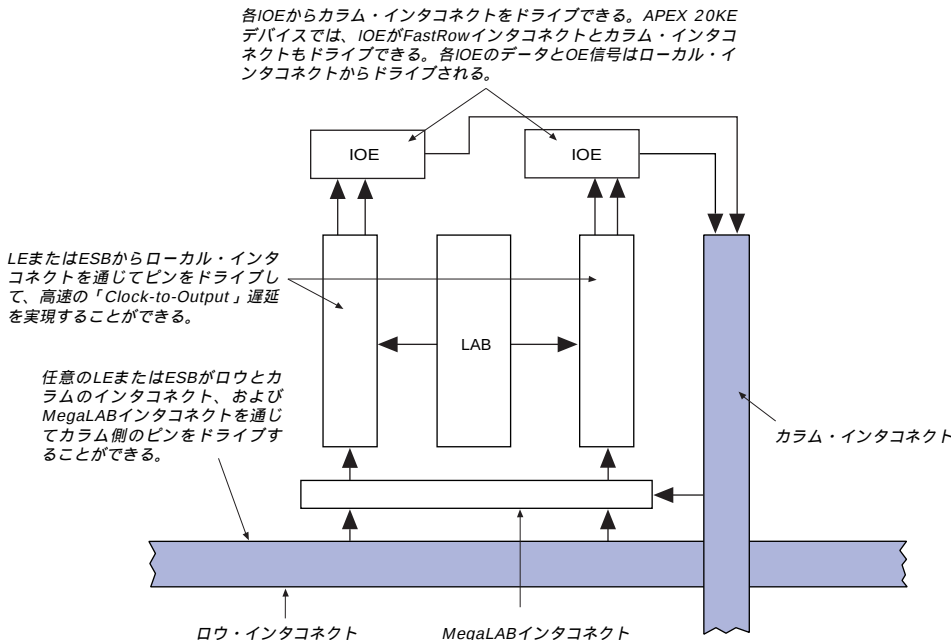


図28は、カラムIOEが各インタコネクとどのように接続されるかを示したものです。

図28 カラム側のIOEと各インタコネクととの接続



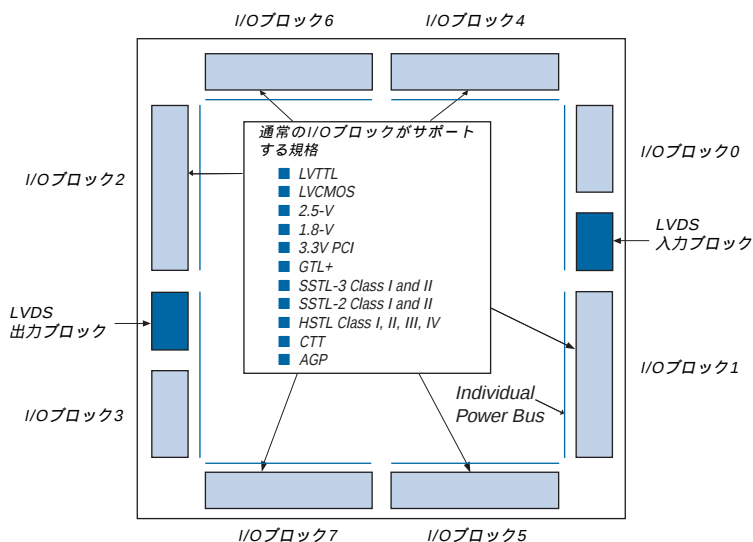
最新標準I/O規格のサポート

APEX 20KEのIOEは、LVTTTL、LVCMOS、1.8VのI/O、2.5VのI/O、3.3VのPCI、3.3VのAGP、LVDS、GTL+、CTT、SSTL-3のClass IおよびII、SSTL-2のClass IとII、HSTLのClass I、II、IIIをサポートしています。

APEX 20KEデバイスには、8個のI/Oブロックが内蔵されています。すべてのブロックは、LVDSを除くすべてのI/O標準規格をサポートします。そして、1ブロックがLVDSの入力を、別の1ブロックがLVDSの出力をサポートします。各I/Oブロックには個別にVCCIOピンが提供されています。1個のデバイスで1.8V、2.5V、および3.3Vのインタフェースをサポートすることができ、各ブロックごとに異なる標準規格を個別にサポートすることができます。各ブロックには、別個の V_{REF} レベルが使用できるため、各ブロックごとに任意のターミネーション付き標準規格（SSTL-3など）をサポートすることができます。EP20K300Eおよびこれよりも高集積のAPEX 20KEデバイスは、LVDSインタフェースのデータ・ピンをサポートしています（EP30K300Eより集積度の低いデバイスでは、LVDSのクロック・ピンがサポートされますが、データ・ピンはサポートされません）。

LVDS対応ブロックがLVDS信号に使用されるときは、同じVCCIOの電源バスに接続される隣接したI/Oブロックは3.3Vの入力ピンに使用されるようにする必要があります。ただし、通常の動作時にトグルしないClockLockのLOCK信号は例外として取り扱うことができます。LVDS対応ブロックがLVDSに使用されない場合、これらのブロックが他のすべての標準I/O規格をサポートします。図29はAPEX 20KEデバイスのI/Oブロックの配置を示したものです。

図29 APEX 20KEのI/Oブロック



電源のシーケンスと活線挿抜

APEX 20Kデバイスは複数の電源電圧がある環境で使用されることがあるため、可能性のある電源の投入シーケンスに対応できるように設計されています。したがって、 V_{CCIO} と V_{CCINT} の電源は任意の順番で投入することができます。

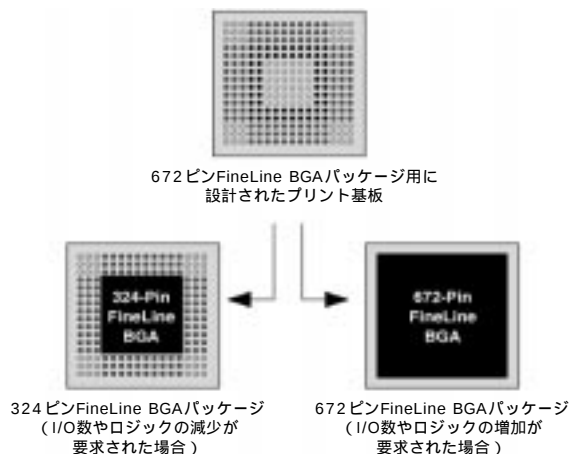
電源投入前および投入時に、デバイスにダメージを与えることなく、信号をAPEX 20Kデバイスに入力することができます。また、APEX 20Kデバイスは、電源の投入時に出力をドライブしません。デバイスが規定された動作条件に達し、コンフィギュレーションが完了すると、APEX 20Kデバイスはユーザが規定した動作を行います。

SameFrame ピン配置機能

APEX 20KデバイスはFineLine BGAパッケージによるSameFrameピン配置機能をサポートしています。このSameFrameピン配置機能では、ボール数の少ないFineLine BGAパッケージのボールが、ボール数の多いFineLine BGAパッケージと互換性を持つように配列されます。このSameFrameピン配置機能により、同一パッケージで集積度が異なるデバイスへの移行だけでなく、異なるパッケージ間でもデバイスの変更が可能になります。これによって、与えられた一定のプリント基板（PCB）レイアウトで、集積度とパッケージの異なる複数のデバイスの使用が可能になります。例えば、1種類のボード・レイアウトで、324ピンFineLine BGAパッケージのEP20K100から、672ピンFineLine BGAパッケージのEP20K400への移行が可能になります。

Quartusソフトウェアは、このSameFrameピン配置機能を使用したPCBのデザインをサポートしています。これによって、現在使用中のデバイスと将来使用するデバイスを指定することが可能になります。Quartusソフトウェアは、このマイグレーション機能の利点が活用できるボード・レイアウトとなるピン配置情報を生成します（図30を参照）。

図30 SameFrameピン配置機能の例



ClockLockとClockBoostの機能

APEX 20Kデバイスは、PLLを使用して実現されているClockLockとClockBoostの機能をサポートしています。ClockLockは、クロック信号をPLL回路に同期させ、デバイス内に分配されるクロックの遅延とスキューを低減します。この低減により、0nsのホールド・タイムを維持しながら、セットアップ・タイムと「Clock-to-Output」遅延を最小に抑えることができます。ClockBoostはクロック周波数の通倍機能を実現するもので、この機能を使用してデバイス内のリソースの共有化を実現し、エリア効率を改善することができます。また、ClockBoost回路を利用することによって、ボード上に低速のクロックを分配し、デバイス内部でこれを通倍して使用することができます。APEX 20Kデバイスには、ASICとは異なる高速のクロック・ツリーが内蔵されており、ユーザがクロック・ツリーを設計したり、最適化する必要はありません。APEX 20Kデバイスの高速クロックを実現するClockLockとClockBoostの機能は、システム性能と帯域幅の大幅な改善を実現します。

APEX 20KデバイスのClockLockとClockBoostの機能は、Quartusソフトウェアによってアクティブとなります。これらの機能を使用するときに、外部に特別なデバイスを接続する必要はありません。

通倍されたクロックと通倍されないクロックの双方を必要とするデザインでは、ボード上のクロックの配線パターンをGCLK1に接続します。表 9 はClockLockとClockBoost回路でサポートされるクロック周波数の通倍比の組み合わせを示したものです。GCLK1ピンからの入力APEX 20KデバイスのClockLockとClockBoostの双方と接続できます。ただし、双方の回路が使用された場合は、もう一方のクロック・ピン（GCLK0）を使用することはできません。

表 9 通倍比の組み合わせ

Clock 0	Clock 1
1 ×	2 ×
1 ×	4 ×
2 ×	4 ×

APEX 20KEのClockLock機能

APEX 20KEデバイスには、さらに強化されたClockLock機能が内蔵されています。これらのデバイスには最大4個までのPLL回路が提供されており、それぞれのPLL回路を独立に使用することができます。このうち2個は、汎用PLL回路またはLVDSインタフェースのいずれかに使用できる（LVDSのI/Oピンをサポートしているデバイスの場合）ように設計されています。残りの2個は、汎用のPLL回路として設計されています。EP20K200Eおよびこれより集積度の低いデバイスには2個のPLL回路が内蔵されており、EP20K300Eおよびこれより集積度の高いデバイスには4個のPLL回路が内蔵されています。

以下のセクションでは、APEX 20KEデバイスのPLL回路によって提供される機能を解説します。

PLLの外部フィードバック

ClockLock回路の出力信号をチップの外部に出力し、システム内にある他のデバイスのクロック・ピンをドライブすることができます。さらに、PLLのフィードバック・ループをデバイスの外部に接続することもできます。この機能を使用することによって、APEX 20KEデバイスとSDRAMのような他の高速デバイス間のI/Oインタフェースを精密にコントロールすることが可能になります。外部フィードバックを使用した場合は、出力周波数を逡倍することができます。また、これによって、クロックの逡延時間を調整する機能も提供されます。

クロックの逡倍機能

APEX 20KEデバイスのClockBoost回路は、クロック周波数の逡倍と分周をプログラマブルな数値で行うことができます。この場合、出力の周波数は、入力のクロック周波数に $m/(n \times k)$ を乗算した値となります。ここで、 m 、 n 、 k は、1から16までの値です。クロック周波数の逡倍および分周機能を使用することによって、時分割動作（Time-domain Multiplexing）のファンクションなどを実現し、デザインに使用されるLEの数を減少させることができます。

さらに、2個のPLL回路には、T1/E1変換をサポートした特別な回路も含まれています。テレコミュニケーションの標準規格であるT1とE1では、T1に1.544MHz、E1に2.048MHzのクロックが使用されます。これら2個のPLLはT1クロックからE1クロックへの変換、およびその逆の変換を行うことができます。

クロックの位相と逡延の調整

APEX 20KEデバイスに提供されているClockShift機能を使用することによって、クロックの位相と逡延の調整が可能になります。クロックの位相は90度単位で調整可能です。約2 nsまでのクロック逡延を0.5nsの分解能で増加または減少させることができます。

LVDSのサポート

2個のPLLは、LVDSインタフェースをサポートするために設計されています。LVDSが使用される場合は、I/Oクロックがデータ転送レートよりも低速のレートで動作します。このため、PLLを使用してI/Oクロックの周波数を内部で逡倍し、LVDSのデータ・レートに対応させることになります。例えば、400Mbits/secondのデータ・レートとなっているLVDSをサポートするときは、I/Oクロックを50MHzで動作させることができます。この場合、PLLはこの高速データ・レートをサポートするために入力クロックを8逡倍します。LVDSインタフェースはEP20K300E、およびそれより高集積のデバイスでサポートされています。

APEX 20KEのClockLock回路では、それぞれ独立したLOCK信号がサポートされています。ClockLock回路が入力クロックにロックしているとき、LOCK信号はHighレベルをドライブします。2本のLOCK信号は各ClockLock回路ごとにオプションとして使用することができ、これらが使用されていない場合は、I/Oピンとなります。

ClockLockとClockBoostのタイミング・パラメータ

ClockLockおよびClockBoostの回路を適切に動作させるためには、入力されるクロックが一定の要求を満たしている必要があります。入力クロックが要求される規格に適合していない場合には、これらの回路が入力クロックにロックせず、デバイス内で不適切なクロックが生成される可能性があります。ClockLockとClockBoostの回路によって生成されるクロックも一定の規格を満たしなればなりません。入力クロックがコンフィギュレーション時に要求される規格に適合していれば、ClockLockとClockBoostの回路はコンフィギュレーション時に入力クロックとロックします。そして、コンフィギュレーション完了後すぐに、これらの回路が使用可能となります。図31は入力クロックと生成クロックの規格に適用されるタイミング・パラメータを示したものです。

図31 入力クロックと生成クロックに適用されるタイミング・パラメータ

t_I のパラメータは入力クロックの標準期間、 t_O は出力クロックの標準期間として参照されています。

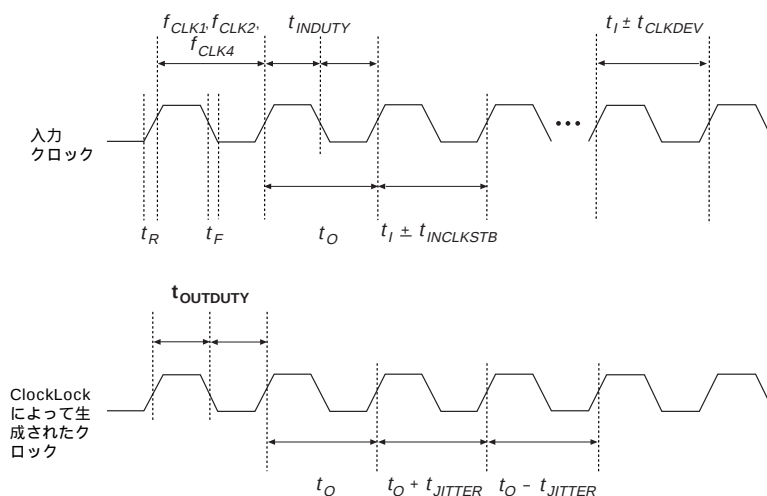


表10は、APEX 20Kデバイスに対するClockLockとClockBoost回路のタイミング・パラメータをまとめたものです。APEX 20KEデバイスに対する規格は、今後発行されるデータシートでリリースされる予定です。

表10 ClockLockとClockBoost回路のタイミング・パラメータ						
シンボル	パラメータ	条件	最小	標準	最大	単位
t_R	入力立ち上がり時間				5	ns
t_F	入力立ち下がり時間				5	ns
t_{INDUTY}	入力のデューティ・サイクル		40		60	%
f_{CLK1}	入力クロック周波数 (ClockBoostの通倍比が1のとき)		25		133	MHz
f_{CLK2}	入力クロック周波数 (ClockBoostの通倍比が2のとき)		20		66	MHz
f_{CLKDEV}	Quartusソフトウェア内でのユーザ規定入力周波数偏差 (ClockBoostの通倍比が1のとき) 注(1)				25,000 (2)	PPM
f_{CLK4}	入力クロック周波数 (ClockBoostの通倍比が4のとき)		15		33	MHz
$t_{INCLKSTB}$	入力クロック安定度 (隣接クロック間で測定)				100	ps
t_{LOCK}	ClockLockとClockBoostの回路がロックするまでに必要な時間 注(3)				10	μs
t_{JITTER}	ClockLockまたはClockBoost回路による生成クロックのジッタ 注(4)	$t_{INCLKSTB} < 100$			250	ps
		$t_{INCLKSTB} < 50$			200 (4)	ps
$t_{OUTDUTY}$	ClockLockまたはClockBoost回路による生成クロックのデューティ・サイクル		40	50	60	%

表中の注：

- (1) QuartusソフトウェアでClockLockとClockBoostの回路を実現する場合は、ユーザが入力周波数を規定する必要があります。Quartusソフトウェアは、ClockLockとClockBoostの回路のPLLをこの周波数にチューニングします。 f_{CLKDEV} のパラメータは、デバイスの動作中に規定した入力周波数がどの程度変動するかを規定したものです。
- (2) 25,000PPM (Parts Per Million) は入力クロック期間の2.5%に相当します。
- (3) デバイスのコンフィギュレーション時にClockLockとClockBoostの回路はデバイスの他の部分よりも先にコンフィギュレーションされます。コンフィギュレーション時に入力クロックが供給された場合は、 t_{LOCK} の値がデバイス全体のコンフィギュレーションに要する時間よりも短いため、コンフィギュレーションの実行中にClockLockとClockBoostの回路が入力クロックにロックします。
- (4) t_{JITTER} の規格は、長時間にわたる観測で測定されています。 $t_{INCLKSTB}$ が50ps以下であればこの最大値は200psです。

SignalTap エンベデッド・ ロジック・ アナライザ

APEX 20Kデバイスには、SignalTapと呼ばれるエンベデッド・ロジック・アナライザをサポートする機能が内蔵されています。この機能を内蔵させることによって、IEEE Std. 1149.1 (JTAG) 回路を通じてデバイス内部の任意のレジスタをモニタすることが可能になっています。このため、内部信号をI/Oピンに出力させることなく、内部のロジックの状態を実際のスピードで解析することができます。この機能はFineLine BGAパッケージのような最先端パッケージを使用するデザインで特に重要となります。これは、ボードのデザインと組立て後のデバッグ工程でモニタするピンに対する接続を追加することが困難になるためです。

IEEE Std. 1149.1 (JTAG) バウンダリ・ スキャンの サポート

APEX 20Kファミリのすべてのデバイスは、IEEE Std. 1149.1-1990の標準規格に準拠したJTAG BSTをサポートしています。JTAGバウンダリ・スキャン・テストはコンフィギュレーションの前か後で実行できますが、コンフィギュレーションの期間中には実行できません。APEX 20KデバイスのJTAGポートは、Quartusソフトウェア、またはJamファイル(.jam)やJamバイト・コード・ファイル(.jbc) ファイルを採用したハードウェアによるコンフィギュレーションを実行するときにも使用されます。さらに、APEX 20KデバイスのJTAGポートは、SignalTapエンベデッド・ロジック・アナライザでデバイスのロジック動作をモニタするときにも使用されます。APEX 20Kデバイスは、表11に示されているJTAGインストラクションをサポートしています。

表11 APEX 20KデバイスがサポートするJTAGインストラクション	
JTAG インストラクション	内 容
SAMPLE/PRELOAD	動作中のデバイスのピンから信号を取り込んでテストすることができる。また、最初のデータ・パターンをデバイス・ピンに出力させることができる。これは、SignalTapエンベデッド・ロジック・アナライザによっても使用される。
EXTEST	出力ピンにテスト・パターンを強制的に与え、入力ピンのデータを取り込んでテスト結果を比較することによって外部回路との接続とボードレベルの配線がテストできる。
BYPASS	TDIピンとTDOピンの間に1ビットのバイパス・レジスタを配置し、デバイスに通常の動作をさせながらBSTデータが指定したデバイスをバイパスして隣接したデバイスに同期転送されるようにすることができる。
USERCODE	32ビットのUSERCODEレジスタを選択し、これをTDIとTDOのピン間に配置することによって、USERCODEがTDOにシリアルにシフト・アウトされるようにすることができる。
IDCODE	IDCODEレジスタを選択し、これをTDIとTDOのピン間に配置することによって、IDCODEがTDOにシリアルにシフト・アウトされるようにすることができる。
ICR関連 インストラクション	これらのインストラクションは、JTAGピンを使用してByteBlasterMVダウンロード・ケーブル、あるいはJamファイルまたはJamバイト・コード・ファイルを採用したエンベデッド・プロセッサからAPEX 20Kデバイスをコンフィギュレーションするときに使用される。
SignalTap関連 インストラクション	これらのインストラクションは、SignalTapエンベデッド・ロジック・アナライザでデバイス内部の動作をモニタするときに使用される。

APEX 20Kデバイスのインストラクション・レジスタの長さは、10ビットです。また、APEX 20KデバイスのUSERCODEレジスタの長さは32ビットです。表12と表13は、各APEX 20Kデバイスのバウンダリ・スキャン・レジスタの長さ>IDCODEを示したものです。

表12 APEX 20Kデバイスのバウンダリ・スキャン・レジスタの長さ

デバイス名	バウンダリ・スキャン・レジスタの長さ
EP20K60E	(1)
EP20K100	786
EP20K100E	(1)
EP20K160E	1,176
EP20K200	1,164
EP20K200E	(1)
EP20K300E	(1)
EP20K400	1,536
EP20K400E	1,536
EP20K600E	1,866
EP20K1000E	2,040
EP20K1500E	(1)

注：

- (1) これらのデバイスの最新情報については、日本アルテラの応用技術部へお問い合わせください。

表13 APEX 20Kデバイスの32ビット、IDCODE

デバイス名	IDCODE (32 ビット) 注(1)			
	バージョン (4ビット)	デバイス・コード (16 ビット)	製造メーカ・コード (11 ビット)	1 (1 ビット) (2)
EP20K60E	(3)	(3)	(3)	(3)
EP20K100	0000	0000 0100 0001 0110	000 0110 1110	1
EP20K100E	0000	1000 0001 0000 0000	000 0110 1110	1
EP20K160E	0000	1000 0001 0110 0000	000 0110 1110	1
EP20K200	0000	0000 1000 0011 0010	000 0110 1110	1
EP20K200E	0000	1000 0010 0000 0000	000 0110 1110	1
EP20K300E	0000	1000 0011 0000 0000	000 0110 1110	1
EP20K400	0000	0001 0110 0110 0100	000 0110 1110	1
EP20K400E	0000	1000 0100 0000 0000	000 0110 1110	1
EP20K600E	0000	1000 0110 0000 0000	000 0110 1110	1
EP20K1000E	0000	1001 0000 0000 0000	000 0110 1110	1
EP20K1500E	(3)	(3)	(3)	(3)

注：

- (1) 左側がMSB (Most Significant Bit) です。
 (2) IDCODEのLSB (Least Significant Bit) は常に1です。
 (3) これらのデバイスの最新情報については、日本アルテラの応用技術部へお問い合わせください。

図32は、JTAG信号に要求されるタイミングを示したものです。

図32 APEX 20KデバイスのJTAG信号タイミング

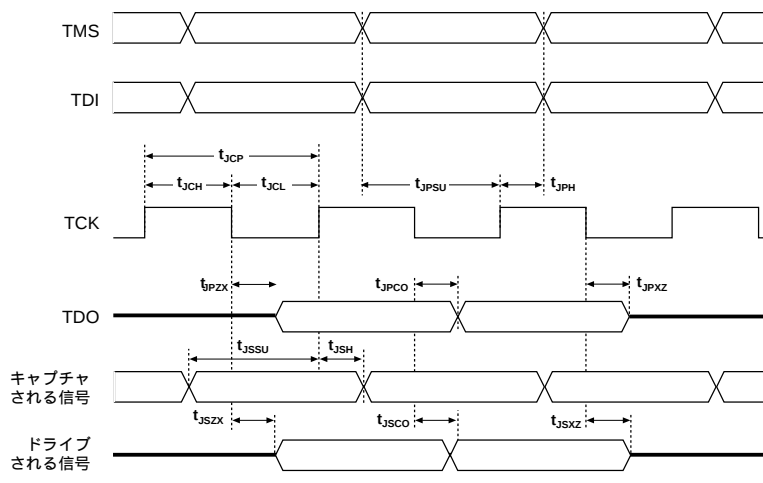


表14は、APEX 20Kデバイスに対するJTAG信号のタイミング・パラメータの規格をまとめたものです。

表14 APEX 20KデバイスのJTAG信号タイミング・パラメータ規格				
シンボル	パラメータ	最小	最大	単位
t_{JCP}	TCKクロックの期間	100		ns
t_{JCH}	TCKクロックのHigh時間	50		ns
t_{JCL}	TCKクロックのLow時間	50		ns
t_{JPSU}	JTAGポートのセットアップ・タイム	20		ns
t_{JPH}	JTAGポートのホールド・タイム	45		ns
t_{JPCO}	JTAGポートの「Clock-to-Output」遅延		25	ns
t_{JPZX}	JTAGポートのハイ・インピーダンスから有効出力まで		25	ns
t_{JPXZ}	JTAGポートの有効出力からハイ・インピーダンスまで		25	ns
t_{JSSU}	キャプチャ・レジスタのセットアップ・タイム	20		ns
t_{JSH}	キャプチャ・レジスタのホールド・タイム	45		ns
t_{JSCO}	アップデート・レジスタの「Clock-to-Output」遅延		35	ns
t_{JSZX}	アップデート・レジスタのハイ・インピーダンスから有効出力まで		35	ns
t_{JSXZ}	アップデート・レジスタの有効出力からハイ・インピーダンスまで		35	ns



詳細については、下記の資料をご覧ください。

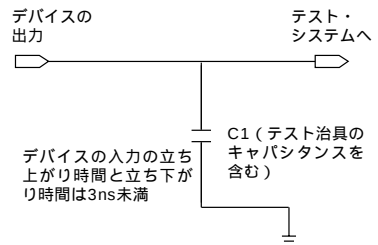
- アプリケーション・ノート、AN 39「IEEE Std. 1149.1 (JTAG) Boundary-Scan Testing in Altera Devices」
- Jam Programming & Test Language Specification

デバイスのテスト

APEX 20Kファミリの各デバイスにはファンクション・テストが実施されており、その動作が保証されています。コンフィギュレーションされる各SRAM(Static Random Access Memory)ビットとすべての論理機能は完全にテストされており、100%のコンフィギュレーションが保証されています。APEX 20KデバイスのACテストは、図33に等価な条件で行われています。デバイスのコンフィギュレーションとテストには、生産フローの中のあらゆる工程で複数のテスト・パターンが使用されています。

図33 APEX 20KデバイスのACテスト条件

電源のトランジェントがAC特性の測定に影響を及ぼすことがあります。正確な測定を行うため、複数の出力を同時に変化させることは避けてください。スレッショルドのテストはACの測定条件では行わないでください。デバイスの出力が負荷のキャパシタンスをディスチャージするときに、大振幅で高速なグラウンド電流のトランジェントが発生し、これらのトランジェントがグラウンド・ピンとテスト・システムのグラウンドとの間に存在する寄生インダクタンスに流れると、ノイズ・マージンが著しく低下します。



動作条件

表15から表18は、2.5V動作のAPEX 20Kデバイスの絶対最大定格、推奨動作条件、DC特性、キャパシタンスを示したものです。1.8V動作のAPEX 20KEデバイスの仕様については、日本アルテラへお問い合わせください。

表15 APEX 20Kデバイスの絶対最大定格 注(1)

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	供給電圧	グラウンドに対して (2)	- 0.5	3.6	V
V_{CCIO}			- 0.5	4.6	V
V_I			- 2.0	4.6	V
I_{OUT}	ピンあたりのDC出力電流		- 25	25	mA
T_{STG}	保存温度	バイアスなし	- 65	150	
T_{AMB}	周囲温度	バイアス時	- 65	135	
T_J	接合温度	PQFP、RQFP、TQFP、BGAパッケージのバイアス時		135	
		セラミックPGAパッケージのバイアス時		150	

表16 APEX 20Kデバイスの推奨動作条件

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックおよび入力バッファ用電源電圧	(3)、(4)	2.375 (2.375)	2.625 (2.625)	V
V_{CCIO}	3.3V動作の出力バッファ用電源電圧	(3)、(4)	3.00 (3.00)	3.60 (3.60)	V
	2.5V動作の出力バッファ用電源電圧	(3)、(4)	2.375 (2.375)	2.625 (2.625)	V
V_I	入力電圧	(5)	- 0.5	4.1	V
V_O	出力電圧		0	V_{CCIO}	V
T_J	動作接合温度	一般用	0	85	
		工業用	- 40	100	
t_R	入力立ち上がり時間			40	ns
t_F	入力立ち下がり時間			40	ns

表17 APEX 20KデバイスのDC特性 (1/2) 注(6)、(7)

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{IH}	LVTTL、CMOS、3.3V PCI の入力Highレベル電圧		1.7, $0.5 \times V_{CCIO}$ (8)		4.1	V
V_{IL}	LVTTL、CMOS、3.3V PCI の入力Lowレベル電圧		- 0.5		0.7, $0.3 \times V_{CCIO}$ (8)	V
V_{OH}	3.3V LVTTL出力Highレベル電圧	$I_{OH} = -12 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ (9)	2.4			V
	3.3V LVCMOS出力Highレベル電圧	$I_{OH} = -0.1 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ (9)	$V_{CCIO} - 0.2$			V
	3.3V PCI出力Highレベル電圧	$I_{OH} = -0.5 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ to } 3.60 \text{ V}$ (9)	$0.9 \times V_{CCIO}$			V
	2.5V出力Highレベル電圧	$I_{OH} = -0.1 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ (9)	2.1			V
		$I_{OH} = -1 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ (9)	2.0			V
		$I_{OH} = -2 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ (9)	1.7			V

表17 APEX 20KデバイスのDC特性 (2/2) 注(6)、(7)

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{OL}	3.3V LVTTTL出力Lowレベル電圧	$I_{OL} = 12 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V (10)}$			0.4	V
	3.3V LVCMOS出力Lowレベル電圧	$I_{OL} = 0.1 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V (10)}$			0.2	V
	3.3V PCI出力Lowレベル電圧	$I_{OL} = 1.5 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ to } 3.60 \text{ V (10)}$			$0.1 \times V_{CCIO}$	V
	2.5V出力Lowレベル電圧	$I_{OL} = 0.1 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V (10)}$			0.2	V
		$I_{OL} = 1 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V (10)}$			0.4	V
		$I_{OL} = 2 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V (10)}$			0.7	V
I_I	入力ピンのリーク電流	$V_I = 4.1 \text{ to } -0.5 \text{ V}$	- 10		10	μA
I_{OZ}	トライ・ステートI/Oピンのリーク電流	$V_O = 4.1 \text{ to } -0.5 \text{ V}$	- 10		10	μA
I_{CC0}	V_{CC} 供給電流 (スタンバイ時) (すべてのESBがパワー・ダウン・モードのとき)	$V_I = \text{ground}$ 、無負荷、入力ピンのトグルなしの条件。-1 スピード・グレードのデバイス		10		mA
		$V_I = \text{ground}$ 、無負荷、入力ピンのトグルなしの条件。-2 および-3スピード・グレードのデバイス		5		mA
R_{CONF}	コンフィギュレーションの実行前および実行時のI/Oピンのプルアップ抵抗値	$V_{CCIO} = 3.0 \text{ V (11)}$	20		50	$\text{k}\Omega$
		$V_{CCIO} = 2.375 \text{ V (11)}$	30		80	$\text{k}\Omega$

表18 APEX 20Kデバイスのキャパシタンス 注(12)

シンボル	パラメータ	条件	最小	最大	単位
C_{IN}	入力キャパシタンス	$V_{IN} = 0 \text{ V}$, $f = 1.0 \text{ MHz}$		8	pF
C_{INCLK}	クロック専用ピンの入力キャパシタンス	$V_{IN} = 0 \text{ V}$, $f = 1.0 \text{ MHz}$		12	pF
C_{OUT}	出力キャパシタンス	$V_{OUT} = 0 \text{ V}$, $f = 1.0 \text{ MHz}$		8	pF

表中の注：

- (1) 「*Operating Requirements for Altera Devices*」(日本語版「*アルテラ・デバイス使用上の注意*」)を参照してください。
- (2) 最小DC入力電圧は - 0.5Vです。入力電流が100mA未満で、20ns未満の幅の条件であれば、過渡状態の期間に - 2.0Vまでアンダシュート、または4.6Vまでオーバシュートしても構いません。
- (3) カッコ内の数値は、工業用温度範囲の製品のもです。
- (4) V_{CC} の最大立ち上がり時間は100msで、 V_{CC} の上昇率は一定になっている必要があります。
- (5) V_{CCINT} および V_{CCIO} の投入前でも、入力専用ピン、クロック専用ピン、I/Oピン、JTAGピンを含むすべてのピンをドライブすることができます。
- (6) 標準値は $T_A=25^\circ\text{C}$ 、 $V_{CCINT}=2.5\text{V}$ 、 $V_{CCIO}=2.5\text{V}$ または 3.3V の条件のときのものです。
- (7) これらの値は表16で示されているAPEX 20Kデバイスの推奨動作条件の中で規定されています。
- (8) APEX 20Kデバイスの入力バッファは、2.5Vおよび3.3V (LVTTTLおよびLVCMOS)の信号と互換性があります。また、 V_{CCIO} と V_{CCINT} が55ページの図34に示されている関係になっていれば、入力バッファが3.3VのPCIとも互換性を持つようになります。
- (9) I_{OH} のパラメータは、HighレベルTTL、PCI、CMOS出力電流として参照されます。
- (10) I_{OL} のパラメータは、LowレベルTTL、PCI、CMOS出力電流として参照されます。このパラメータは出力ピンおよびオープン・ドレインのピンに適用されます。
- (11) 外部ソースが V_{CCIO} よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗が低下します。
- (12) キャパシタンスの値はサンプル・テストのみによるものです。

図34は、3.3VのPCI仕様に準拠させるときの V_{CCIO} と V_{CCINT} の関係を示したものです。

図34 3.3VのPCI仕様に準拠させるときの V_{CCIO} と V_{CCINT} の関係

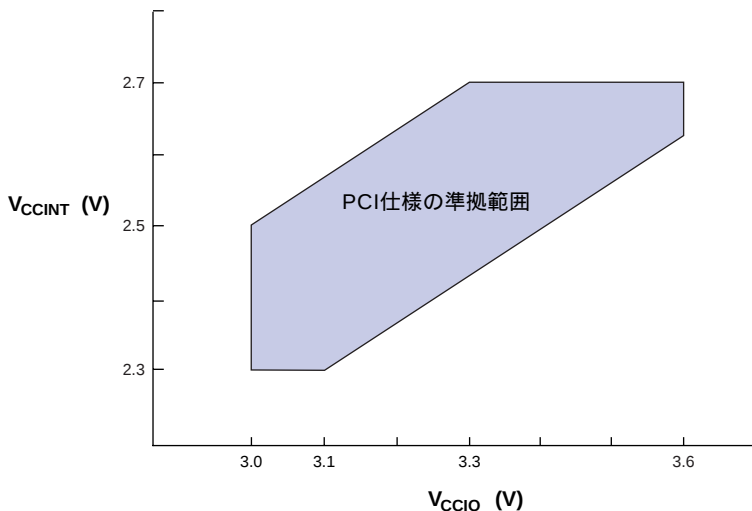
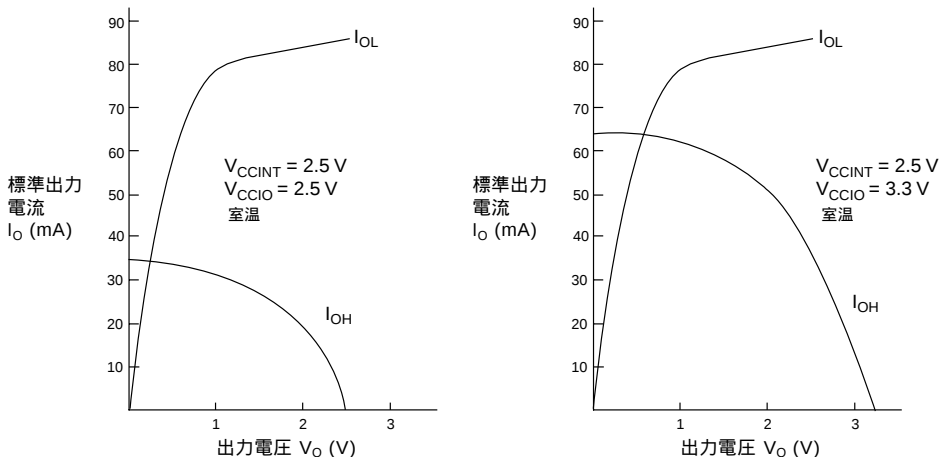


図35は、 V_{CCIO} が3.3Vおよび2.5VになっているときのAPEX 20Kデバイスの標準的な出力ドライブ特性を示したものです。出力ドライバは、*PCI Local Bus Specification, Revision 2.2*の3.3V動作仕様と互換性があります(V_{CCIO} ピンが3.3Vに接続されている場合)。

図35 APEX 20Kデバイスの出力ドライブ特性



タイミング・モデル

APEX 20Kデバイスでは、連続した高性能な配線リソースとなっているFastTrackインタコネクトとMegaLABインタコネクトによって、性能の予測、正確なシミュレーションとタイミング解析が確保されています。この予測可能な性能は、セグメント化された配線構造を使用しているために性能が予測不可能となるFPGAと大きく異なる点です。

表19と表20には、APEX 20Kデバイスの外部タイミング・パラメータが規定されています。

表19 APEX 20Kの外部タイミング・パラメータ 注(1)

シンボル	パラメータ	条件
t_{INSU}	IOEレジスタにおけるグローバル・クロックに対するセットアップ・タイム	
t_{INH}	IOEレジスタにおけるグローバル・クロックに対するホールド・タイム	
t_{OUTCO}	IOEレジスタにおけるグローバル・クロックによる「Clock-to-Output」遅延	

注：

(1) これらのタイミング・パラメータは、サンプル・テストのみとなります。

表20 双方向ピンの外部タイミング・パラメータ 注(1)

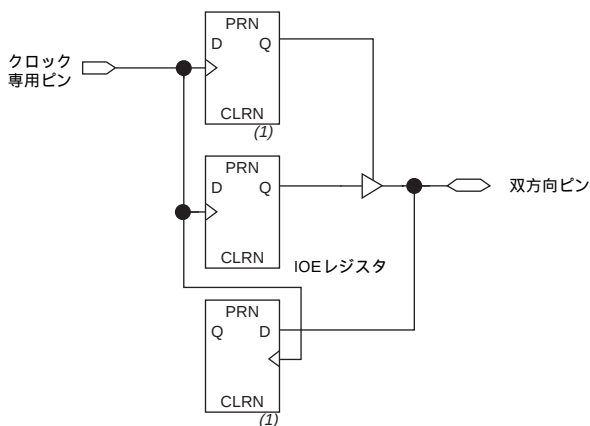
シンボル	パラメータ	条件
t _{INSUBIDIR}	同じロウまたは同じカラムのLEレジスタにおける双方向ピンからの信号のグローバル・クロックに対するセットアップ・タイム	
t _{INHBDIR}	同じロウまたは同じカラムのLEレジスタにおける双方向ピンからの信号のグローバル・クロックに対するホールド・タイム	
t _{OUTCOBIDIR}	IOEレジスタにおけるグローバル・クロックによる双方向ピンへの「Clock-to-Output」遅延	
t _{XZBIDIR}	IOE出力バッファの同期ディセーブル遅延	
t _{ZXBIDIR}	IOE出力バッファの同期イネーブル遅延 slow slew rate=off	

注：

(1) これらのタイミング・パラメータは、サンプル・テストのみとなります。

図36は双方向I/Oピンのタイミング・モデルを示したものです。

図36 同期動作を行う双方向ピンの外部タイミング・モデル



注：

(1) ここで出力イネーブルと入力に使用されるレジスタは双方向ピンに隣接しているLAB内のLEレジスタです。

表21から表26は、APEX 20KデバイスのI/Oタイミング・パラメータを示しています。

表21 EP20K100の外部タイミング・パラメータ

シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSU}} (1)$	2.1		2.5		3.0		ns
$t_{\text{INH}} (1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCO}} (1)$	2.0	4.0	2.0	4.1	2.0	5.5	ns
$t_{\text{INSU}} (2)$	2.1		2.5		3.0		ns
$t_{\text{INH}} (2)$	0.0		0.0		0.0		ns
$t_{\text{OUTCO}} (2)$	0.5	3.0	0.5	3.1	0.5	4.5	ns

表22 EP20K100の双方向ピン外部タイミング・パラメータ

シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSUBIDIR}} (1)$	1.1		1.5		2.2		ns
$t_{\text{INHBIDIR}} (1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCOBIDIR}} (1)$	2.0	4.0	2.0	4.1	2.0	5.5	ns
$t_{\text{XZBIDIR}} (1)$		4.8		5.8		6.8	ns
$t_{\text{ZXBIDIR}} (1)$		5.9		7.1		8.3	ns
$t_{\text{INSUBIDIR}} (2)$	1.1		1.5		2.2		ns
$t_{\text{INHBIDIR}} (2)$	0.0		0.0		0.0		ns
$t_{\text{OUTCOBIDIR}} (2)$	0.5	3.0	0.5	3.1	0.5	4.5	ns
$t_{\text{XZBIDIR}} (2)$		3.8		4.8		5.8	ns
$t_{\text{ZXBIDIR}} (2)$		4.9		6.1		7.3	ns

表23 EP20K200の外部タイミング・パラメータ

シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSU}} (1)$	2.1		2.5		3.0		ns
$t_{\text{INH}} (1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCO}} (1)$	2.0	4.0	2.0	4.1	2.0	5.5	ns
$t_{\text{INSU}} (2)$	2.1		2.5		3.0		ns
$t_{\text{INH}} (2)$	0.0		0.0		0.0		ns
$t_{\text{OUTCO}} (2)$	0.5	3.0	0.5	3.1	0.5	4.5	ns

表24 EP20K200の双方向ピン外部タイミング・パラメータ

シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSUBIDIR}} (1)$	1.2		1.5		2.1		ns
$t_{\text{INHBIDIR}} (1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCOBIDIR}} (1)$	2.0	4.0	2.0	4.1	2.0	5.5	ns
$t_{\text{XZBIDIR}} (1)$		4.8		5.8		6.8	ns
$t_{\text{ZXBIDIR}} (1)$		5.9		7.1		8.3	ns
$t_{\text{INSUBIDIR}} (2)$	1.2		1.5		2.1		ns
$t_{\text{INHBIDIR}} (2)$	0.0		0.0		0.0		ns
$t_{\text{OUTCOBIDIR}} (2)$	0.5	3.0	0.5	3.1	0.5	4.5	ns
$t_{\text{XZBIDIR}} (2)$		3.8		4.8		5.8	ns
$t_{\text{ZXBIDIR}} (2)$		4.9		6.1		7.3	ns

表25 EP20K400の外部タイミング・パラメータ

シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSU}} (1)$	2.1		2.5		3.0		ns
$t_{\text{INH}} (1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCO}} (1)$	2.0	4.0	2.0	4.1	2.0	5.5	ns
$t_{\text{INSU}} (2)$	2.1		2.5		3.0		ns
$t_{\text{INH}} (2)$	0.0		0.0		0.0		ns
$t_{\text{OUTCO}} (2)$	0.5	3.0	0.5	3.1	0.5	4.5	ns

表26 EP20K400の双方向ピン外部タイミング・パラメータ

シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSUBIDIR}} (1)$	1.2		1.5		1.8		ns
$t_{\text{INHIDIR}} (1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCOBIDIR}} (1)$	2.0	4.0	2.0	4.1	2.0	5.5	ns
$t_{\text{XZBIDIR}} (1)$		4.9		5.8		6.9	ns
$t_{\text{ZXBIDIR}} (1)$		6.0		7.1		8.4	ns
$t_{\text{INSUBIDIR}} (2)$	1.2		1.5		1.8		ns
$t_{\text{INHIDIR}} (2)$	0.0		0.0		0.0		ns
$t_{\text{OUTCOBIDIR}} (2)$	0.5	3.0	0.5	3.1	0.5	4.5	ns
$t_{\text{XZBIDIR}} (2)$		3.9		4.8		5.9	ns
$t_{\text{ZXBIDIR}} (2)$		5.0		6.1		7.4	ns

注：

(1) このパラメータはClockLockとClockBoostの回路を使用しない条件で測定されます。

(2) このパラメータはClockLockとClockBoostの回路を使用した条件で測定されます。

消費電力

APEX 20Kデバイスの消費電力に関する情報は、確定次第リリースされる予定です。

コンフィギュレーションと動作モード

APEX 20Kのアーキテクチャは数種類のコンフィギュレーション・モードをサポートしています。このセクションでは、デバイスの動作モードとサポートされているコンフィギュレーション・モードについて解説します。

動作モード

APEX 20KのアーキテクチャはSRAMのコンフィギュレーション・エレメントを使用しているため、回路に電源を投入して動作を開始するときに外部からコンフィギュレーション・データをデバイスのSRAMセルにロードする必要があります。デバイスのSRAMセルにデータをロードするプロセスは「コンフィギュレーション」と呼ばれます。デバイスはコンフィギュレーションの完了後にイニシャライズの動作に入って、レジスタをリセットし、I/Oピンをイネーブルにしてロジック・デバイスとしての動作を開始します。I/Oピンは、電源の投入時、およびコンフィギュレーションの実行前と実行中にトライ・ステートとなります。コンフィギュレーションとイニシャライズのプロセスは「コマンド・モード」と呼ばれ、通常のデバイス動作は「ユーザ・モード」と呼ばれます。

すべてのI/Oピンは、デバイス・コンフィギュレーションの実行前と実行時に内蔵されているウィーク・プルアップ抵抗によって、 V_{CCIO} にプルアップされます。

APEX 20KデバイスはSRAMのコンフィギュレーション・エレメントを使用しているため、デバイスに新しいコンフィギュレーション・データをロードすることによって、イン・サーキットでのリコンフィギュレーションを行うことができます。指定されたピンを使用してデバイスを強制的にコマンド・モードにし、別のコンフィギュレーション・データをロードした後でデバイスを再度イニシャライズしてユーザ・モードに復帰させることによって、リアル・タイムのリコンフィギュレーションを行うことができます。これにより、新しいコンフィギュレーション・ファイルを配布することでフィールドでのアップグレードを行うこともできます。

コンフィギュレーション・モード

APEX 20Kデバイスへのコンフィギュレーションは、表27に示されている 5 種類のコンフィギュレーション・モードのいずれかで行うことができ、ターゲットとなるアプリケーションに応じてもっとも適切なモードを選択することができます。APEX 20Kデバイスのコンフィギュレーションのコントロールには、EPC2コンフィギュレーション・デバイス、インテリジェント・コントローラ、またはJTAGポートを使用することができます。EPC2コンフィギュレーション・デバイスを使用した場合は、システムが電源投入時にコンフィギュレーションの動作を自動的に行うことができます。

複数のAPEX 20Kデバイスのコンフィギュレーション・イネーブル・ピン（nCE）とコンフィギュレーション出力ピン（nCEO）を共通に接続することによって、これらのデバイスを 5 種類のモードのいずれかでコンフィギュレーションすることができます。

表27 コンフィギュレーションのデータ・ソース	
コンフィギュレーション・モード	データのソース
コンフィギュレーション・デバイス	EPC2コンフィギュレーション・デバイス
パッシブ・シリアル（PS）	ByteBlasterMV、MasterBlasterダウンロード・ケーブル、またはシリアル・データ・ソース
パッシブ・パラレル非同期（PPA）	パラレル・データ・ソース
パッシブ・パラレル同期（PPS）	パラレル・データ・ソース
JTAG	ByteBlasterMV、MasterBlasterダウンロード・ケーブル、またはJamあるいはJBCファイルを使用したマイクロプロセッサ

デバイス・ ピン配置

表28は、144ピン TQFP、208ピン PQFP、240ピン PQFPパッケージのEP20K100デバイスにおけるピン名とピン番号を示したものです。

表28 EP20K100のピン配置 (1/2) 注(1)			
ピン名	144-Pin TQFP	208-Pin PQFP	240-Pin PQFP
MSEL0 (2)	18	25	29
MSEL1 (2)	19	26	30
NSTATUS (2)	57	82	92
NCONFIG (2)	22	29	33
DCLK (2)	93	132	152
CONF_DONE (2)	58	83	93
INIT_DONE (3)	121	178	206
nCE (2)	91	130	150
nCEO (2)	128	185	213
nWS (4)	103	145	164
nRS (4)	102	142	161
nCS (4)	101	141	160
CS (4)	98	138	157
RDYnBSY (4)	120	177	205
CLKUSR (4)	119	176	204
DATA7 (4)	104	146	166
DATA6 (4)	105	150	169
DATA5 (4)	109	157	181
DATA4 (4)	111	160	185
DATA3 (4)	112	163	189
DATA2 (4)	115	168	195
DATA1 (4)	117	173	200
DATA0 (2)、(5)	94	133	153
TDI (2)	90	129	149
TD0 (2)	123	180	208
TCK (2)	52	76	87
TMS (2)	51	75	86
TRST (2)	129	186	214
入力専用ピン	56, 53, 124, 127	81, 77, 181, 184	91, 88, 209, 212
LOCK (6)	80	119	138
GCLK1 (7)	92	131	151
GCLK0	20	27	31
DEV_CLRn (3)	97	137	156
DEV_OE (3)	84	124	143

表28 EP20K100のピン配置 (2/2) 注(1)

ピン名	144-Pin TQFP	208-Pin PQFP	204-Pin PQFP
VCCINT	125, 108, 86, 73, 55, 36, 21, 16, 1	182, 156, 126, 105, 79, 52, 28, 23, 1	1, 27, 32, 60, 90, 122, 145, 179, 210
VCCIO	144, 116, 89, 61, 28	136, 86, 80, 53, 8, 208, 189, 172	12, 45, 67, 97, 120, 148, 177, 199, 229
VCC_CKCLK (8)	85	125	144
GNDINT	126, 87, 77, 74, 54, 34, 17, 4	183, 143, 127, 118, 78, 39, 24, 16	19, 28, 42, 89, 137, 146, 162, 211
GNDIO	134, 106, 72, 42, 12	199, 169, 149, 114, 95, 64, 43, 10	26, 56, 78, 108, 132, 165, 188, 218, 240
GND_CKCLK (8)	88	128	147
No Connect (N.C.)	—	—	—
トータル・ユーザ I/O数 (9)	101	159	189

表中の注：

- (1) ここにリストされていないすべてのピンがユーザI/Oピンです。
- (2) これらのピンは専用ピンとなっており、ユーザI/Oピンとしては使用できません。
- (3) これらのピンがデバイス全体をコントロールする機能やコンフィギュレーションに使用されない場合は、ユーザI/Oピンとして使用できます。
- (4) これらのピンは、コンフィギュレーション完了後にユーザI/Oピンとして使用できます。
- (5) このピンは、ユーザ・モードでトライ・ステートとなります。
- (6) このピンはClockLock回路とClockBoost回路の状態を示します。ClockLockとClockBoostの回路が入力クロックにロックして内部クロックを生成しているときは、LOCKピンがHighレベルにドライブされます。このLOCKピンはクロックの供給が周期的に停止された場合でもHighレベルを保ちます。LOCKの使用はオプションです。LOCKが使用されない場合は、このピンがI/Oピンとなります。
- (7) このピンは、ClockLockとClockBoostの回路をドライブします。
- (8) これらのピンは、ClockLockとClockBoostの回路に対する電源ピンまたはグラウンド・ピンとなります。ノイズの影響を避けるため、ClockLockとClockBoost回路の電源ピンとグラウンド・ピンは、デバイスの残りの部分に供給される電源とグラウンドから分離されている必要があります。ClockLockとClockBoostの回路が使用されない場合は、この電源またはグラウンド・ピンをVCCINTまたはGNDINTに接続する必要があります。
- (9) このユーザI/Oピン数には、入力専用ピン、クロック専用ピン、すべてのI/Oピンが含まれていません。

表29は、208ピンRQFP、204ピンRQFPパッケージのEP20K200 デバイスのピン名とピン番号を示したものです。

表29 EP20K200のピン配置 (1/2) 注(1)

ピン名	208-Pin RQFP	240-Pin RQFP
MSEL0 (2)	25	29
MSEL1 (2)	26	30
NSTATUS (2)	82	92
NCONFIG (2)	29	33
DCLK (2)	132	152
CONF_DONE (2)	83	93
INIT_DONE (3)	178	206
nCE (2)	130	150
nCE0 (2)	185	213
nWS (4)	145	164
nRS (4)	142	161
nCS (4)	141	160
CS (4)	138	157
RDYnBSY (4)	177	205
CLKUSR (4)	176	204
DATA7 (4)	146	166
DATA6 (4)	150	169
DATA5 (4)	157	181
DATA4 (4)	160	185
DATA3 (4)	163	189
DATA2 (4)	168	195
DATA1 (4)	173	200
DATA0 (2)、(5)	133	153
TDI (2)	129	149
TD0 (2)	180	208
TCK (2)	76	87
TMS (2)	75	86
TRST (2)	186	214
入力専用ピン	81, 77, 181, 184	91, 88, 209, 212
クロック専用ピン	27, 131	31, 151
LOCK (6)	119	138
GCLK1 (7)	131	151
DEV_CLRn (3)	137	156
DEV_OE (3)	124	143
VCCINT	1, 3, 11, 23, 28, 36, 48, 52, 79, 105, 109, 121, 126, 148, 154, 156, 182	1, 5, 14, 27, 32, 39, 52, 60, 90, 122, 127, 140, 145, 168, 176, 179, 210

表29 EP20K200のピン配置 (2/2) 注(1)

ピン名	208-Pin RQFP	240-Pin RQFP
VCCIO	8, 53, 80, 86, 136, 172, 189, 208	12, 45, 67, 97, 120, 148, 177, 199, 229
VCC_CKCLK (8)	125	144
GNDINT	4, 12, 16, 24, 35, 39, 47, 78, 110, 118, 127, 143, 147, 153, 183	6, 15, 19, 28, 38, 42, 51, 89, 128, 137, 146, 162, 167, 175, 211
GNDIO	10, 43, 64, 85, 114, 149, 169, 199	26, 56, 78, 108, 132, 165, 188, 218, 240
GND_CKCLK (8)	128	147
No Connect (N.C.)	—	—
トータル・ユーザI/Oピン数 (9)	144	174

表中の注：

- (1) ここにリストされていないすべてのピンがユーザI/Oピンです。
- (2) これらのピンは専用ピンとなっており、ユーザI/Oピンとしては使用できません。
- (3) これらのピンがデバイス全体をコントロールする機能やコンフィギュレーションに使用されない場合は、ユーザI/Oピンとして使用できます。
- (4) これらのピンは、コンフィギュレーション完了後にユーザI/Oピンとして使用できます。
- (5) このピンは、ユーザ・モードでトライ・ステートとなります。
- (6) このピンはClockLock回路とClockBoost回路の状態を示します。ClockLockとClockBoostの回路が入力クロックにロックして内部クロックを生成しているときは、LOCKピンがHighレベルにドライブされます。このLOCKピンはクロックの供給が周期的に停止された場合でもHighレベルを保ちます。LOCKの使用はオプションです。LOCKが使用されない場合は、このピンがI/Oピンとなります。
- (7) このピンは、ClockLockとClockBoostの回路をドライブします。
- (8) これらのピンは、ClockLockとClockBoostの回路に対する電源ピンまたはグラウンド・ピンとなります。ノイズの影響を避けるため、ClockLockとClockBoost回路の電源ピンとグラウンド・ピンは、デバイスの残りの部分に供給される電源とグラウンドから分離されている必要があります。ClockLockとClockBoostの回路が使用されない場合は、この電源またはグラウンド・ピンをVCCINTまたはGNDINTに接続する必要があります。
- (9) このユーザI/Oピン数には、入力専用ピン、クロック専用ピン、すべてのI/Oピンが含まれていません。

表30は、652ピンBGA、655ピンPGA、672ピンFineLine BGAパッケージのEP20K400デバイスにおけるピン番号を示したものです。

表30 EP20K400のピン配置 (1/3) 注(1)			
ピン名	652-Pin BGA	655-Pin PGA	672-Pin FineLine BGA
MSEL0 (2)	U35	A23	N21
MSEL1 (2)	W35	C23	N20
NSTATUS (2)	AN17	AE41	AA13
NCONFIG (2)	W32	C25	P21
DCLK (2)	U3	BA23	N7
CONF_DONE (2)	AM17	AC47	AA12
INIT_DONE (3)	C16	AE7	J15
nCE (2)	U1	BE25	P6
nCE0 (2)	C19	AC9	G14
nWS (4)	M1	BF14	P9
nRS (4)	N1	AY20	N10
nCS (4)	P2	BB20	M9
CS (4)	R2	BD20	T6
RDYnBSY (4)	A14	AH4	J14
CLKUSR (4)	C15	AH6	K14
DATA7 (4)	M6	BG13	M10
DATA6 (4)	L6	BB16	L8
DATA5 (4)	E7	BC3	F6
DATA4 (4)	B5	AR7	G9
DATA3 (4)	B7	AV4	F10
DATA2 (4)	A8	AP6	J12
DATA1 (4)	C13	AH8	K13
DATA0 (2)、(5)	U4	BE23	N6
TDI (2)	W1	BG23	P7
TD0 (2)	C17	AE1	G13
TCK (2)	AN19	AC45	AA14
TMS (2)	AM19	AD40	AA15
TRST (2)	D19	AD2	F14
入力専用ピン	B17, B19, AP17, AP19	AB4, AC5, AC43, AE43	F13, H14, Y13, Y14
クロック専用ピン	U2, W34	H24, AY24	N8, P20
LOCK (6)	AB6	BG29	U6
GCLK1 (7)	U2	AY24	N8
DEV_CLRn (3)	T6	AY22	R9
DEV_OE (3)	Y5	BF26	R8

表30 EP20K400のピン配置 (2/3) 注(1)			
ピン名	652-Pin BGA	655-Pin PGA	672-Pin FineLine BGA
VCCINT	A17, A19, D12, D24, E12, E24, F3, F35, G30, H1, H5, K31, L3, M30, N4, N35, R5, R34, U5, U34, W3, W31, W33, AA4, AA31, AC3, AC32, AE2, AE33, AG1, AH4, AH31, AH35, AK33, AL2, AL12, AL24, AM12, AM24, AR17, AR19	A3, A45, B24, C1, C11, C19, C29, C37, C47, D24, G47, L3, L45, N1, N47, W3, W45, AA1, AA47, AD4, AD44, AG1, AG47, AJ3, AJ45, AR1, AR47, AU3, AU45, AY8, BA1, BA47, BD24, BE1, BE11, BE19, BE29, BE37, BE47, BG3, BG45	A3, A24, B3, B8, B19, C1, C2, C25, C26, D3, D24, K11, L10, L15, M13, M16, N2, N12, P15, P16, P24, P25, R11, R14, T12, T17, U9, U16, AC3, AC24, AD1, AD2, AD25, AD26, AE3, AE8, AE19, AE24, AF3, AF24
VCCIO	AL3, AL4, AL17, AL19, AL31, AL32, AM5, AN4, AN32, AN33, C4, C32, D5, D31, E3, E4, E17, E19, F30, F31, U6, U30, W6, W30,	E9, E15, E21, E27, E33, E39, G7, G41, J5, J43, R5, R43, AA5, AA43, AG5, AG43, AN5, AN43, AW5, AW43, BA7, BA41, BC9, BC15, BC21, BC27, BC33, BC39	A6, A13, A21, J10, K9, K16, L12, L17, M11, M14, N3, N15, N24, P12, R13, R16, T10, T15, U11, U18, V10, V17, AF6, AF13, AF21
VCC_CKCLK (8)	W4	BD28	N11
GNDINT	A1, A18, A35, B1, B2, B18, B34, B35, C2, C3, C18, C33, C34, C35, D2, D3, D4, D17, D18, D32, D33, D34, E5, E6, E18, E30, E31, E32, E33, F18, V1, V2, V3, V4, V5, V6, V30, V31, V32, V33, V34, V35, AK18, AL5, AL6, AL18, AL30, AM18, AM2, AM3, AM4, AM31, AM32, AM33, AM34, AN1, AN2, AN3, AN18, AN34, AN35, AP1, AP2, AP18, AP34, AP35, AR1, AR18, AR35,	A47, B2, C13, C21, C27, C35, C45, D4, F24, J1, J47, N3, N45, R1, R47, W1, W47, AA3, AA45, AD6, AD8, AD42, AG3, AG45, AJ1, AJ47, AN1, AN47, AR3, AR45, AW1, AW47, BB24, BE3, BE13, BE21, BE27, BE35, BE45, BG1, BG47	A2, A8, A14, A19, A25, B1, B2, B6, B21, B25, B26, C3, C13, C24, D4, D23, H8, H19, J9, J18, K10, K17, L11, L13, L16, M12, M15, N1, N4, N13, N14, N25, N26, P1, P2, P3, P13, P14, P23, P26, R12, R15, T11, T16, U10, U17, V9, V18, W8, W19, AC4, AC23, AD3, AD13, AD24, AE1, AE2, AE6, AE21, AE25, AE26, AF2, AF8, AF14, AF19, AF25
GNDIO	—	E7, E13, E19, E29, E35, E41, G5, G43, H40, N5, N43, W5, W43, AJ5, AJ43, AR5, AR43, AY40, BA5, BA43, BC7, BC13, BC19, BC29, BC35, BC41, BF46	—
GND_CKCLK (8)	W2	BD26	P11

表30 EP20K400のピン配置 (3/3) 注(1)

ピン名	652-Pin BGA	655-Pin PGA	672-Pin FineLine BGA
No Connect (N.C.)	—	—	A15, A16, B13, B14, B15, B16, C11, C12, C14, C15, C16, AD11, AD12, AD14, AD15, AD16, AE12, AE13, AE14, AE15, AF12, AF15,
トータル・ユーザI/Oピン数 (9)	502	502	502

表中の注：

- (1) ここにリストされていないすべてのピンがユーザI/Oピンです。
- (2) これらのピンは専用ピンとなっており、ユーザI/Oピンとしては使用できません。
- (3) これらのピンがデバイス全体をコントロールする機能やコンフィギュレーションに使用されない場合は、ユーザI/Oピンとして使用できません。
- (4) これらのピンは、コンフィギュレーション完了後にユーザI/Oピンとして使用できます。
- (5) このピンは、ユーザ・モードでトライ・ステートとなります。
- (6) このピンはClockLock回路とClockBoost回路の状態を示します。ClockLockとClockBoostの回路が入力クロックにロックして内部クロックを生成しているときは、LOCKピンがHighレベルにドライブされます。このLOCKピンはクロックの供給が周期的に停止された場合でもHighレベルを保ちます。LOCKの使用はオプションです。LOCKが使用されない場合は、このピンがI/Oピンとなります。
- (7) このピンは、ClockLockとClockBoostの回路をドライブします。
- (8) これらのピンは、ClockLockとClockBoostの回路に対する電源ピンまたはグラウンド・ピンとなります。ノイズの影響を避けるため、ClockLockとClockBoost回路の電源ピンとグラウンド・ピンは、デバイスの残りの部分に供給される電源とグラウンドから分離されている必要があります。ClockLockとClockBoostの回路が使用されない場合は、この電源またはグラウンド・ピンをVCCINTまたはGNDINTに接続する必要があります。
- (9) このユーザI/Oピン数には、入力専用ピン、クロック専用ピン、すべてのI/Oピンが含まれています。

Altera, AMPP, APEX, ClockBoost, ClockLock, ClockShift, EP20K60E, EP20K100, EP20K100E, EP20K160E, EP20K200, EP20K200E, EP20K300E, EP20K400, EP20K400E, EP20K600E, EP20K1000E, EP20K1500E, FastTrack, FineLine BGA, MultiCore, MultiVolt, MegaCore, NativeLink, Quartus, SignalTap, System-on-a-Programmable-Chip, SameFrame, Quartusは、Altera Corporationの米国および該国各国外におけるtrademarkまたはservice markです。この資料に記載されているその他の製品名などは該国各社のtrademarkです。Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

Copyright © 1999 Altera Corporation. All rights reserved.



ALTERA®

日本アルテラ株式会社

〒163-0436
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan>
E-mail: japan@altera.com

本社 Altera Corporation

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料に記載された内容は予告なく変更されることがあります。最新の情報は、アルテラのウェブサイト (<http://www.altera.com>) でご確認ください。この資料はアルテラが発行した英文のデータ・シートを日本語化したものであり、アルテラが保証する規格、仕様は英文オリジナルのものです。