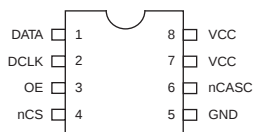


特長

- FLEX®デバイスのコンフィギュレーション用シリアルEPROMファミリ
- シンプルで使いやすいFLEXデバイスとの4ピン・インタフェース
- コンフィギュレーション時の低電流特性とほぼゼロに近いスタンバイ電流
- 5.0-Vおよび3.3-V動作
- 486およびペンティアム・ベースのPC、Sun SPARCstation HP 9000シリーズ700/800、IBM RISC System/6000の各ワークステーション上で動作するアルテラのMAX+PLUS® II 開発システムによるソフトウェア・デザイン・サポート
- アルテラのマスタ・プログラミング・ユニット (MPU) およびData I/O、BP Microsystemなどのベンダのプログラミング・ハードウェアによるプログラミング・サポート
- コンパクトなワン・タイム・プログラマブル (OTP) プラスチック・パッケージで供給 (図1を参照)
 - 8ピン、プラスチック・デュアル・インライン・パッケージ (PDIP)
 - 20ピン、プラスチック・Jリード・チップ・キャリア (PLCC)
 - 32ピン、プラスチック薄型クワッド・フラット・パック (TQFP)

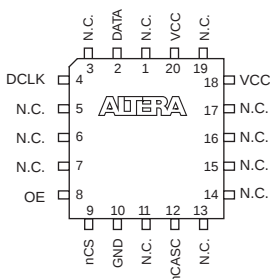
図1 コンフィギュレーションEPROMのピン配置図

下記の図は実寸と異なります。



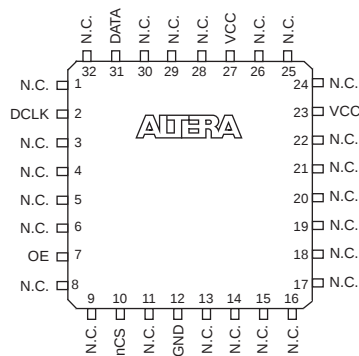
8-Pin PDIP

EPC1
EPC1441
EPC1213
EPC1064
EPC1064V



20-Pin PLCC

EPC1
EPC1441
EPC1213
EPC1064
EPC1064V



32-Pin TQFP

EPC1441
EPC1064
EPC1064V

機能説明

SRAMベースのデバイスでは、システムがイニシャライズされるごとに、または新しいコンフィギュレーション・データが要求されたときに、デバイスにコンフィギュレーション・データをロードしなければなりません。アルテラのコンフィギュレーションEPROMはSRAMベースのFLEXデバイスに対するコンフィギュレーション・データをストアするデバイスです。表1は、アルテラから供給されているコンフィギュレーションEPROMを示したものです。

表1 コンフィギュレーションEPROM	
デバイス名	容量と動作電圧
EPC1	1,046,496 × 1 ビット 5.0-Vまたは3.3-V 動作
EPC1441	440,800 × 1 ビット 5.0-Vまたは3.3-V 動作
EPC1213	212,942 × 1 ビット 5.0-V 動作
EPC1064	65,536 × 1 ビット 5.0-V 動作
EPC1064V	65,536 × 1 ビット 3.3-V 動作

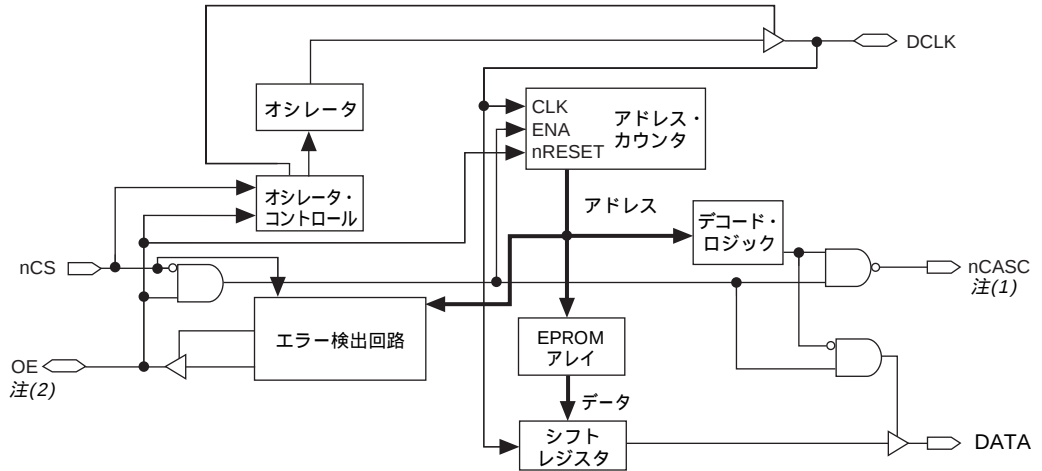
表2は各FLEXデバイスに対応するコンフィギュレーションEPROMを示したものです。

表2 各FLEXデバイスに対応するコンフィギュレーションEPROM	
デバイス名	コンフィギュレーション EPROM
EPF10K10, EPF10K10A	EPC1 または EPC1441
EPF10K20	EPC1 または EPC1441
EPF10K30, EPF10K30A, EPF10K30B	EPC1 または EPC1441
EPF10K40	EPC1
EPF10K50, EPF10K50V, EPF10K50B	EPC1
EPF10K70	EPC1
EPF10K100, EPF10K100A, EPF10K100B	2 個の EPC1 デバイス
EPF10K130V, EPF10K130B	2 個の EPC1 デバイス
EPF10K180B	3 個の EPC1 デバイス
EPF10K250A, EPF10K250B	4 個の EPC1 デバイス
EPF8282A	EPC1、EPC1441、EPC1213 または EPC1064
EPF8282AV	EPC1、EPC1441 または EPC1064V
EPF8452A	EPC1、EPC1441、EPC1213 または EPC1064
EPF8636A	EPC1、EPC1441 または EPC1213
EPF8820A	EPC1、EPC1441 または EPC1213
EPF81188A	EPC1、EPC1441 または EPC1213
EPF81500A	EPC1、EPC1441 または 2 個の EPC1213 デバイス
EPF6016, EPF6016A	EPC1 または EPC1441
EPF6024A	EPC1 または EPC1441

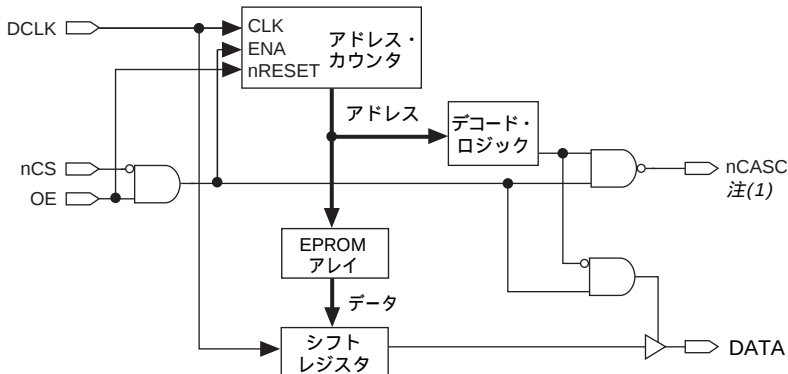
図2はコンフィギュレーションEPROMのブロック・ダイアグラムを示したものです。

図2 コンフィギュレーションEPROMのブロック・ダイアグラム

FLEX 10KおよびFLEX 6000デバイスのコンフィギュレーションに使用されたときのEPC1またはEPC1441



FLEX 8000デバイスのコンフィギュレーションに使用されたときのEPC1、EPC1441、EPC1213、EPC1064、またはEPC10164V



注:

- (1) EPC1441、EPC1064、EPC1064Vの各デバイスはデータのカスケードをサポートしていません。EPC1とEPC1213デバイスはデータのカスケードをサポートしています。
- (2) OEピンは双方向のオープン・ドレイン・ピンです。

デバイスの コンフィギュ レーション

コンフィギュレーションEPROMのコントロール信号である、nCS、OE、およびDCLKはFLEXデバイス側のコントロール信号とダイレクトにインタフェースされます。すべてのFLEXデバイスはコンフィギュレーションのプロセス全体をコントロールすることができ、外部にインテリジェントなコントローラを設けることなく、コンフィギュレーションEPROMからデータを受け取ることができます。

コンフィギュレーションEPROMのOEピンとnCSピンは、DATA出力ピンのトライ・ステート・バッファをコントロールし、アドレス・カウンタ（EPC1とEPC1441の場合はオシレータも）をイネーブルにします。OEピンがLowにドライブされると、コンフィギュレーションEPROMはアドレス・カウンタをリセットして、DATAピンをトライ・ステートの状態にします。nCSピンはコンフィギュレーションEPROMの出力をコントロールします。OEピンにリセット・パルスを与えた後でnCSピンがHighレベルに保持されると、カウンタがディセーブルになり、DATA出力のピンがトライ・ステートになります。nCSがLowにドライブされると、カウンタとDATA出力がイネーブルとなります。ここで、OEピンが再びLowレベルにドライブされると、nCSの状態に関係なく、アドレス・カウンタがリセットされ、DATA出力ピンがトライ・ステートとなります。



EPC1とEPC1441では、OEピンがHighにドライブされたときに動作モードが決定されるようになっており、FLEX 10K/FLEX 6000デバイスあるいはFLEX 8000デバイス用のプロトコルのいずれかが選択されます。

コンフィギュレーションEPROMがすべてのデータを出力し、nCASCがLowになったとき、他のコンフィギュレーションEPROMとのコンフリクトを避けるため、DATAピンがトライ・ステートになります。また、電源が新たに投入された場合は、アドレス・カウンタが自動的にリセットされます。

FLEX 10KおよびFLEX 6000デバイスのコンフィギュレーション

FLEX 10KおよびFLEX 6000ファミリのデバイスは、EPC1またはEPC1441コンフィギュレーションEPROMを使用してコンフィギュレーションすることができます。EPC1またはEPC1441はEPROMアレイにコンフィギュレーション・データをストアし、内部のオシレータによりデータをクロックに同期させてシリアルに出力します。OE、nCS、DCLKの各ピンには、アドレス・カウンタと出力のトライ・ステート・バッファをコントロールするための信号が供給されます。EPC1またはEPC1441デバイスはDATAピンにコンフィギュレーション・データをシリアルなビットストリームとして供給し、このDATAピンがFLEX 10KまたはFLEX 6000デバイスのDATA0またはDATAの入力ピンと接続されます。1個のEPC1441で、EPF10K10、EPF10K20、あるいはEPF10K30をコンフィギュレーションすることができます。図3は1個のEPC1またはEPC1441コンフィギュレーションEPROMでFLEX 10Kデバイスをコンフィギュレーションするときの接続図を示したものです。

図 3 1 個のEPC1またはEPC1441でFLEX 10Kデバイスをコンフィギュレーションするときの接続図

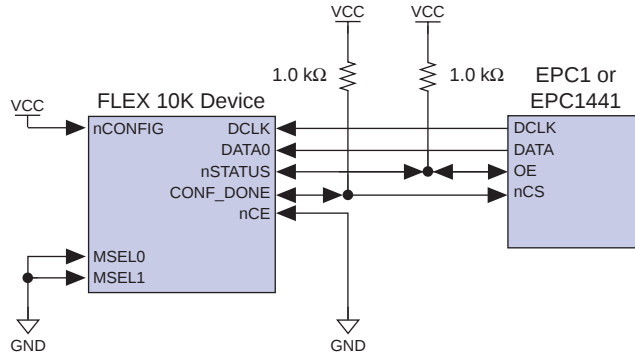
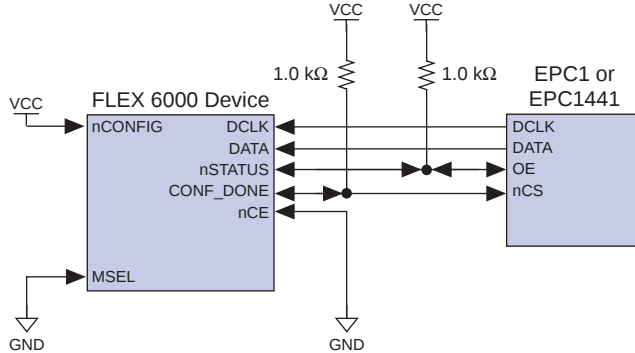


図 4 は 1 個のEPC1またはEPC1441コンフィギュレーションEPROMで FLEX 6000デバイスをコンフィギュレーションするときの接続図を示したものです。

図 4 1 個のEPC1またはEPC1441でFLEX 6000デバイスをコンフィギュレーションするときの接続図



FLEX 10Kデバイスに対するコンフィギュレーション・データが1個のEPC1の容量を超える場合は、複数のEPC1デバイスをシリアルに接続して使用することができます (EPC1441はデータのカスケードをサポートしていません)。複数のEPC1デバイスが必要になる場合は、nCASCとnCSピンがEPC1間のハンドシェイク機能を提供します。

複数のEPC1デバイスがカスケード接続される場合は、このチェーンに接続されている各EPC1デバイスの位置がそれぞれの動作を決定します。コンフィギュレーションEPROMのチェーンに接続されている最初のEPC1デバイスに電源を与えるか、またはリセットするか、あるいはこのデバイスのnCSピンをLowにドライブすることによって、このEPC1デバイスがFLEX 10Kのコンフィギュレーションをコントロールするようになります。この最初のEPC1デバイスはコンフィギュレーションの期間中に、すべてのクロック・パルスを1個または複数のFLEX 10Kデバイスとチェーンに接続されている下位のすべてのEPC1デバイスに供給します。また、この最初のEPC1デバイスは、マルチ・デバイス・コンフィギュレーションのモードでデータの最初のストリームをFLEX 10Kデバイスに供給します。この最初のEPC1デバイスによるコンフィギュレーション・データの送出が完了すると、このEPC1のnCASCピンがLowレベルにドライブされ、このピンが2番目のEPC1デバイスのnCSピンをLowにドライブします。この動作によって、2番目のEPC1デバイスがFLEX 10Kデバイスにコンフィギュレーション・データを送出するようになります。

最初のEPC1デバイスは、下位に接続されている他のすべてのEPC1デバイスに対して、コンフィギュレーションが完了するまでクロックを供給します。すべてのコンフィギュレーション・データが転送され、最初のEPC1のnCSピンがFLEX 10KデバイスのCONF_DONE信号によって、Highレベルにドライブされると、この最初のEPC1デバイスはFLEX 10Kデバイスに16サイクルの追加クロック・パルスを与えて、イニシャライズを行います。そして、この動作後に、最初のEPC1デバイスはゼロ・パワー（アイドル）状態となります。すべてのコンフィギュレーション・データが転送される前に最初のEPC1デバイスのnCSピンがHighにドライブされたり、すべてのコンフィギュレーション・データの転送完了後にLowにならなかった場合は、FLEX 10KデバイスのnSTATUSピンが最初のEPC1デバイスからLowにドライブされ、コンフィギュレーションにエラーが発生したことが示されます。

プロジェクトのコンパイル前にMAX+PLUS IIのGlobal Project Device Optionsのダイアログ・ボックス（Assignメニュー）で、「*Auto-Restart Configuration on Frame Error*」のオプションがオン設定されていると、このようなエラーが発生した場合にはコンフィギュレーションが自動的に再開されます。図5は2個のEPC1デバイスで1個のFLEX 10Kデバイスをコンフィギュレーションする場合の接続図を示したものです。EPC1のnCASCピンをチェーン内の下位のEPC1のnCSピンに接続し、DCLK、DATA、OEの各ピンをそれぞれ平行に接続することによって、さらにEPC1を追加することが可能です。

1個のEPC1デバイスでFLEX 10KBデバイスをコンフィギュレーションする場合は3.3-Vの電源を使用し、FLEX 10KBデバイスのVCCIOピンとプルアップ抵抗を3.3-Vに接続します。



1個のEPC1441デバイス用に生成されたプログラマ・オブジェクト・ファイル（.pof）を使用してEPC1デバイスをプログラムした場合、EPC1はEPC1441をエミュレートした動作を行います。

図 5 2 個のEPC1デバイスで 1 個のFLEX 10Kデバイスをコンフィギュレーションするときの接続図

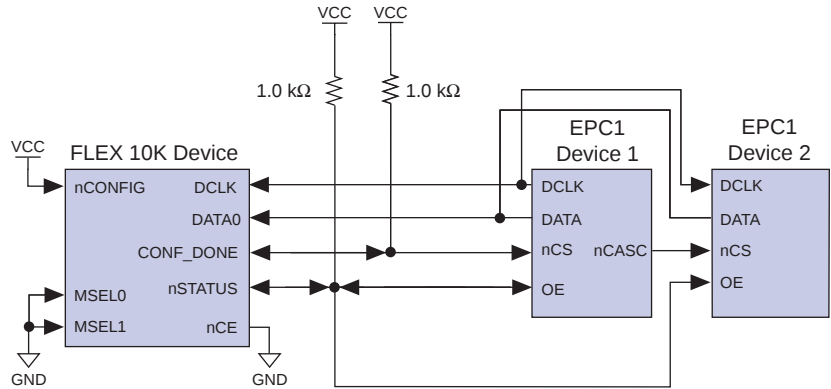


図 6 は 2 個のEPC1を使用して 2 個のFLEX 10Kデバイスをコンフィギュレーションするときの接続図です。

図 6 2 個のEPC1デバイスで 2 個のFLEX 10Kデバイスをコンフィギュレーションするときの接続図

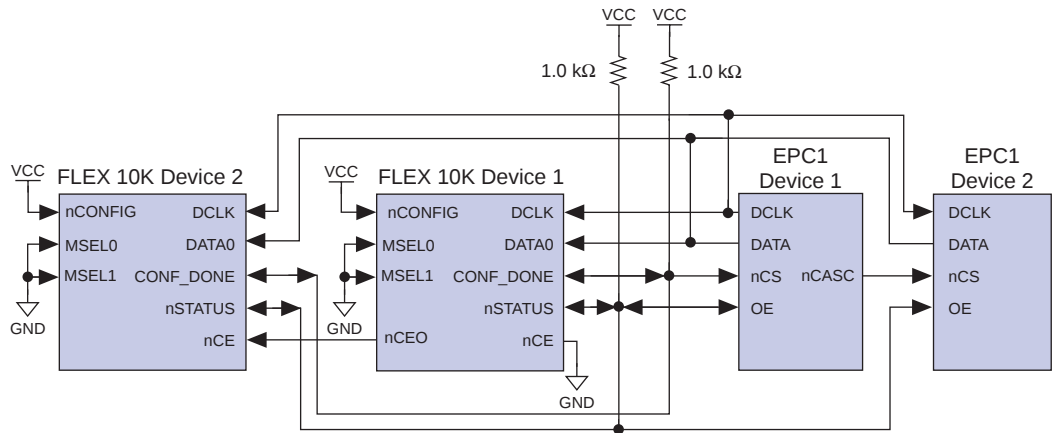


表3はFLEX 10KデバイスおよびFLEX 6000デバイスのコンフィギュレーション時におけるEPC1とEPC1441の各ピンの機能を解説したものです。

表3 FLEX 10K/FLEX 6000デバイスのコンフィギュレーション時におけるEPC1とEPC1441のピン機能					
ピン名	ピン番号			ピン・タイプ	説明
	8-Pin PDIP	20-Pin PLCC	32-Pin TQFP		
	EPC1とEPC1441		EPC1441		
DATA	1	2	31	出力	シリアル・データ出力
DCLK	2	4	2	I/O	クロック出力またはクロック入力。DCLKの立ち上がりエッジで内部のアドレス・カウンタがインクリメントし、データの次のビットがDATAピンに現れる。OEピンにHighが入力されている状態で、nCSピンがLowに保持されていて、ターゲット・デバイスに対するすべてのコンフィギュレーション・データの転送が完了していないときのみ、カウンタがインクリメントされる。FLEX 10KまたはFLEX 6000のコンフィギュレーション・サイクルにおける最初のEPC1では、コンフィギュレーションが完了したとき、またはOEがLowになったときにDCLKピンがLowにドライブされる。
OE	3	8	7	オープン・ドレイン I/O	出力イネーブル（アクティブHigh）とリセット（アクティブLow）。このピンにLowレベルを与えると、アドレス・カウンタがリセットされる。また、Highレベルを与えるとDATAピンがイネーブルになり、アドレス・カウンタがインクリメントされる。FLEX 10KまたはFLEX 6000のコンフィギュレーション・サイクルにおいて、このピンにLowレベルを与えると（リセット）、内部オシレータがイン・アクティブとなり、DCLKピンはLowレベルにドライブされる。詳細は11ページの「エラー検出回路」を参照。
nCS	4	9	10	入力	チップ・セレクト入力（アクティブLow）。このピンにLowレベルを与えることによって、DCLKがアドレス・カウンタをインクリメントし、DATAピンからのデータ出力が可能になる。nCSピンがLowのときに、EPC1がリセットされた場合は、このデバイスがコンフィギュレーション・チェーンの最初のデバイスとしてイニシャライズされる。また、nCSがHighのときにEPC1がリセットされた場合は、チェーン内の次のEPC1がイニシャライズされる。
nCASC	6 注(1)	12 注(1)	— 注(1)	出力	カスケード・セレクト出力（アクティブLow）。アドレス・カウンタが最大値に達したとき、この出力ピンはLowになる。複数のEPC1がコンフィギュレーション・チェーンに接続されている場合は、nCASCピンがチェーン内の次のデバイスのnCSピンに接続される。これによって、チェーン内の次のEPC1にデータを出力するためのDCLKが与えられるようになる。
GND	5	10	12	グラウンド	VCCとGNDピンの間には0.2μFのデカップリング・キャパシタを接続しておく必要がある。
VCC	7, 8	18, 20	23, 27	電源	電源ピン

注:

(1) EPC1441はデータのカスケードをサポートしていません。EPC1コンフィギュレーションEPROMはデータのカスケードをサポートしています。



FLEX 10KまたはFLEX 6000デバイスのコンフィギュレーションに関する詳細については、下記の資料を参照して下さい。これらの資料は、日本語版でも提供されています。

- アプリケーション・ノート、AN 59「*Configuring FLEX 10K Devices*」
- アプリケーション・ノート、AN 87「*Configuring FLEX 6000 Devices*」

FLEX 8000デバイスのコンフィギュレーション

FLEX 8000デバイスは内部にオシレータを持っており、DCLK信号をコンフィギュレーションEPROMに供給することができます。コンフィギュレーションEPROMは、コンフィギュレーション・データをDATAピンにシリアルビットストリームとして出力します。このDATAピンはFLEX 8000デバイスの入力ピン、DATA0と接続され、データがFLEX 8000デバイスに供給されます。nCASCピンとnCSピンは複数のコンフィギュレーションEPROM間のハンドシェイク機能を実現し、カスケード接続された複数のEPC1またはEPC1213から複数のFLEX 8000デバイスをシリアルにコンフィギュレーションすることが可能です。EPC1441、EPC1064、EPC1064Vの各デバイスはデータのカスケードをサポートしていません。

FLEX 8000デバイスは、EPC1、EPC1441、EPC1213、EPC1064、EPC1064Vの各コンフィギュレーションEPROMでコンフィギュレーションすることができ、EPC1とEPC1441の両デバイスは、EPC1213、EPC1064、EPC1064Vを置き換えることができます。EPC1またはEPC1441デバイスをEPC1213、EPC1064、またはEPC1064V用のPOFを使用してプログラムした場合、EPC1またはEPC1441は自動的にこれらのPOFに対応したデバイスの動作を行います。EPC1またはEPC1441デバイスがEPC1213、EPC1064、またはEPC1064V用のPOFでプログラムされた場合は、FLEX 8000デバイスがEPC1またはEPC1441のOEピンをHighにドライブし、EPC1またはEPC1441にクロックを供給します。EPC1はEPC1064、EPC1064V、EPC1213、EPC1441の各コンフィギュレーションEPROMよりも多くの容量のコンフィギュレーション・データをストアできるため、すべてのFLEXデバイスのデザインに対してEPC1のみを使用することが可能になります。また、すべてのFLEX 8000デバイスは、1個のEPC1またはEPC1441でコンフィギュレーションできます。

表4はFLEX 8000デバイスのコンフィギュレーション時におけるEPC1、EPC1441、EPC1213、EPC1064、EPC1064Vの各ピンの機能を解説したものです。

表 4 FLEX 8000デバイスのコンフィギュレーション時におけるコンフィギュレーション EPROMのピン機能

ピン名	ピン番号			ピン・タイプ	説 明
	8-Pin PDIP	20-Pin PLCC	32-Pin TQFP 注(1)		
DATA	1	2	31	出力	シリアル・データ出力
DCLK	2	4	2	入力	クロック入力。DCLKの立ち上がりエッジで内部のアドレス・カウンタがインクリメントし、データの次のビットがDATAピンに現れる。OEピンにHighが入力されている状態で、nCSピンがLowに保持されているときにのみ、カウンタがインクリメントされる。
OE	3	8	7	入力	出力イネーブル（アクティブHigh）とリセット（アクティブLow）。このピンにLowレベルを与えると、アドレス・カウンタがリセットされる。また、Highレベルを与えるとDATAピンがイネーブルになり、アドレス・カウンタがインクリメントされる。
nCS	4	9	10	入力	チップ・セレクト入力（アクティブLow）。このピンにLowレベルを与えることによって、DCLKがアドレス・カウンタをインクリメントし、DATAピンからのデータ出力が可能になる。
nCASC	6 注(2)	12 注(2)	— 注(2)	出力	カスケード・セレクト出力（アクティブLow）。アドレス・カウンタが最大値に達したとき、この出力ピンはLowになる。複数のコンフィギュレーションEPROMがチェーンで接続されている場合は、通常このnCASCピンがチェーン内の次のコンフィギュレーションEPROMのnCS入力ピンに接続される。これによって、チェーン内の次のコンフィギュレーションEPROMにデータを出力するためのDCLKが与えられるようになる。
GND	5	10	12	グラウンド	VCCとGNDピンの間には0.2μFのデカップリング・キャパシタを接続しておく必要がある。
VCC	7, 8	18, 20	23, 27	電源	電源ピン

注:

- (1) EPC1441、EPC1064、EPC1064Vの各デバイスにのみ適用される。
 (2) EPC1441、EPC1064、EPC1064Vの各デバイスはデータのカスケードをサポートしていません。EPC1とEPC1213の両デバイスはFLEX 8000デバイスに対するデータのカスケードをサポートしています。

アクティブ・シリアル（AS）とマルチ・デバイス・シーケンシャル・アクティブ・シリアル（MD-SAS）のコンフィギュレーション・モードにおいても、EPC1またはEPC1441のコンフィギュレーションEPROMをFLEX 8000デバイスに対するデータ・ソースとして使用することができます。



FLEX 8000デバイスのコンフィギュレーションの詳細については、下記の資料を参照して下さい。なお、これらの資料は日本語版でも提供されています。

- アプリケーション・ノート、AN 33「Configuring FLEX 8000 Devices」
- アプリケーション・ノート、AN 38「Configuring Multiple FLEX 8000 Devices」

電源と動作

このセクションでは、アルテラのコンフィギュレーションEPROMのパワー・オン・リセット (POR) の遅延時間、エラー検出回路、3.3-Vと5.0-Vの電源電圧動作について解説します。

パワー・オン・リセット

最初の電源の投入時には、電源電圧を安定させるまでの期間として、パワー・オン・リセット (POR) の遅延時間が発生します。FLEX 10KまたはFLEX 6000デバイスをEPC1またはEPC1441でコンフィギュレーションする場合は、このPORの遅延がコンフィギュレーションEPROMの内部で発生します。一方、FLEX 8000デバイスをEPC1213、EPC1064、またはEPC1064Vからコンフィギュレーションする場合は、PORの遅延はFLEX 8000デバイスの内部で発生します。いずれの場合でも、PORの最大遅延時間は100msとなっています。

エラー検出回路

EPC1およびEPC1441コンフィギュレーションEPROMは、エラー検出回路を内蔵しています。これらのコンフィギュレーションEPROMのnCSピンはFLEX 10KまたはFLEX 6000デバイスのCONF_DONEピンをモニタします。すべてのコンフィギュレーション・データが送出された後にCONF_DONEのピンがHighレベルにならなかった場合、あるいはコンフィギュレーションEPROMがすべてのデータの送出を完了する前にCONF_DONEがHighレベルになった場合は、コンフィギュレーションにエラーが発生したことになります。エラーが発生すると、コンフィギュレーションEPROMはOEピンをLowにドライブし、これによってFLEX 10KまたはFLEX 6000デバイスのnSTATUSピンがLowにドライブされ、エラーの発生が示されます。このようなエラーが発生した場合、プロジェクトのコンパイル前にMAX+PLUS IIの「Global Project Device Options」のダイアログ・ボックス (Assignメニュー) で、「Auto-Restart Configuration on Frame Error」のオプションがオンに設定されていると、コンフィギュレーションが自動的に再開されます。

また、FLEX 10KまたはFLEX 6000デバイスが受信したデータ内にCRC (Cyclic Redundancy Code) のエラーを検出した場合、FLEX 10KまたはFLEX 6000デバイスはnSTATUSをLowレベルにドライブして、エラーの発生を示し、リコンフィギュレーションが行われるようにします。

3.3-Vと5.0-Vの動作

EPC1とEPC1441は、I/Oの電源電圧が3.3-Vまたは5.0-Vに設定されているFLEXデバイスの双方をコンフィギュレーションすることができます。EPC1とEPC1441が3.3-Vで動作するか5.0-Vで動作するかは、MAX+PLUS IIによって生成されるPOF内のあるビットのプログラミングの状態によってコントロールされます。このプログラミング・ビットの値はMAX+PLUS IIによるコンパイル時にターゲットとなるデバイスのコア電源電圧によって決定されます。例えば、3.3-VのI/O電源電圧を持っている

FLEX 10KAまたはFLEX 6000Aデバイスをコンフィギュレーションする場合は、EPC1が3.3-Vのモードで動作するようにプログラムされます。この場合には、EPC1のVCCピンを3.3-Vの電源に接続します。

FLEXデバイスのMultiVolt™機能を使用するときに、コンフィギュレーションEPROMの電源電圧を低電圧に設定することができます。このMultiVolt機能により、FLEXデバイスは動作電圧の異なるシステム間をブリッジすることができます。コンフィギュレーションEPROMが低電圧で動作するように設定するときは、「Global Project Device Options」のダイアログ・ボックス (Assignメニュー) で「Low-Voltage I/O Under Device Options」をオンに設定します。



FLEX 10K、FLEX 800Q、FLEX 6000の各デバイスの詳細については下記のデータシートを参照して下さい。(日本語版も刊行されています。)

- *FLEX 10K Embedded Programmable Logic Family Data Sheet*
- *FLEX 8000 Programmable Logic Device Family Data Sheet*
- *FLEX 6000 Programmable Logic Device Family Data Sheet*

MAX+PLUS II によるサポート

MAX+PLUS II 開発システムはアルテラのコンフィギュレーションEPROMに対するプログラミング・サポートを提供しています。MAX+PLUS IIのソフトウェアはプロジェクトに使用されるコンフィギュレーションEPROMに対してPOFを自動的に生成します。また、複数のデバイスを使用するプロジェクトに対しては、MAX+PLUS IIのソフトウェアが各プログラミング・ファイルを結合して、1個または複数のコンフィギュレーションEPROMにプログラムするためのファイルを作成することができます。MAX+PLUS IIのソフトウェアを使用することにより、各FLEXデバイスにもっとも効率的にデータをストアできる適切なコンフィギュレーションEPROMを選択することができます。さらに、デザインがFLEX 10KAやFLEX 6000Aデバイスのような3.3-V動作のデバイスにコンパイルされる場合は、MAX+PLUS IIがEPC1を3.3-Vの動作モードにするように設定されたPOFを自動的に生成します。

POFにはプリアンブル (preamble) 部、CRC (Cyclic Redundancy Code)、そして同期化されたデータが含まれており、このPOFをシリアルなビットストリームのソース・データとして使用することができます。POFの内容は、MAX+PLUS IIと専用のアダプタを使用してコンフィギュレーションEPROMにプログラムすることができます。また、多くのプログラミング・ハードウェアのベンダが、アルテラのコンフィギュレーションEPROMのプログラミングをサポートしています。



プログラミング・ハードウェアの詳細については、1998年版データブックに掲載されている「*Altera Programming Hardware*」、および「*Programming Hardware Manufacturers*」のページを参照して下さい。

動作条件

13ページからの表はコンフィギュレーションEPROMの絶対最大定格、推奨動作条件、DC特性およびキャパシタンスを示したものです。

絶対最大定格 注(1)

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	供給電圧	GND に対して 注(2)	-2.0	7.0	V
V_I	DC 入力電圧		-2.0	7.0	V
I_{MAX}	DC V_{CC} または GND の電流			50	mA
I_{OUT}	ピンあたりの DC 出力電流		-25	25	mA
P_D	消費電力			250	mW
T_{STG}	保存温度	バイアスなし	-65	150	°C
T_{AMB}	周囲温度	バイアス時	-65	135	°C
T_J	接合温度	バイアス時		135	°C

推奨動作条件

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	5.0-V デバイスの供給電圧	注(3)、(4)	4.75 (4.50)	5.25 (5.50)	V
	3.3-V デバイスの供給電圧	注(3)、(4)	3.0 (3.0)	3.6 (3.6)	V
V_I	入力電圧	GND に対して 注(2)	0	V_{CC}	V
V_O	出力電圧		0	V_{CC}	V
T_A	動作温度範囲	一般用	0	70	°C
		工業用	-40	85	°C
t_R	入力の立ち上がり時間			20	ns
t_F	入力の立ち下がり時間			20	ns

DC特性 注(5)、(6)

シンボル	パラメータ	条件	最小	最大	単位
V_{IH}	High レベル入力電圧		2.0	$V_{CC} + 0.3$	V
V_{IL}	Low レベル入力電圧		-0.3	0.8	V
V_{OH}	5.0-V モードの High レベル TTL 出力電圧	$I_{OH} = -4 \text{ mA DC}$ 、注(7)	2.4		V
	3.3-V モードの High レベル CMOS 出力電圧	$I_{OH} = -0.1 \text{ mA DC}$ 、注(7)	$V_{CC} - 0.2$		
V_{OL}	Low レベル出力電圧	$I_{OL} = 4 \text{ mA DC}$ 、注(7)		0.45	V
I_I	入力リーク電流	$V_I = V_{CC}$ or GND	-10	10	μA
I_{OZ}	トライ・ステート出力 OFF 電流	$V_O = V_{CC}$ or GND	-10	10	μA

EPC1213、EPC1064、EPC1064Vの I_{CC} 供給電流

シンボル	パラメータ	条件	最小	標準	最大	単位
I_{CC0}	V_{CC} 供給電流 (スタンバイ時)			100	200	μA
I_{CC1}	V_{CC} 供給電流 (コンフィギュレーション時)	DCLK = 6 MHz		10	50	mA

EPC1の I_{CC} 供給電流

シンボル	パラメータ	条件	最小	標準	最大	単位
I_{CC0}	V_{CC} 供給電流 (スタンバイ時)			50	100	μA
I_{CC1}	V_{CC} 供給電流 (コンフィギュレーション時)	DCLK = 10 MHz 注(8) $V_{CC} = 5.0 V$		30	50	mA
I_{CC2}	V_{CC} 供給電流 (コンフィギュレーション時)	DCLK = 5 MHz 注(8) $V_{CC} = 3.3 V$		10	16.5	mA

EPC1441の I_{CC} 供給電流

シンボル	パラメータ	条件	最小	標準	最大	単位
I_{CC0}	V_{CC} 供給電流 (スタンバイ時)			30	60	μA
I_{CC1}	V_{CC} 供給電流 (コンフィギュレーション時)	DCLK = 10 MHz 注(8)		15	30	mA
I_{CC1}	V_{CC} 供給電流 (コンフィギュレーション時)	DCLK = 5 MHz 注(8) $V_{CC} = 3.3 V$		5	10	mA

キャパシタンス 注(9)

シンボル	パラメータ	条件	最小	最大	単位
C_{IN}	入力ピンのキャパシタンス	$V_{IN} = 0 V, f = 1.0 MHz$		10	pF
C_{OUT}	出力ピンのキャパシタンス	$V_{OUT} = 0 V, f = 1.0 MHz$		10	pF

EPC1およびEPC1441使用時におけるFLEX 10KおよびFLEX 6000デバイスのコンフィギュレーション・タイミング・パラメータ

シンボル	パラメータ	条件	最小	標準	最大	単位
t_{CE}	OE の High から最初のクロックまでの遅延				200	ns
t_{OEZX}	OE の High からデータ出力イネーブルまでの遅延				160	ns
t_{CO}	DCLK からデータ出力までの遅延				30	ns
t_{MCH}	コンフィギュレーション・チェーンの最初のデバイスの DCLK の High 時間		30	50	150	ns
t_{MCL}	コンフィギュレーション・チェーンの最初のデバイスの DCLK の Low 時間		30	50	150	ns
t_{SCH}	2 番目以降のデバイスの DCLK の High 時間		30			ns
t_{SCL}	2 番目以降のデバイスの DCLK の Low 時間		30			ns
t_{CASC}	CLK の立ち上がりエッジから nCASC まで				20	ns
t_{CCA}	nCS から nCASC までのカスケード遅延				10	ns
f_{CDOE}	CLK からデータ・イネーブル/ディセーブルまで				30	ns
t_{OEC}	OE の Low から CLK ディセーブルまでの遅延				45	ns
t_{NRCAS}	OE の Low (リセット) から nCASC への遅延				25	ns
t_{NRR}	OE の Low (リセット) の最小時間		100			ns

EPC1、EPC1441、EPC1213、EPC1064、EPC1064V使用時におけるFLEX 8000デバイスの
コンフィギュレーション・タイミング・パラメータ

シンボル	パラメータ	条件	EPC1064V		EPC1064 EPC1213		EPC1 EPC1441		単位
			最小	最大	最小	最大	最小	最大	
t_{OEZX}	OEのHighからDATA出力イネーブルまでの遅延			75		50		50	ns
t_{CSZX}	nCSのLowからDATA出力イネーブルまでの遅延			75		50		50	ns
t_{CSXZ}	nCSのHighからDATA出力ディセーブルまでの遅延			75		50		50	ns
t_{CSS}	DCLKの最初の立ち上がりエッジに対するnCS Lowのセットアップ・タイム		150		100		50		ns
t_{CSH}	DCLKの立ち上がりエッジからのnCS Lowのホールド・タイム		0		0		0		ns
t_{DSU}	DCLKの立ち上がりエッジに対するデータのセットアップ・タイム		75		50		50		ns
t_{DH}	DCLKの立ち上がりエッジからのデータ・ホールド・タイム		0		0		0		ns
t_{CO}	DCLKからDATA出力までの遅延			100		75		75	ns
t_{CK}	クロック期間		240		160		100		ns
f_{CK}	クロック周波数			4		6		10	MHz
t_{CL}	DCLK Low時間		120		80		50		ns
t_{CH}	DCLK High時間		120		80		50		ns
t_{XZ}	OEのLowまたはnCSのHighからDATA出力ディセーブルまでの遅延			75		50		50	ns
t_{OEW}	カウンタのリセットが保証されるOEの最小パルス幅		150		100		100		ns
t_{CASC}	最後のDCLK+1からnCASC Lowまでの遅延			90		60		50	ns
t_{CKXZ}	最後のDCLK+1からDATAトライ・ステートまでの遅延			75		50		50	ns
t_{CEOUT}	nCSのHighからnCASC Highまでの遅延			150		100		100	ns

表中の注：

- (1) 絶対最大定格については、1998年版データブックに掲載されている「*Operating Requirements for Altera Devices*」のページを参照して下さい。
- (2) 最低DC入力電圧は - 0.3Vです。無負荷の条件で20ns以下の幅であれば、過渡状態の期間に入力が - 2.0Vまでアングダシュート、または7.0Vまでオーバシュートしても構いません。
- (3) カッコ内の数値は工業用温度範囲のデバイスのものです。
- (4) V_{CC} の最大立ち上がり時間は100msです。
- (5) 標準値は $T_A=25$ 、 $V_{CC}=5.0V$ の条件のときのものです。
- (6) これらの値は13ページの「推奨動作条件」を基準に規定されています。
- (7) I_{OH} のパラメータはHighレベルTTLまたはCMOS出力電流として参照され、 I_{OL} のパラメータはLowレベルTTL出力電流として参照されます。
- (8) EPC1とEPC1441に対するDCLKの最高周波数は V_{CC} が5.0-Vのときに10MHz、3.3-Vのときは5MHzです。
- (9) キャパシタンスはサンプル・テストのみです。



日本アルテラ株式会社

〒163-0436
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 **Altera Corporation**

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

販売代理店



ソリューション サプライヤ
株式会社 **パルテック**

本 社

〒222-0033
横浜市港北区新横浜2-3-12 新横浜スクエアビル
TEL. 045-477-2009 FAX. 045-477-2010
<http://www.paltek.co.jp/>

大阪営業所

TEL. 06-390-0817 FAX. 06-303-3181