



Includes
MAX 7000E &
MAX 7000S

MAX 7000

プログラマブル・ロジック・
デバイス・ファミリ

1998年 2 月 ver.5.01

Data Sheet

特長

- 第二世代のMAX (Multiple Array Matrix) アーキテクチャをベースにしたCMOS EEPROMプロセスによる高性能デバイス
- 業界標準のJTAG (Joint Test Action Group) インタフェース (IEEE Std. 1149.1-1990を使用した5.0-Vのイン・システム・プログラマビリティ (ISP) をサポートしているMAX 7000Sデバイス
- 128個以上のマクロセルを持つMAX[®] 7000SデバイスにJTAG/バウンダリ・スキャン・テスト (BST) 回路を内蔵
- 600から5,000ユーザブル・ゲートまでの集積度をカバーする完全なEPLDファミリ (表 1 参照)
- 最大5nsのピン間遅延、最高178.6MHzのカウンタ・スピード (配線遅延を含む) の高速性能
- PCI仕様準拠デバイスを含む高性能ファミリ
- MAX 7000Sデバイスに提供されているオープン・ドレイン出力オプション
- クリア、プリセット、クロック、クロック・イネーブルを個別に設定できるプログラマブルなマクロセル・フリップフロップ

表 1 MAX 7000ファミリの特長 注(1)

機 能	EPM7032 EPM7032V EPM7032S	EPM7064 EPM7064S	EPM7096	EPM7128E EPM7128S	EPM7160E EPM7160S	EPM7192E EPM7192S	EPM7256E EPM7256S
ユーザブル・ゲート数	600	1,250	1,800	2,500	3,200	3,750	5,000
マクロセル数	32	64	96	128	160	192	256
ロジック・アレイ・ ブロック数	2	4	6	8	10	12	16
最大ユーザI/Oピン数	36	68	76	100	104	124	164
t _{PD} (ns)	6 (12)	5	7.5	6	6	7.5	7.5
t _{SU} (ns)	5 (10)	4	6	5	5	6	6
t _{FSU} (ns)	2.5 (n/a)	2.5	3	2.5	2.5	3	3
t _{CO1} (ns)	4 (7)	3.5	4.5	4	4	4.5	4.5
f _{CNT} (MHz)	151.5 (90.9)	178.6	125	151.5	151.5	125	125

注 :

(1) カッコ内の数値はEPM7032Vデバイスのものです。

さらに多くの 特長...

- 各マクロセルの消費電力を50%以上も低減できるプログラマブルなパワー・セーブ・モード
- 各マクロセルで最大32本までのプロダクト・タームの使用を可能にするコンフィギュラブルなエクスパンダ・プロダクト・タームを内蔵
- プラスチック・Jリード・チップ・キャリア (PLCC)、セラミック・ピン・グリッド・アレイ (PGA)、プラスチック・クワッド・フラット・バック (PQFP)、パワー・クワッド・フラット・バック (RQFP)、厚さ1mmの薄型クワッド・フラット・バック (TQFP) を含む44ピンから208ピンまでの豊富なパッケージ・オプション
- デザインのプロテクトを可能にするプログラマブルなセキュリティ・ビット
- 3.3-Vまたは5.0-V動作
 - 完全な3.3-V動作を保証したEPM7032V
 - 3.3-Vまたは5.0-Vデバイスとのインタフェースを可能にする MultiVolt™ I/Oインタフェース動作 (44ピン・タイプを除く)
 - 低電源電圧動作のMAX 7000Aデバイスとピン互換
- さらに機能が強化されたMAX 7000EデバイスとMAX 7000Sデバイス
 - ピンまたは内部ロジックからの6種類の信号でドライブ可能な出力イネーブル信号
 - 極性反転が可能な2本のグローバル・クロック信号
 - 内部接続用のリソースを強化し、配線がさらに容易
 - I/Oピンからマクロセル・レジスタへの専用パスにより、高速の入力セットアップ・タイムを実現
 - プログラマブルな出力スルー・レート・コントロール機能
- 486またはペンティアム・ベースのPC、および Sun SPARCstation HP 9000 シリーズ700/800、IBM RISC System/6000の各ワークステーション上で動作するアルテラのMAX+PLUS® II によるソフトウェア・デザイン・サポートと自動配置配線機能
- EDIF 2.0および3.0のネットリスト・ファイル、LPM (Library of Parameterized Modules)、Verilog HDL、VHDLなどとのインタフェースにより、デザインの入力とシミュレーションにはケイデンス、エグゼンプラ・ロジック、メンター・グラフィックス、OrCAD、シノプシス、ベリベストなどの各ベンダから供給されている業界標準のEDAツールが使用可能
- アルテラのマスタ・プログラミング・ユニット (MPU) と BitBlaster™ シリアル・ダウンロード・ケーブル、ByteBlaster™ パラレル・ポート・ダウンロード・ケーブルおよびサード・ベンダのハードウェアによるプログラミング・サポート

概要

MAX 7000ファミリはアルテラが開発した第二世代のMAXアーキテクチャをベースにした高集積で高性能なプログラマブル・ロジック・デバイス (PLD) です。MAX 7000ファミリは最先端のCMOS EEPROMテクノロジーによって製造されており、600から5,000ユーザブル・ゲートの集積度、ISP機能、最大5 nsのピン間遅延と最高178.6MHzのカウンタ・スピードを提供します。MAX 7000Sデバイスの-5、-6、-7および-10のスピード・グレード、MAX 7000EデバイスとMAX 7000デバイスの-5、-6、-7、-10P、および-12Pのスピード・グレードの製品はPCI Local Bus Specification Revision-2.1に準拠しています。各デバイスごとに提供されているスピード・グレードについては、表2を参照して下さい。

表2 MAX 7000 ファミリのスピード・グレード 注(1)

デバイス名	スピード・グレード									
	-5	-6	-7	-10P	-10	-12P	-12	-15	-15T	-20
EPM7032		√	√		√		√	√	√	
EPM7032V							√	√		√
EPM7032S		√ (1)	√ (1)		√ (1)					
EPM7064		√	√		√		√	√		
EPM7064S	√ (1)	√ (1)	√ (1)		√ (1)					
EPM7096			√		√		√	√		
EPM7128E			√	√	√		√	√		√
EPM7128S		√ (1)	√ (1)		√ (1)			√ (1)		
EPM7160E				√	√		√	√		√
EPM7160S		√ (1)	√ (1)		√ (1)			√ (1)		
EPM7192E						√	√	√		√
EPM7192S			√ (1)		√ (1)			√ (1)		
EPM7256E						√	√	√		√
EPM7256S			√ (1)		√ (1)			√ (1)		

注：

(1) MAX 7000Sに関する仕様は暫定規格です。各製品の供給状況については、日本アルテラまたは販売代理店へお問い合わせ下さい。

EPM7128E、EPM7160E、EPM7192E、EPM7256Eの各デバイスはMAX 7000Eデバイスと呼ばれ、これらのデバイスにはグローバル・クロックと出力イネーブル・コントロール機能が追加されており、さらに強化された内部配線のリソース、高速の入力レジスタ、プログラマブルなスルー・レート・コントロールなど多くの特長が提供されています。

EPM7032S、EPM7064S、EPM7128S、EPM7160S、EPM7192S、EPM7256Sの各デバイスはMAX 7000Sデバイスと呼ばれ、イン・システム・プログラミング (ISP) 機能をサポートしています。MAX 7000SデバイスはISP機能と共にMAX 7000Eデバイスで実現された追加機能とオープン・ドレインの出力オプションをサポートしており、128マクロセル以上のデバイスにはJTAGバウンダリ・スキャン・テスト (BST) 回路が内蔵されています。詳細については表3を参照して下さい。

表3 MAX 7000 デバイスに提供されている機能

機 能	EPM7032 EPM7032V EPM7064 EPM7096	すべての MAX 7000E デバイス	すべての MAX 7000S デバイス
JTAGインタフェースによるISP			√
JTAG BST回路			√ (1)
オープン・ドレイン出力オプション			√
高速入力レジスタ		√	√
6本のグローバル出力イネーブル		√	√
2本のグローバル・クロック		√	√
スルー・レート・コントロール		√	√
MultiVoltインタフェース 注(2)	√	√	√
プログラマブル・レジスタ	√	√	√
パラレル・エクスパンダ	√	√	√
シェアド・エクスパンダ	√	√	√
パワー・セーブ・モード	√	√	√
セキュリティ・ビット	√	√	√
PCI 仕様準拠バージョン	√	√	√

注：

(1) EPM7128S、EPM7160S、EPM7192S、EPM7256Sの各デバイスのみに内蔵されています。

(2) MultiVolt I/Oインタフェースは44ピン・パッケージのデバイスには提供されません。

MAX 7000のアーキテクチャはすべてのTTL回路を100%エミュレートすることができ、SSI、MSI、およびLSIの論理機能の高集積化が可能です。また、複数のPAL、GAL、22V10からMACH、pLSI、FPGAに至るプログラマブル・ロジックをMAX 7000デバイスに容易に集積化することができます。一般的に使用されているマスク・プログラマブル・ゲート・アレイに匹敵するスピード、集積度、I/O数を持っているMAX 7000デバイスは、ゲート・アレイのプロトタイプ用途にも理想的なデバイスとなっています。MAX 7000デバイスには豊富なパッケージ・オプションが用意されており、PLCC、PGA、PQFP、RQFP、TQFPを含む多様なパッケージで供給されています。各デバイスごとに供給されるパッケージの種類については表4を参照して下さい。

表4 MAX 7000 デバイスのパッケージ・オプションと最大ユーザ I/O ピン数 注(1)

デバイス名	44- Pin PLCC	44- Pin PQFP	44- Pin TQFP	68- Pin PLCC	84- Pin PLCC	100- Pin PQFP	100- Pin TQFP	160- Pin PQFP	160- Pin PGA	192- Pin PGA	208- Pin PQFP	208- Pin RQFP
EPM7032	36	36	36									
EPM7032V	36		36									
EPM7032S	36		36									
EPM7064	36		36	52	68	68						
EPM7064S	36		36		68		68					
EPM7096				52	64	76						
EPM7128E					68	84		100				
EPM7128S					68	84	84,(3)	100				
EPM7160E					64	84		104				
EPM7160S					64		84,(3)	104				
EPM7192E								124	124			
EPM7192S								124				
EPM7256E								132,(3)		164		164
EPM7256S											164,(3)	164

注：

- (1) 各パッケージの最新の供給状況については、日本アルテラまたは販売代理店にお問い合わせ下さい。
- (2) MAX 7000SデバイスのJTAGインタフェースでは、4本のI/OピンがJTAGピンになります。
- (3) このパッケージでデザインを行う場合は、事前に熱特性に関する十分な評価を行って下さい。詳細については1998年版データブックに掲載されている「Operating Requirements for Altera Devices」のデータシートを参照して下さい。

MAX 7000ファミリの各デバイスは、論理機能の実現にCMOSのEEPROMセルを使用しています。ユーザ・プログラマブルなMAX 7000のアーキテクチャは、独立した組み合わせ回路と順序回路の機能を幅広く実現することができます。MAX 7000デバイスでは、デザインの開発とデバッグ・サイクルにおける設計変更、プログラムを迅速にかつ効率的に繰り返して行うことができ、100回までのプログラム・イレース（消去）サイクルが保証されています。

MAX 7000デバイスは32個から256個のマクロセルを内蔵しており、各マクロセルは16個単位でロジック・アレイ・ブロック（LAB）と呼ばれる1つのグループにまとめられています。各マクロセルはプログラマブルなANDと固定のORで構成されるアレイとプログラマブルなレジスタを持っており、このレジスタのクロック、クロック・イネーブル、クリア、プリセットの機能はマクロセルごとに個別に設定することができます。また、複雑な論理機能を構成する場合には、各マクロセルがシェアラブル・エキスパンダと高速の平行・エキスパンダによる追加のプロダクト・タームを使用することができ、マクロセル当たり最大32本までのプロダクト・タームが提供されます。

MAX 7000ファミリはプログラマブルなスピードとパワーの最適化機能を持っており、スピードのクリティカルな部分をハイ・スピード/フル・パワーのモードで動作させながら、残りの部分を低速のロー・パワー・モードで動作させることができます。このスピードとパワーの関係を最適化する特長を利用することによって、ロー・パワー・モードが選択された1個または複数のマクロセルには一定の追加タイミング遅延が発生しますが、これらのマクロセルを高速モードの50%、またはそれ以下の消費電力で動作させることができます。さらにMAX 7000EとMAX 7000Sの各デバイスには出力バッファのスルー・レートを低下させるオプションが提供されており、スピードがクリティカルでない信号のスイッチング・スピードを低下させて、発生するノイズを最小に抑えることができます。MAX 7000のすべてのデバイス（ただし、44ピン・タイプを除く）の出力ドライバは3.3-Vまたは5.0-Vのいずれかの電圧で動作するように設定可能であり、複数の電源電圧を持ったシステムに使用することができます。

MAX 7000ファミリのデバイスの設計は、回路図、VHDL、Verilog HDL、アルテラ・ハードウェア記述言語（AHDL）を含むテキスト、波形の各デザイン入力、コンパイル、論理合成、シミュレーション、タイミング解析、そしてデバイス・プログラミングの各機能を1パッケージに統合したアルテラのMAX+PLUS II開発システムによってサポートされています。また、MAX+PLUS IIはEDIF2.0および3.0、LPM、VHDL、Verilog HDLなどのネット・リスト・インタフェースを提供しており、デザインの入力とシミュレーションには他のベンダから供給されるPCまたはUNIXベースのワークステーションで動作する標準EDAツールも使用できます。MAX+PLUS IIは486またはペンティアム・ベースのPC、およびSun SPARCstation HP 9000シリーズ700/800、IBM RISC System 6000の各ワークステーション上で動作します。



MAX+PLUS IIの詳細については、1998年版データブックに掲載されている「MAX+PLUS II Programmable Logic Development System & Software」のデータシートを参照して下さい。

機能説明

MAX 7000のアーキテクチャは次のエレメントによって構成されています。

- ロジック・アレイ・ブロック（LAB）
- マクロセル
- エクスパンダ・プロダクト・ターム（シェアラブル、およびパラレル）
- プログラマブル・インタコネクト・アレイ
- I/Oコントロール・ブロック

MAX 7000アーキテクチャは4本の専用入力を持っており、これらの専用入力を汎用の入力信号、各マクロセルまたはI/Oピンに対する高速でグローバルなコントロール信号（クロック、クリア、および2本の出力イネーブル）として使用することができます。図1はEPM7032、EPM7032V、EPM7064、EPM7096のアーキテクチャを示したものです。

図 1 EPM7032、EPM7032V、EPM7064、EPM7096のアーキテクチャ

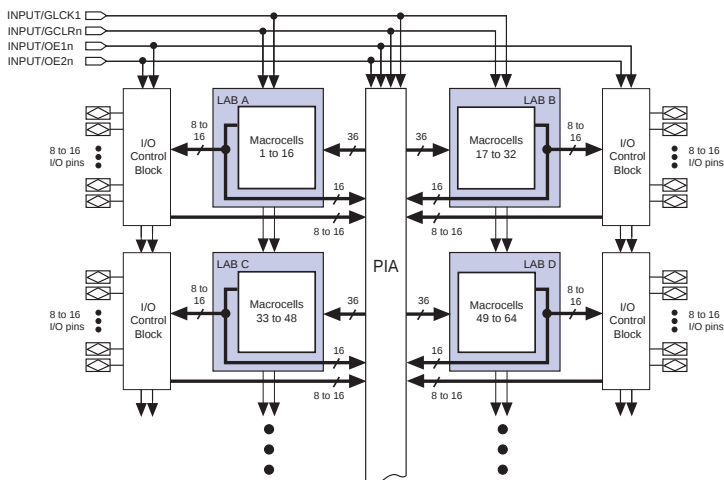
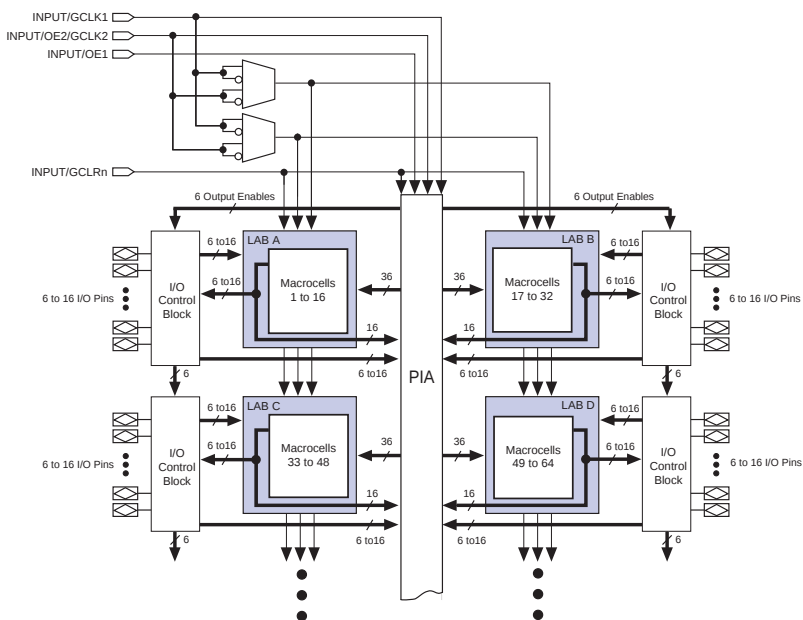


図 2 はMAX 7000EとMAX 7000Sデバイスのアーキテクチャを示したものです。

図 2 MAX 7000EとMAX 7000Sデバイスのアーキテクチャ



ロジック・アレイ・ブロック

MAX 7000のアーキテクチャは、ロジック・アレイ・ブロック (LAB) と呼ばれる高性能で柔軟性に富んだ小さなロジック・アレイのモジュールを相互に接続するというコンセプトに基づいて構成されています。図1と図2で示されているように、LABは16個のマクロセルによって構成されており、プログラマブル・インタコネクト・アレイ (PIA) と呼ばれるグローバルなバスを通じて相互に接続されます。このPIAにはすべての入力専用ピン、I/Oピン、マクロセルが接続されています。

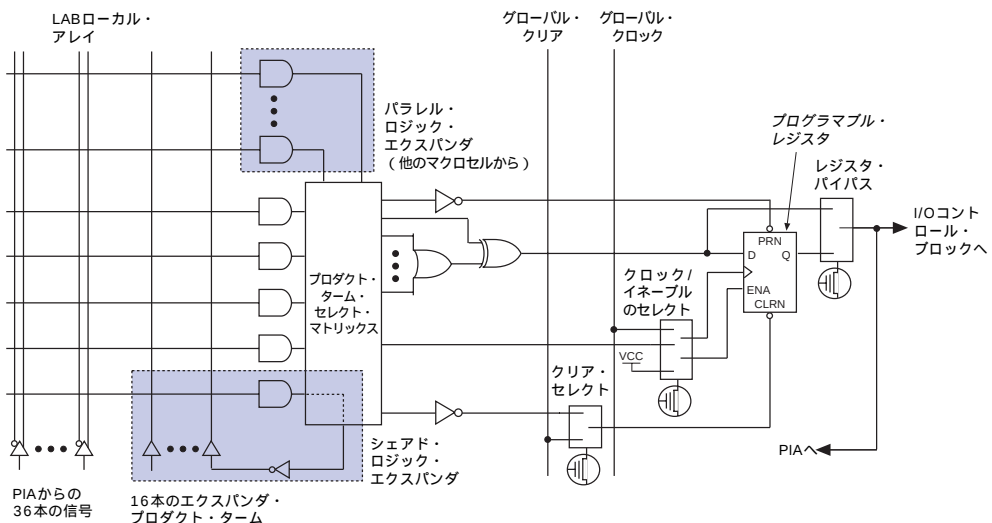
各LABには次の信号が接続されます。

- 汎用のロジック入力として使用されるPIA (Programmable Interconnect Array) からの36本の信号
- レジスタ機能の制御に使用されるグローバルなコントロール信号
- MAX 7000EとMAX 7000Sの各デバイスで、各レジスタに高速のセットアップ・タイムを提供するI/Oピンからレジスタへのダイレクト・パスを通じて入力される信号

マクロセル

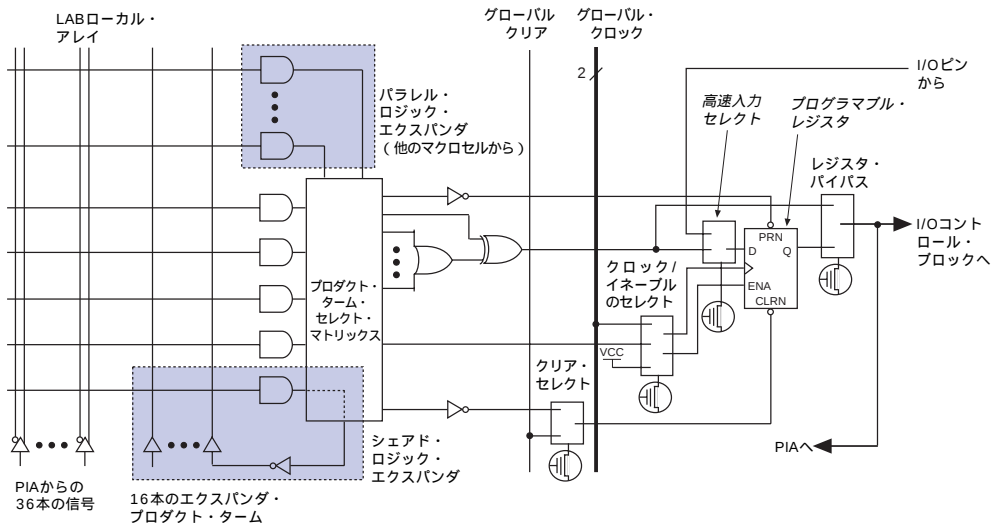
MAX 7000のマクロセルは組み合わせ回路、またはシーケンシャルな回路の動作を行うように個別に設定することができます。マクロセルはロジック・アレイ、プロダクト・ターム・セレクト・マトリックス、およびプログラマブル・レジスタの3つの機能ブロックで構成されています。EPM7032、EPM7032V、EPM7064、EPM7096のマクロセルは図3のようになっています。

図3 EPM7032、EPM7032V、EPM7064、EPM7096のマクロセル



MAX 7000EデバイスとMAX 7000Sデバイスのマクロセルは図4のようになっています。

図4 MAX 7000EデバイスとMAX 7000Sデバイスのマクロセル



組み合わせ論理はロジック・アレイで実現され、ロジック・アレイから各マクロセルに5本のプロダクト・タームが割り当てられています。プロダクト・ターム・セレクト・マトリックスによって、これらのプロダクト・タームはORゲートおよびXORゲートに対する入力、またはマクロセル内のレジスタに対するクリア、プリセット、クロック、クロック・イネーブルの入力信号として使用されます。また、MAX 7000のアーキテクチャには、マクロセルのロジック・リソースを強化する下記の2種類のエクスパンダ・プロダクト・タームが提供されています。

- プロダクト・タームの極性を反転させ、ロジック・アレイにフィードバックさせることができる「シェアラブル・エクスパンダ」
- 隣接したマクロセルから追加のプロダクト・タームとして借りることができる「パラレル・エクスパンダ」

MAX+PLUS IIは、各デザインで要求されるロジックに応じて自動的にプロダクト・タームの分配を最適化します。

レジスタ付きのロジックを実現する場合は、各マクロセルのフリップフロップがクロック・コントロール機能を持ったD、T、JK、SRのタイプの動作を行うように個別にプログラムすることができます。また、組み合わせ回路を構成する場合は、必要に応じてフリップフロップをバイパスすることも可能です。ユーザはデザインの入力時にフリップフロップのタイプを指定することもできます。また、各デザインが要求するロジックに対して、MAX+PLUS IIはデバイス内で使用されるリソースを最小化するため、各レジスタに対して最も効率的なフリップフロップのタイプを選択します。

各プログラマブル・レジスタには、次の3種類のクロック・モードが提供されています。

- 専用のグローバル・クロック・ピンからの信号をレジスタのクロックとするモード。このモードでは、最も高速な「Clock-to-Output」遅延が実現されます。
- グローバル・クロック・ピンからの信号をアクティブHighのクロック・イネーブル信号によってイネーブルし、レジスタのクロックとして与えるモード。このモードでは、グローバル・クロックによる「Clock-to-Output」遅延が最も高速となる特長を生かしながら、各フリップフロップを個別にイネーブルにすることができます。
- プロダクト・タームで生成された信号をレジスタのアレイ・クロックとするモード。このモードでは、I/Oピンまたはマクロセルからの信号ソースをフリップフロップのクロックとして使用できます。

EPM7032、EPM7032V、EPM7064、EPM7096の各デバイスに対しては、図1で示されているようにクロック専用のピン、GCLK1からのグローバル・クロックが提供されています。また、MAX 7000EとMAX 7000Sの各デバイスには2本のグローバル・クロックが提供されており、図2で示されているようにGCLK1またはGCLK2のグローバル・クロック・ピンからのいずれかの信号を非反転、または反転させた極性で使用することができます。

各レジスタには非同期のプリセットとクリアが使用できます。図3と図4に示したように、これらの動作に必要なプロダクト・タームは、プロダクト・ターム・セレクト・マトリックスによって各レジスタに割り当てられます。レジスタはアクティブHighの入力でプリセットまたはクリアされますが、デバイス内部のアレイで信号を反転させることによって、アクティブLowの信号でレジスタをプリセットまたはクリアすることもできます。さらに、各レジスタのクリア機能は、アクティブLowで動作するグローバル・クリア・ピン（GCLRn）からの信号を使用して個別に設定することができます。

MAX 7000EおよびMAX 7000Sのすべてのデバイスには、各マクロセル・レジスタに対応したI/Oピンからの高速レジスタ入力バスが提供されています。この専用バスを使用することによって、I/Oピンからの信号をPIAや組み合わせ回路をバイパスさせてダイレクトにフリップフロップに入力することが可能になり、このフリップフロップを非常に高速なセットアップ・タイム（3ns）で動作させることができます。

エキスパンダ・プロダクト・ターム

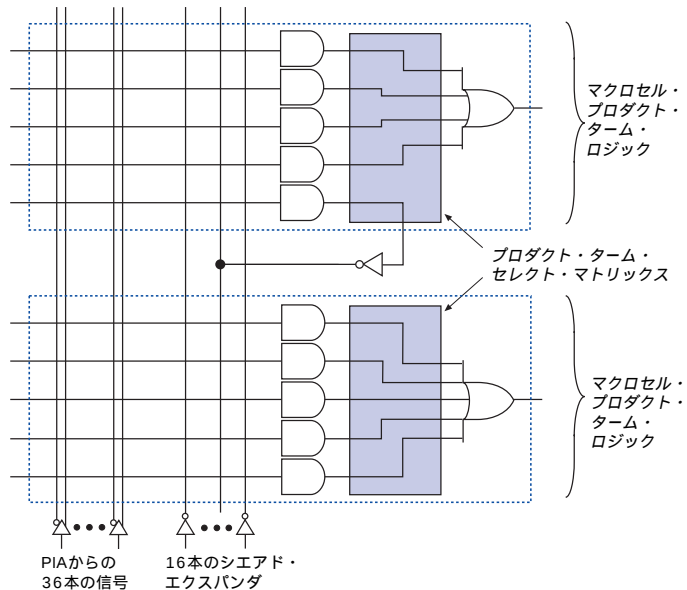
ほとんどの論理機能は各マクロセルに提供されている5本のプロダクト・タームによって実現できますが、さらに複雑なロジックの構成には追加のプロダクト・タームが必要になります。このような場合、MAX 7000のアーキテクチャでは必要となるロジックのリソースを他のマクロセルから供給する代わりに、同一LAB内のあらゆるマクロセルに対して追加のプロダクト・タームとなる「シェアラブル・エキスパンダ」と「パラレル・エキスパンダ」が提供されています。これらのエキスパンダを使用することによって、最も高速で動作するロジックを最小のリソースで構成することができます。

シェアラブル・エキスパンダ

各LABは最大16本までのシェアラブル・エキスパンダを持っており、これらは特定のマクロセルに直接接続されていないプロダクト・ターム（各マクロセルから1本ずつ）をプールしたような形となっています。このプロダクト・タームの出力は反転されて内部にフィードバックされています。複雑なロジックを実現する場合、シェアラブル・エキスパンダは同一LAB内の任意のマクロセル、あるいはすべてのマクロセルで共有して使用することができます。シェアラブル・エキスパンダが使用された場合、 t_{SEXP} に相当する小さな追加タイミング遅延が発生します。図5はシェアラブル・エキスパンダが複数のマクロセルに接続できることを示したものです。

図5 シェアラブル・エキスパンダ

シェアラブル・エキスパンダは同一LABの任意のマクロセルまたはすべてのマクロセルで共有が可能



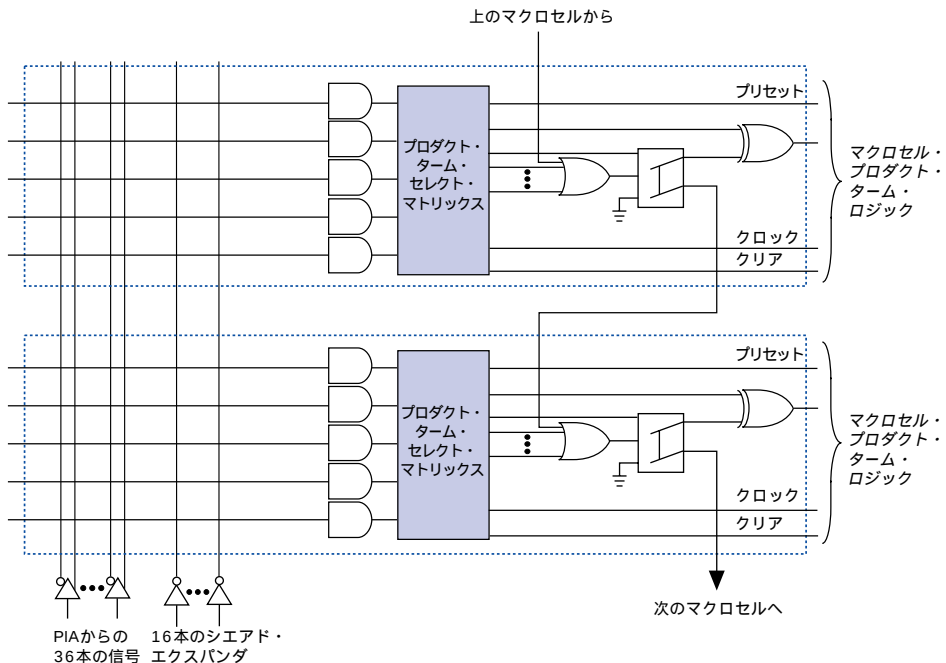
パラレル・エキスパンダ

パラレル・エキスパンダは各マクロセルで使用されないプロダクト・タームで、高速で複雑な論理機能を実現する場合に隣接したマクロセルで使用することができます。各マクロセルには5本のプロダクト・タームがあり、さらに15本のパラレル・エキスパンダをLAB内の隣接したマクロセルから供給することができます。このため、1個のマクロセルのORゲートには最大20本までのプロダクト・タームを入力することができます。

MAX+PLUS IIのコンパイラは、5本のパラレル・エキスパンダを1セットとして最大3セットまでを必要なマクロセルに追加のプロダクト・タームとして自動的に分配することができます。この5本で1セットのエキスパンダが使用されるごとに、小さな追加タイミング遅延 (t_{PEXP}) が発生します。1個のマクロセルが14本のプロダクト・タームを必要とする場合には、コンパイラがマクロセル内の5本の専用プロダクト・タームと2セットのパラレル・エキスパンダを使用し、最初の1セット目のパラレル・エキスパンダから5本のプロダクト・タームと2セット目のパラレル・エキスパンダから4本のプロダクト・タームを割り当て、合計14本のプロダクト・タームが割り当てられます。このような場合には、 t_{PEXP} の2倍の追加遅延が発生します。

図6 パラレル・エキスパンダ

使用されていないプロダクト・タームを隣接したマクロセルに割り当てることが可能

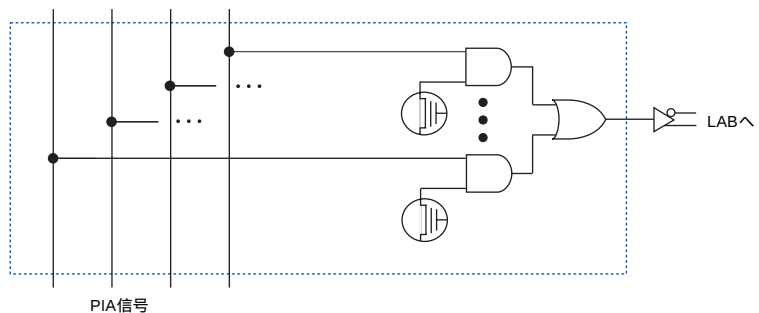


L A B内の8個のマクロセルを1つのグループとして、その2つのグループ（マクロセル-1からマクロセル-8までと、マクロセル-9からマクロセル-16までの2グループ）がパラレル・エキスパンダの貸し借りをするための2つのチェーンを構成します。1個のマクロセルは下位の番号のマクロセル・パラレル・エキスパンダを借りることができます。例えば、マクロセル-8はマクロセル-7から、またはマクロセル-7と-6から、あるいはマクロセル-7、-6、-5からパラレル・エキスパンダを借りることができます。8個のマクロセルで構成されるグループ内では、最も番号の小さいマクロセルがパラレル・エキスパンダを貸すだけで、最も番号の大きなマクロセルがパラレル・エキスパンダを借りるだけとなります。図6は隣接したマクロセル間でパラレル・エキスパンダが貸し借りされる様子を示したものです。

プログラマブル・インタコネクト・アレイ

L A B間の接続はプログラマブル・インタコネクト・アレイ（PIA）によって行われます。このグローバルなバスは、デバイス内のあらゆる信号ソースをあらゆるディスティネーションに接続することができます。MAX 7000のすべての専用入力、I/Oピンからのフィードバック、マクロセルからのフィードバックはPIAに接続されており、PIAはデバイス全体にわたる配線が行えます。ここで、各L A Bの必要とする信号のみがPIAからL A Bに実際に接続されます。図7はPIAからの信号がL A Bに接続される様子を示したものです。ここで、EEPROMのセルが2入力ANDゲート的一方の入力をコントロールしており、PIAからL A Bに接続される信号が選択されます。

図7 PIAによる配線



チャンネル構造の配線形式となっているマスクド・ゲート・アレイやフィールド・プログラマブル・ゲート・アレイ（FPGA）では一定しない配線遅延が累積されるため、トータルな配線遅延は実際に配線されるパスに依存することになります。これに対して、MAX 7000のPIAの配線遅延は一定です。このように、PIAによる配線は信号間のスキューをなくし、タイミング性能が予測しやすくなっています。

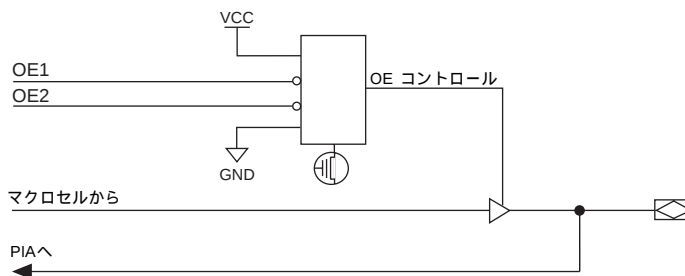
I/Oコントロール・ブロック

I/Oコントロール・ブロックでは、各I/Oピンを入力または出力、あるいは双方向のピンに個別に設定できるようになっています。すべてのI/Oピンはトライ・ステート・バッファを持っています。このトライ・ステート・バッファのコントロール信号にはグローバルな出力イネーブル信号のうちのいずれか1本を使用することができ、コントロール信号をGNDまたは V_{CC} に直接接続することも可能です。図8はMAX 7000ファミリのI/Oコントロール・ブロックを示したものです。EPM7032、EPM7032V、EPM7064、EPM7096の各デバイスのI/Oコントロール・ブロックには2本のグローバルな出力イネーブル信号が提供されており、アクティブLowで動作する出力イネーブル専用ピン（OE1とOE2）からドライブされます。MAX 7000EとMAX 7000S[®]デバイスのI/Oコントロール・ブロックには計6本のグローバル出力イネーブル信号が提供されており、2本の出力イネーブルからの非反転または反転信号、他のI/Oピンからの信号、またはI/Oピンとマクロセルからの組み合わせ信号によってドライブされるようになっています。

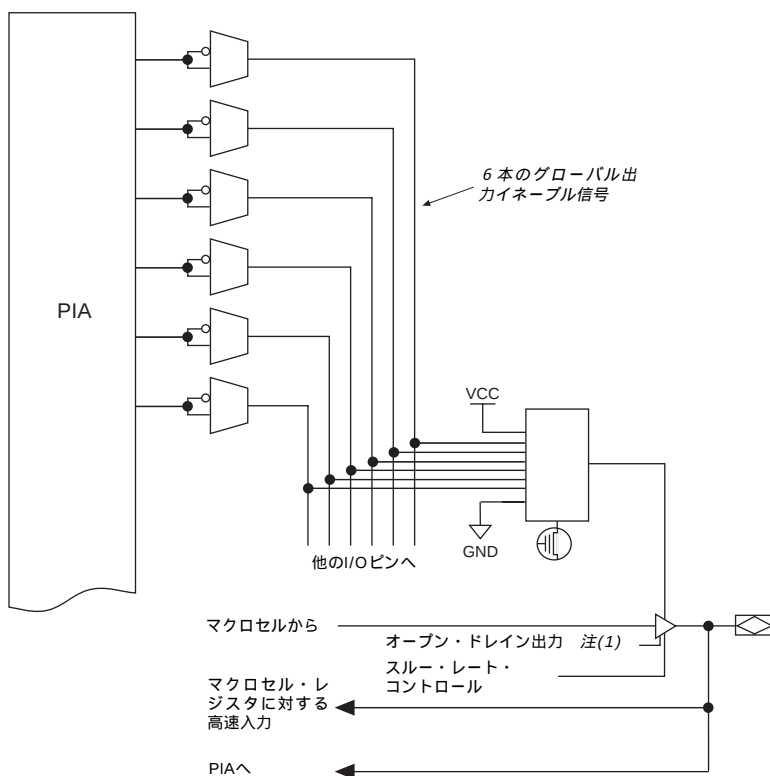
トライ・ステート・バッファ・コントロールがGNDに接続された場合、出力バッファは常にトライ・ステート（ハイ・インピーダンス）となり、そのI/Oピンは入力専用ピンとなります。また、このトライ・ステート・バッファ・コントロールが V_{CC} に接続された場合には、出力が常時イネーブルとなります。

MAX 7000のアーキテクチャでは、マクロセルからのフィードバックとI/Oピンからのフィードバックが分離されているデュアルのI/Oフィードバック構造が採用されています。このため、I/Oピンが入力に設定された場合でも、対応するマクロセルを内部の埋め込みロジックとして使用できます。

図8 MAX 7000デバイスのI/Oコントロール・ブロック
EPM7032、EPM7032V、EPM7064、EPM7096デバイス



MAX 7000EとMAX 7000Sデバイス



注：

(1) オープン・ドレイン出力のオプションはMAX 7000Sデバイスにのみに提供されています。

イン・システム・ プログラマビリ ティ (ISP)

MAX 7000Sデバイスは業界標準であるJTAG (Joint Test Action Group) インタフェース (IEEE Std. 1149.1-1990) の4本のピンを使用したイン・システム・プログラマビリティ (ISP) をサポートしています。ISPの機能を使用することによって、開発およびデバッグ段階での設計変更とプログラムを迅速にまた効率的に繰り返し行うことができます。MAX 7000SデバイスのアーキテクチャではEEPROMセルのプログラムに必要な高電圧がデバイス内部で生成されるようになっており、5.0-Vの単一電源によるイン・システム・プログラミングがサポートされています。ISPが実行されるとき、ボード上で信号のコンフリクトが発生しないように、各I/Oピンはトライ・ステートとなり、内部でプルアップされます。このときのプルアップ抵抗の値は約50 kΩです。

ISPの機能を活用することによって、デバイスをプログラムする前にボード上に自動機で実装することができるため、製造工程の簡略化が実現できます。MAX 7000Sデバイスは、ICT (In-Circuit Test) 機器、エンベデッド・プロセッサ、アルテラのBitBlasterまたはByteBlasterダウンロード・ケーブルからプログラミング・データをダウンロードすることによってプログラムすることができます。デバイスをボード上に実装した後でプログラミングすることで、デバイスのハンドリングによるピン数の多いパッケージ (例えば、QFPパッケージ) のリードを損傷する危険性が解消されます。MAX 7000Sデバイスはシステムの出荷後でも再プログラムすることができるため、ソフトウェアまたはモデムを通じて新しいプログラミング・データを送信してシステムのアップデートをフィールドで行うこともできます。

プログラマブ ルなスピード / パワー・コ ントロール

MAX 7000デバイスには、デバイス全体またはユーザが指定した特定の信号パスをロー・パワー・モードで動作させる機能が提供されています。ほとんどのロジック・アプリケーションでは最高周波数で動作する必要のあるゲートは全体のごく一部となるため、この機能を使用して、デバイス全体の消費電力を50%以上も低減することができます。

MAX 7000デバイス内の各マクロセルは、高速モード (Turbo Bit™ のオプションをオンに設定) またはロー・パワー・モード (Turbo Bitのオプションをオフに設定) のいずれかに個別に設定できるようになっています。これにより、デザイン内でスピードが要求される部分のみを高速で動作させ、他の部分をロー・パワーで動作させることができます。ロー・パワーで動作するマクロセルでは、 t_{LAD} 、 t_{LAQ} 、 t_{IC} 、 t_{ACL} 、 t_{EN} 、 t_{SEXP} のパラメータが、わずかなタイミング遅延分 (t_{LPA}) だけ増加します。

出力のコン フィギュレー ション

MAX 7000デバイスの出力はシステム・レベルの幅広い要求に対応できるように設定することができます。

MultiVolt I/Oインタフェース

44ピン・タイプを除くすべてのMAX 7000デバイスでは、MultiVolt I/Oインタフェース機能をサポートしており、電源電圧の異なるシステムとインタフェースすることができます。すべてのパッケージの5.0-Vデバイスでは、I/Oの動作が5.0-Vまたは3.3-Vの電圧で行われるように設定すること

ができます。これらのデバイスは、内部ロジックと入力バッファ用の電源ピン（VCCINT）と、I/Oの出力ドライバ用の電源ピン（VCCIO）の2種類のVCCピンを持っています。

VCCINTピンは常時5.0-Vの電源に接続される必要があります。V_{CCINT}を5.0-Vレベルにすることで、入力のスレッシュホールド電圧がTTLレベルとなり、V_{CCINT}および低電圧の入力との互換性が提供されます。

VCCIOピンは出力の要求に応じて3.3-Vあるいは5.0-Vのいずれかの電源に接続することができます。VCCIOピンを5.0-Vの電源に接続した場合には、出力レベルが5.0-Vのシステムと互換性を持つようになります。V_{CCIO}を3.3-Vの電源に接続した場合には、出力のHighレベルが3.3-Vになり、3.3-Vと5.0-Vのシステムとの互換性が提供されます。4.75-V未満のV_{CCIO}での動作では、タイミング遅延が通常の t_{OD1} よりも大きい t_{OD2} の値となります。

オープン・ドレイン出力オプション (MAX 7000Sデバイスのみ)

MAX 7000Sの各デバイスには、I/Oピンにオープン・ドレイン出力（オープン・コレクタ出力と等価）のオプションが提供されています。オープン・ドレイン出力を使用することによって、システム・レベルのコントロール信号を複数のデバイスで使えるようになります。（例：インタラプトやライト・イネーブルの信号）また、これを使用して追加のワイヤード-ORのブレンを構成することもできます。

スルー・レート・コントロール

MAX 7000EとMAX 7000SデバイスのI/Oピンの出力バッファには出力のスルー・レート・コントロール機能が提供されており、各出力バッファをロー・ノイズの動作モード、または高速性能の動作モードのいずれかに設定することができます。高速のスルー・レートでは信号が非常に高速な遷移で出力されますが、システム内でより多くのノイズが発生する可能性があります。低速のスルー・レートでは、4~5nsの追加遅延が発生しますが、システムのノイズが低減されます。MAX 7000EデバイスでTurbo Bitをオフに設定すると、ロー・ノイズとなる低速のスルー・レートが選択されます。MAX 7000Sデバイスでは、各I/Oピンのスルー・レート特性を個別にEEPROMの各ビットに設定することができるため、各ピンごとにスルー・レートを設定することができます。

外部ハードウェアによるデバイス・プログラミング

すべてのMAX 7000デバイスは、486またはペンティアム・ベースのPCとアルテラのロジック・プログラマ・カード、マスタ・プログラミング・ユニット (MPU)、および対応するデバイス・アダプタを使ってプログラムすることができます。MPUはデバイスとソケット間の電気的な接触を確保するためのコンティニュイティ・テストを実行します。さらに詳しい情報については、1998年版データブックに掲載されている「*Altera Programming Hardware*」を参照して下さい。

MAX+PLUS IIでは、テキストまたは波形エディタを使ってテスト・ベクタを生成することができ、プログラムされたデバイスを生成されたテキストまたは波形フォーマットのベクタでテストすることができます。さらに、デザインを検証する方法として、MAX 7000デバイスのファンクション動作とシミュレーション結果との比較を行う方法も提供されています。Data I/O、BP Microsystemや他のプログラマ・メーカーもアルテラ・デバイスのプログラミングをサポートしています。詳細については1998年版データブックに掲載されている「*Programming Hardware Manufacturers*」をご覧ください。

IEEE 1149.1 (JTAG) バウンダリ・スキンのサポート

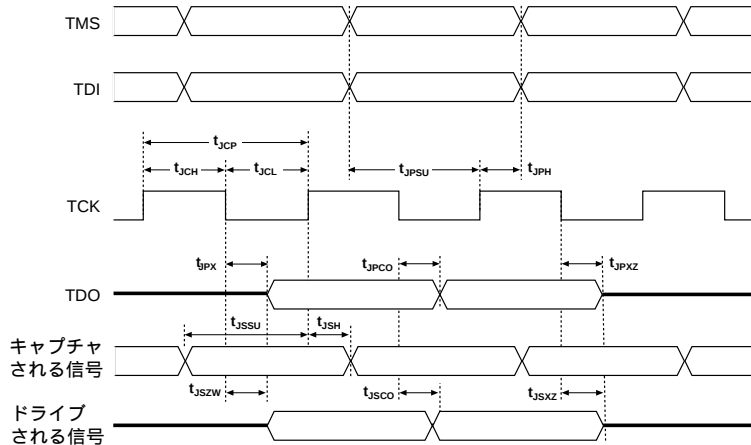
MAX 7000デバイスは、IEEE Std. 1149.1-1990で規定されたJTAG BST回路をサポートしています。表5はMAX 7000ファミリのデバイスによってサポートされているJTAGインストラクションを示したものです。各デバイスのJTAG用コントロール・ピンは、このデータシートの45ページから示されているピン配置の表で確認して下さい。JTAGインタフェースを必要としない場合は、これらのJTAGピンをユーザI/Oピンとして使用することができます。

表5 MAX 7000がサポートしているJTAG インストラクション

JTAG インストラクション	内 容
SAMPLE/PRELOAD	動作中のデバイスのピンから信号を取り込んでテストすることができます。また、最初のデータ・パターンをデバイス・ピンに出力させることができます。
EXTEST	出力ピンにテスト・パターンを強制的に与え、入力ピンのデータを取り込んでテスト結果を比較することによって外部回路との接続とボードレベルの配線がテストできる。
BYPASS	TDI ピンとTDOピンの間に1ビットのバイパス・レジスタを配置することによって、デバイスに通常の動作をさせながらBSTデータが指定したデバイスをバイパスして隣接したデバイスに同期転送されるようにすることができます。
IDCODE	IDCODEレジスタを選択し、TDIとTDOのピン間にこのレジスタを配置することによって、TDOからIDCODEをシリアルに出力させることができます。
UESCODE	ユーザの指定したコード (UESCODE) を選択し、このコードがTDOからシリアルにシフト・アウトされるようにすることができます。
ISP 関連インストラクション	これらのインストラクションは、JTAG ピンを使用して MAX 7000 デバイスを BitBlaster または ByteBlaster のダウンロード・ケーブル、Jam ファイルまたは シリアル・ベクタ・フォーマット (.svf) を採用したエンベデッド・プロセッサやテスト機器からプログラムするときに使用される。

図9はJTAG信号のタイミング波形を示したものです。

図9 MAX 7000のJTAG信号タイミング波形



デザインのセキュリティ

JTAG BSIに関する詳細については、当社発行のアプリケーション・ノート、AN 39「JTAG Boundary-Scan Testing in Altera Devices(日本語版「アルテラ・デバイスのJTAGバウンダリ・スキャン・テスト」)」を参照して下さい。

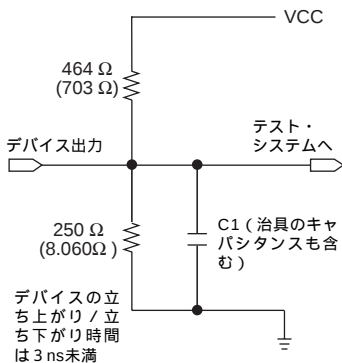
MAX 7000ファミリのすべてのデバイスには、デバイスにプログラムされた内部データへのアクセスをコントロールすることができるプログラマブルなセキュリティ・ビットが組み込まれています。このビットがプログラムされると、デバイス内に実現されているデザインの内容をコピーしたり、外部に読み出すことができなくなります。この機能を使用することによって、EEPROMセルにプログラムされたデータを見ることが不可能になり、ハイレベルな設計上のセキュリティが提供されます。デバイスが消去されるときにのみ、この機能をコントロールするセキュリティ・ビットが他のすべてのプログラム・データと同様にリセットされます。

デバイスのテスト

MAX 7000デバイスに対しては完全な機能テストが行われており、その動作が保証されています。それぞれのプログラマブルなEEPROMビットとすべての内部ロジック・エレメントは完全にテストされ、100%のプログラミング・イールドが保証されています。ACテストは図10と等価な測定条件で行われています。テストには生産フローの初期の工程から複数のテスト・パターンが使用され、その後に消去されるようになっています。

図10 MAX 7000のACテスト条件

電源のトランジェントがAC特性の測定に影響を及ぼすことがあります。正確な測定を行うため、複数の出力を同時に変化させることは避けて下さい。スレッシュホールドのテストはACの測定条件下では行わないで下さい。デバイスの出力が負荷のキャパシタンスをディスチャージするとき、大振幅で高速なグラウンド電流のトランジェントが発生します。これらのトランジェントがグラウンド・ピンとテスト・システムのグラウンドとの間に存在する寄生インダクタンスに流れると、ノイズ・マージンが著しく低下します。() 内の数字は3.3-Vデバイスの場合の抵抗値です。



QFPキャリアと開発用ソケット

100ピン以上のQFPパッケージで供給されるMAX 7000とMAX 7000Eは、繊細なQFPのリードを保護するため、特別なプラスチック・キャリア付きで出荷されています。このキャリアは同様にアルテラから供給されている開発用ソケットとプログラミング・ハードウェアと適合するようになっています。このキャリア・テクノロジーの開発により、デバイスに危険な機械的なストレスを与えることなく、デバイスのプログラム、テスト、消去、再プログラムを行うことができます。このキャリア・テクノロジーに関する詳しい情報については、1998年版データブックに掲載されている「*QFP Carrier & Development Socket*」のデータシートを参照して下さい。

 MAX 7000Sデバイスは、キャリア付きで出荷されません。

動作条件

以下の表はMAX 7000デバイスの絶対最大定格、推奨動作条件、DC特性およびキャパシタンスを示したものです。

MAX 7000 5.0-Vデバイスの絶対最大定格 注(1)

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	供給電源電圧	GNDに対して 注(2)	-2.0	7.0	V
V_I	DC入力電圧		-2.0	7.0	V
I_{OUT}	ピンあたりのDC出力電流		-25	25	mA
T_{STG}	保存温度	バイアスなし	-65	150	°C
T_{AMB}	周囲温度	バイアス時	-65	135	°C
T_J	接合温度	セラミック・パッケージ、バイアス時		150	°C
		PQFPおよびRQFPパッケージ、バイアス時		135	°C

MAX 7000 5.0-Vデバイスの推奨動作条件

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックおよび入力バッファ用供給電圧	注(3)、(4)	4.75 (4.50)	5.25 (5.50)	V
V_{CCIO}	5.0-V動作時の出力ドライバ用供給電圧	注(3)、(4)	4.75 (4.50)	5.25 (5.50)	V
	3.3-V動作時の出力ドライバ用供給電圧	注(3)、(4)、(5)	3.00 (3.00)	3.60 (3.60)	V
V_{CCISP}	ISP時の供給電圧	注(6)	4.75	5.25	V
V_I	入力電圧		0	V_{CCINT}	V
V_O	出力電圧		0	V_{CCIO}	V
T_A	動作温度	一般用	0	70	°C
		工業用	-40	85	°C
T_J	接合温度	一般用	0	90	°C
		工業用	-40	105	°C
t_R	入力立ち上がり時間			40	ns
t_F	入力立ち下がり時間			40	ns

MAX 7000 5.0-Vデバイス DC特性 注(7)

シンボル	パラメータ	条件	最小	最大	単位
V_{IH}	Highレベル入力電圧		2.0	$V_{CCINT} + 0.3$	V
V_{IL}	Lowレベル入力電圧		-0.3	0.8	V
V_{OH}	5.0-V HighレベルTTL出力電圧	$I_{OH} = -4 \text{ mA DC}$, $V_{CCIO} = 4.75 \text{ V}$ 注(8)	2.4		V
	3.3-V HighレベルTTL出力電圧	$I_{OH} = -4 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(8)	2.4		V
	3.3-V HighレベルCMOS出力電圧	$I_{OH} = -0.1 \text{ mA DC}$, $V_{CCIO} = 3.0 \text{ V}$ 注(8)	$V_{CCIO} - 0.2$		V
V_{OL}	5.0-V LowレベルTTL出力電圧	$I_{OL} = 12 \text{ mA DC}$, $V_{CCIO} = 4.75 \text{ V}$ 注(9)		0.45	V
	3.3-V LowレベルTTL出力電圧	$I_{OL} = 12 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(9)		0.45	V
	3.3-V LowレベルCMOS出力電圧	$I_{OL} = 0.1 \text{ mA DC}$, $V_{CCIO} = 3.0 \text{ V}$ 注(9)		0.2	V
I_I	入力専用ピンのリーク電流	$V_I = V_{CC}$ or ground	-10	10	μA
I_{OZ}	トライ・ステート出力のオフ・ステート電流	$V_O = V_{CC}$ or ground 注(10)	-40	40	μA

MAX 7000 5.0-Vデバイスのキャパシタンス : EPM7032、EPM7064、EPM7096 注(11)

シンボル	パラメータ	条件	最小	最大	単位
C_{IN}	入力ピンのキャパシタンス	$V_{IN} = 0 \text{ V}$, $f = 1.0 \text{ MHz}$		12	pF
C_{IO}	I/O ピンのキャパシタンス	$V_{OUT} = 0 \text{ V}$, $f = 1.0 \text{ MHz}$		12	pF

MAX 7000 5.0-Vデバイスのキャパシタンス：MAX 7000E 注(11)

シンボル	パラメータ	条件	最小	最大	単位
C_{IN}	入力ピンのキャパシタンス	$V_{IN} = 0\text{ V}$, $f = 1.0\text{ MHz}$		15	pF
$C_{I/O}$	I/O ピンのキャパシタンス	$V_{OUT} = 0\text{ V}$, $f = 1.0\text{ MHz}$		15	pF

MAX 7000 5.0-Vデバイスのキャパシタンス：MAX 7000S 注(11)

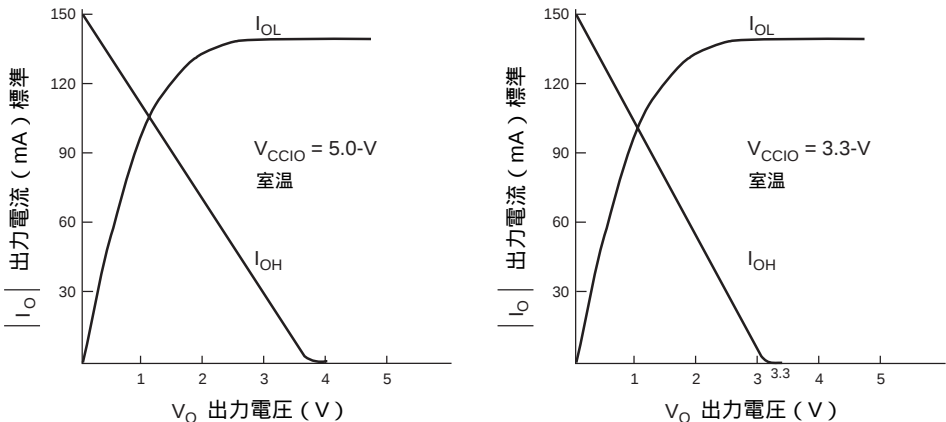
シンボル	パラメータ	条件	最小	最大	単位
C_{IN}	専用入力ピンのキャパシタンス	$V_{IN} = 0\text{ V}$, $f = 1.0\text{ MHz}$		10	pF
$C_{I/O}$	I/O ピンのキャパシタンス	$V_{OUT} = 0\text{ V}$, $f = 1.0\text{ MHz}$		10	pF

表中の注：

- (1) 絶対最大定格については、1998年版データブックに掲載されている「*Operating Requirements for Altera Devices*」を参照して下さい。
- (2) DC入力の最小値は - 0.3Vです。過渡状態の期間、無負荷の条件で20ns以下の幅であれば、入力が - 2.0Vまでアンダシュート、または7.0Vまでオーバシュートしても構いません。
- (3) ()内に表示されている数値は工業用規格品のもです。
- (4) V_{CC} の立ち上がりは、単調増加しなければなりません。
- (5) 44ピン・パッケージのデバイスでは3.3VのI/O動作はサポートされていません。
- (6) V_{CCISp} のパラメータはMAX 7000Sデバイスにのみ適用されます。
- (7) これらの値は21ページの「MAX 7000 5.0-Vデバイスの推奨動作条件」を基準に規定されています。
- (8) I_{OH} のパラメータはHighレベルTTLまたはCMOS出力電流として参照されます。
- (9) I_{OL} のパラメータはLowレベルTTLまたはCMOS出力電流として参照されます。
- (10) MAX 7000SデバイスでJT AGインタフェースがイネーブルになったとき、各JT AGピンの入力リーク電流は、標準で - 60 μ Aです。
- (11) キャパシタンスは25 $^{\circ}$ Cで測定したもので、サンプルテストのみです。OE1ピンは最大20pFのキャパシタンスを持っています。

図11はMAX 7000デバイスの標準的な出力ドライブ特性を示したものです。

図11 MAX 7000 5.0-Vデバイスの出力ドライブ特性



3.3-V動作の EPM7032V

EPM7032Vは低消費電力、低電圧が要求されるノートブック・コンピュータやバッテリー駆動の携帯用機器等の3.3-Vのアプリケーションに最適なMAX 7000の高性能デバイスです。EPM7032Vは最高90.9MHzのシステム・スピードと最大12nsの伝搬遅延時間を提供します。EPM7032Vは44ピンのリプログラムが可能なPLCCまたはTQFPパッケージのデバイスとして供給されており、最大36本までの入力、32本までの出力を持つデザインに対応できます。

パワー・マネージメント

EPM7032Vの3.3-V動作では、その消費電力が5.0-V動作のEPM7032と比較して30%から50%まで削減されます。低消費電力を実現するEPM7032Vには、5.0-Vバージョンと同じプログラマブルなスピード/パワー・コントロール機能とパワー・ダウン・モードが提供されています。

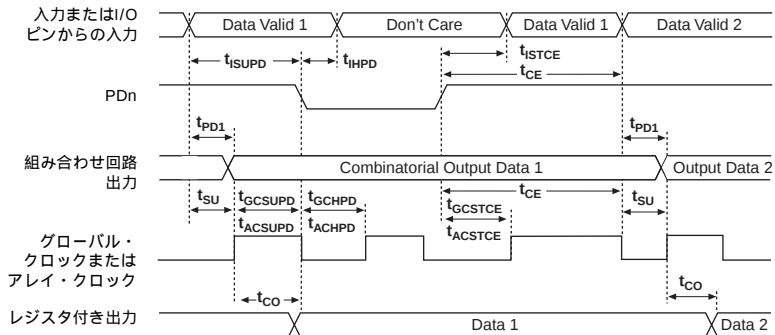
パワー・ダウン・モード

EPM7032Vには、デバイスの消費電力をほぼゼロ（通常50 μ A）にすることができるユニークなパワー・ダウン・モードが提供されています。このパワー・ダウン・モードは外部の専用パワー・ダウン・ピン（PDn）によってコントロールされます。PDn がアクティブ（グラウンド・レベル）になるとパワー・ダウンのシーケンスが開始され、EPM7032Vのすべての入力ピン、内部ロジック、出力ピンの値がラッチされて、それぞれの状態が保持されます。パワー・ダウン・モードの間、各出力ピンはその時のLow、High、またはトライ・ステートの状態を保持します。

パワー・ダウン・モードの期間に入った場合でも、停止しているデバイスの状態を変化させることなくクロックを含む任意の入力またはすべての入力をトグルさせることができます。ただし、パワー・ダウン・モード中の正しい内部状態を維持するために内部ラッチが使用されているため、外部入力とクロックは規定のセットアップ時間とホールド時間を守る必要があります。図12とこのデータシート40ページに記載されている「パワー・ダウン・モードのタイミング・パラメータ」と「チップ・イネーブルのタイミング・パラメータ」の表を参照して下さい。

図12 パワー・ダウン・モードのスイッチング波形

EPM7032Vのスイッチング波形は、以下に示されているパワー・ダウン・モードを除き、5.0VのEPM7032とすべてのモードで同一である。 t_R と t_F は3ns未満。入力の高レベルは3.0Vで、Lowレベルは0.0Vにドライブされる。すべてのタイミング特性は1.5Vで測定される。



PDn信号が高レベルになるとデバイスはイネーブルとなり、規定のチップ・イネーブル遅延 (t_{CE}) 以内に組み合わせ出力が入力条件に対応して出力されます。レジスタ出力はクロックの変化に対して t_{CE} 以内のタイミングで出力されます。チップ・イネーブルのシーケンス中にデバイスにクロックが与えられる場合、チップ・イネーブルかチップ・ディセーブルのシーケンス内のある時間でクロックが変化すると、チップ内部のデータが変化してしまうことがあります。このような場合には、図12に示すように、クロック・セットアップ・タイム (t_{GCSUPD} または t_{ACSUPD}) やチップ・イネーブルのセットアップ・タイム (t_{GCSTCE} または t_{ACSTCE}) の時間内でクロックの変化が起こることを防ぐために、すべてのクロックをゲートすることが必要です。

EPM7032Vのすべてのレジスタはクロックのイネーブル・コントロール機能を持っており、クロックを簡単にディセーブルすることができます。パワー・ダウン・モード中に出力信号をハイ・インピーダンスに固定する必要がある場合は、対応する出力イネーブル信号を与え、システム・クロックを取り除いてからPDnピンをアクティブにする必要があります。デバイスを再びアクティブにするときは、逆のシーケンスを取ります。システムによっては、クロックと出力イネーブル・コントロールのシーケンスを入れ替えたほうが良い場合もあります。

すべてのパワー・ダウン / チップ・イネーブルのタイミング・パラメータはマクロセルのターボ・ビットをオンに設定し、パラレル・エクスパンダを使用しない状態で外部入力やI/Oピンからの信号を基準に計算されます。マクロセルがロー・パワー・モード（ターボ・ビットがオフ）となっている場合は、 t_{LAD} 、 t_{LAQ} 、 t_{IC} 、 t_{ACL} 、 t_{ACH} 、 t_{SEXP} のタイミング・パスを含むパワー・ダウン / チップ・イネーブル・タイミング・パラメータに t_{LPA} の追加遅延を加算しなければなりません。また、マクロセルがシェアドまたはパラレル・エクスパンダを使用しているときには、 t_{SEXP} または t_{PEXP} の時間を加算する必要があります。データのパスやクロックのパスに複数段のロジック・アレイを使用する場合は、ワースト・ケースのデータ遅延やクロックの遅延に、それぞれパワー・ダウン / チップ・イネーブルの遅延パラメータをさらに加えなければなりません。データ・パスとクロック・パスの実際のワースト・ケースのタイミングはMAX+PLUS IIのシミュレータやタイミング・アナライザ、または業界標準となっている検証用のEDAツールを使用して計算することができます。

EPM7032V 3.3-Vデバイスの絶対最大定格 注(1)

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	供給電源電圧	GND に対して 注(2)	-2.0	5.6	V
V_I	DC 入力電圧		-2.0	5.6	V
I_{OUT}	ピンあたりの DC 出力電流		-25	25	mA
T_{STG}	保存温度	バイアスなし	-65	150	°C
T_{AMB}	周囲温度	バイアス時	-65	135	°C
T_J	接合温度	バイアス時	0	135	°C

EPM7032V 3.3-Vデバイスの推奨動作条件

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	供給電源電圧	注(3)	3.0	3.6	V
V_I	入力電圧		0	V_{CC}	V
V_O	出力電圧		0	V_{CC}	V
T_A	動作温度	一般用	0	70	°C
		工業用	-40	85	°C
T_J	接合温度	一般用	0	90	°C
		工業用	-40	105	°C
t_R	入力立ち上がり時間			40	ns
t_F	入力立ち下がり時間			40	ns

EPM7032V 3.3-Vデバイス DC特性 注(4)、(5)

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{IH}	Highレベル入力電圧		2.0		$V_{CC}+0.3$	V
V_{IL}	Lowレベル入力電圧		-0.3		0.8	V
V_{OH}	HighレベルTTL出力電圧	$I_{OH} = -0.1$ mA DC 注(6)	$V_{CC}-0.2$			V
V_{OL}	Lowレベル出力電圧	$I_{OL} = 4$ mA DC 注(7)			0.45	V
I_I	入力リーク電流	$V_I = V_{CC}$ or ground	-10		10	μ A
I_{OZ}	トライ・ステート出力のオフ・ステート電流	$V_O = V_{CC}$ or ground	-10		10	μ A
I_{CC0}	V_{CC} 電源電流 (スタンバイ、パワー・ダウン・モード)	注(8)		2	150	μ A
I_{CC1}	V_{CC} 電源電流 (スタンバイ、ロー・パワー・モード)	$V_I =$ ground、無負荷 注(8)		10	20	mA
I_{CC2}	V_{CC} 電源電流 (アクティブ、ロー・パワー・モード)	$V_I =$ ground、無負荷 $f = 1.0$ MHz 注(8)		15	25	mA

EPM7032V 3.3-Vデバイスのキャパシタンス 注(9)

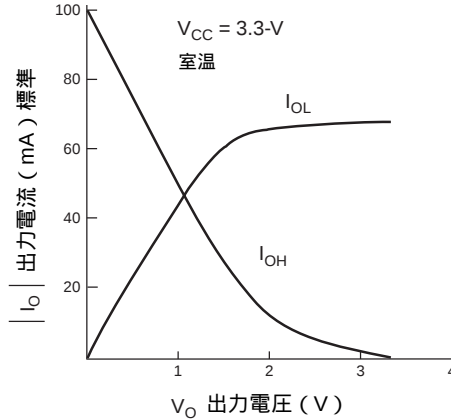
シンボル	パラメータ	条件	最小	最大	単位
C_{IN}	入力専用ピンのキャパシタンス	$V_{IN} = 0$ V, $f = 1.0$ MHz		12	pF
$C_{I/O}$	I/O ピンのキャパシタンス	$V_{OUT} = 0$ V, $f = 1.0$ MHz		12	pF

表中の注：

- (1) 絶対最大定格については、1998年版データブックに掲載されている「*Operating Requirements for Altera Devices*」を参照して下さい。
- (2) DC入力の最小値は - 0.3Vです。過渡状態の期間、無負荷の条件で20ns以下の幅であれば、入力が - 2.0Vまでアンダシュート、または $V_{CC}+2.0$ Vまでオーバシュートしても構いません。
- (3) V_{CC} の立ち上がりは、単調増加しなければなりません。
- (4) 標準値は $T_A=25^\circ$ 、 $V_{CC}=3.3$ Vのときのものです。
- (5) これらの値は25ページの「EPM7032V 3.3-Vデバイスの推奨動作条件」を基準に規定されています。
- (6) I_{OH} のパラメータはHighレベルTTL出力電流として参照されます。
- (7) I_{OL} のパラメータはLowレベルTTL出力電流として参照されます。
- (8) 各LABに16ビットのローダブル、イネーブル、アップ/ダウン・カウンタを構成し、 $T_A=0^\circ$ の条件で測定したものです。
- (9) キャパシタンスは25で測定したもので、サンプルテストのみです。OE1ピン（プログラミング中、高電圧となるピン）は最大20pFのキャパシタンスを持っています。

図13はEPM7032Vの標準的な出力ドライブ特性を示したものです。

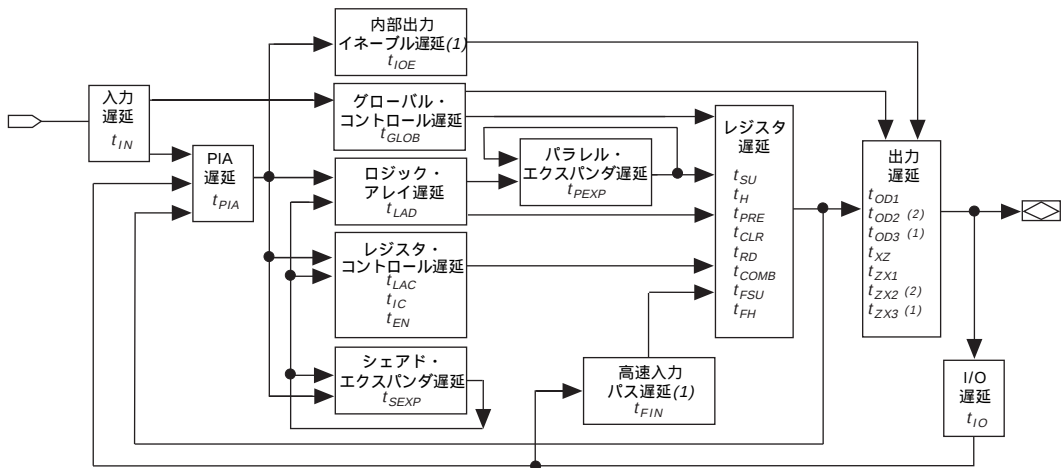
図13 EPM7032Vの出力ドライブ特性



タイミング・モデル

MAX 7000デバイスのタイミングは、MAX+PLUS IIソフトウェア、または多くの業界標準のEDAシミュレータとタイミング・アナライザ、あるいは図14に示すタイミング・モデルを使って解析することができます。MAX 7000デバイスの内部遅延は一定となっているため、ユーザはあらゆるデザインのワースト・ケース・タイミングを決定することができます。MAX+PLUS IIソフトウェアは、タイミング・シミュレーション、指定されたポイント間の遅延時間予測、そしてデバイス全体の性能を評価するための詳細なタイミング解析の機能を提供しています。

図14 MAX 7000デバイスのタイミング・モデル



注：

- (1) MAX 7000EとMAX 7000Sの各デバイスにのみ有効です。
- (2) 44ピンデバイスにはありません。

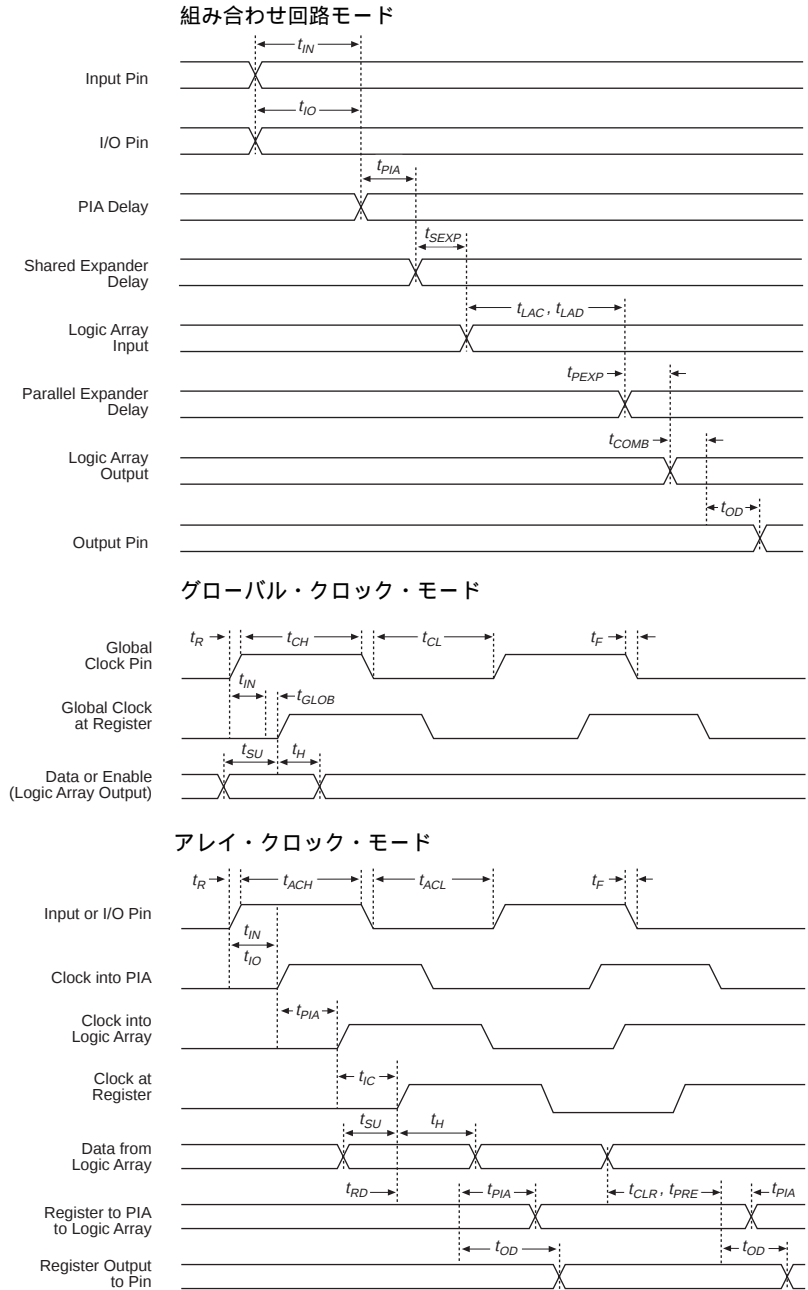
任意の信号パスのタイミング特性は、これらのタイミング・パラメータと各デバイスごとに規定されているこれらの値から計算することができます。ピン間のタイミング遅延を表している外部タイミング・パラメータは複数の内部タイミング・パラメータを累積することによって算出できます。図15は内部および外部の遅延パラメータ間の関係を示したものです。



MAX 7000デバイスのタイミングについての詳細は、1998年版データブックに掲載されているアプリケーション・ノート AN 94「*Understanding MAX 7000 Timing*」（日本語版「MAX 7000デバイスのタイミング」）を参照して下さい。

図15 スイッチング波形

t_R と t_F は3 ns未満
ロジックHighの入力は3-V、Lowは0-V。すべてのタイミング特性は1.5-Vで測定される。



MAX 7000デバイスのAC特性 注(1)、(2)

外部タイミング・パラメータ			スピード・グレード						
			- 5		- 6		- 7		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	単位
t _{PD1}	入力からレジスタなし出力までの遅延	C1 = 35 pF		5		6		7.5	ns
t _{PD2}	I/Oピンからレジスタなし出力までの遅延	C1 = 35 pF		5		6		7.5	ns
t _{SU}	グローバル・クロックのセットアップ時間		4		5		6		ns
t _H	グローバル・クロックのホールド時間		0		0		0		ns
t _{FSU}	高速入力パスからのグローバル・クロック・セットアップ時間	注(3)	2.5		2.5		3		ns
t _{FH}	高速入力パスからのグローバル・クロック・ホールド時間	注(3)	0.5		0.5		0.5		ns
t _{CO1}	グローバル・クロックから出力までの遅延	C1 = 35 pF		3.5		4		4.5	ns
t _{CH}	グローバル・クロックのHighレベル時間		2		2.5		3		ns
t _{CL}	グローバル・クロックのLowレベル時間		2		2.5		3		ns
t _{ASU}	アレイ・クロックのセットアップ時間		2		2.5		3		ns
t _{AH}	アレイ・クロックのホールド時間		2		2		2		ns
t _{ACO1}	アレイ・クロックから出力までの遅延	C1 = 35 pF		5.5		6.5		7.5	ns
t _{ACH}	アレイ・クロックのHighレベル時間		2.5		3		3		ns
t _{ACL}	アレイ・クロックのLowレベル時間		2.5		3		3		ns
t _{ODH}	クロック入力後の出力データ、ホールド時間	C1 = 35 pF 注(4)	1		1		1		ns
t _{CNT}	グローバル・クロック最小期間			5.6		6.6		8	ns
f _{CNT}	内部グローバル・クロック最高周波数	注(5)	178.6		151.5		125		MHz
t _{ACNT}	アレイ・クロック最小期間			5.6		6.6		8	ns
f _{ACNT}	内部アレイ・クロック最高周波数	注(5)	178.6		151.5		125		MHz
f _{MAX}	最高クロック周波数	注(6)	250		200		166.7		MHz

内部タイミング・パラメータ			スピード・グレード						
			- 5		- 6		- 7		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	単位
t_{IN}	入力パッドとバッファ遅延			0.4		0.4		0.5	ns
t_{IO}	I/O入力パッドとバッファ遅延			0.4		0.4		0.5	ns
t_{FIN}	高速入力バス遅延	注(3)		0.8		0.8		1	ns
t_{SEXP}	シェアド・エキスパンダ遅延			3		3.5		4	ns
t_{PEXP}	パラレル・エキスパンダ遅延			0.8		0.8		0.8	ns
t_{LAD}	ロジック・アレイ遅延			1.5		2		3	ns
t_{LAC}	ロジック・コントロール・アレイ遅延			1.5		2		3	ns
t_{IOE}	出力イネーブル内部遅延	注(3)						2	ns
t_{OD1}	出力バッファおよびパッド遅延 Slow slew rate = off $V_{CCIO} = 5.0$ -V	C1 = 35 pF		1.5		2		2	ns
t_{OD2}	出力バッファおよびパッド遅延 Slow slew rate = off $V_{CCIO} = 3.3$ -V	C1 = 35 pF 注(7)		2.0		2.5		2.5	ns
t_{OD3}	出力バッファおよびパッド遅延 Slow slew rate = on $V_{CCIO} = 5.0$ -V or 3.3 V	C1 = 35 pF 注(3)		6.5		7		7	ns
t_{ZX1}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 5.0$ -V	C1 = 35 pF		4		4		4	ns
t_{ZX2}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 3.3$ -V	C1 = 35 pF 注(7)		4.5		4.5		4.5	ns
t_{ZX3}	出力バッファ、イネーブル遅延 Slow slew rate = on $V_{CCIO} = 5.0$ -Vor 3.3 -V	C1 = 35 pF 注(3)		9		9		9	ns
t_{XZ}	出力バッファ、ディセーブル遅延	C1 = 5 pF		4		4		4	ns
t_{SU}	レジスタ・セットアップ時間		2.5		3		3		ns
t_H	レジスタ・ホールド時間		1.5		1.5		2		ns
t_{FSU}	高速入力バスのレジスタ・セットアップ時間	注(3)	2.5		2.5		3		ns
t_{FH}	高速入力バスのレジスタ・ホールド時間	注(3)	0.5		0.5		0.5		ns
t_{RD}	レジスタ遅延			0.8		0.8		1	ns
t_{COMB}	組み合わせ出力の遅延			0.8		0.8		1	ns
t_{IC}	アレイ・クロック遅延			2		2.5		3	ns
t_{EN}	レジスタ・イネーブル時間			1.5		2		3	ns
t_{GLOB}	グローバル・コントロール遅延			0.8		0.8		1	ns
t_{PRE}	レジスタ・プリセット時間			2		2		2	ns
t_{CLR}	レジスタ・クリア時間			2		2		2	ns
t_{PIA}	PIA遅延			0.8		0.8		1	ns
t_{LPA}	ロー・パワー・モード追加遅延	注(8)		8		10		10	ns

外部タイミング・パラメータ			スピード・グレード				
			MAX 7000E (-10P) MAX 7000S (-10)		MAX 7000 (-10) MAX 7000E (-10)		
シンボル	パラメータ	条件	最小	最大	最小	最大	単位
t _{PD1}	入力からレジスタなし出力までの遅延	C1 = 35 pF		10		10	ns
t _{PD2}	I/Oピンからレジスタなし出力までの遅延	C1 = 35 pF		10		10	ns
t _{SU}	グローバル・クロックのセットアップ時間		7		8		ns
t _H	グローバル・クロックのホールド時間		0		0		ns
t _{FSU}	高速入力バスからのグローバル・クロック・セットアップ時間	注(3)	3		3		ns
t _{FH}	高速入力バスからのグローバル・クロック・ホールド時間	注(3)	0.5		0.5		ns
t _{CO1}	グローバル・クロックから出力までの遅延	C1 = 35 pF		5		5	ns
t _{CH}	グローバル・クロックのHighレベル時間		4		4		ns
t _{CL}	グローバル・クロックのLowレベル時間		4		4		ns
t _{ASU}	アレイ・クロックのセットアップ時間		2		3		ns
t _{AH}	アレイ・クロックのホールド時間		3		3		ns
t _{ACO1}	アレイ・クロックから出力までの遅延	C1 = 35 pF		10		10	ns
t _{ACH}	アレイ・クロックのHighレベル時間		4		4		ns
t _{ACL}	アレイ・クロックのLowレベル時間		4		4		ns
t _{ODH}	クロック入力後の出力データ、ホールド時間	C1 = 35 pF 注(4)	1		1		ns
t _{CNT}	グローバル・クロック最小期間			10		10	ns
f _{CNT}	内部グローバル・クロック最高周波数	注(5)	100		100		MHz
t _{ACNT}	アレイ・クロック最小期間			10		10	ns
f _{ACNT}	内部アレイ・クロック最高周波数	注(5)	100		100		MHz
f _{MAX}	最高クロック周波数	注(6)	125		125		MHz

内部タイミング・パラメータ			スピード・グレード				
			MAX 7000E (-10P)		MAX 7000 (-10)		
			MAX 7000S (-10)		MAX 7000E (-10)		
シンボル	パラメータ	条件	最小	最大	最小	最大	単位
t_{IN}	入力パッドとバッファ遅延			0.5		1	ns
t_{IO}	I/O入力パッドとバッファ遅延			0.5		1	ns
t_{FIN}	高速入力バス遅延	注(3)		1		1	ns
t_{SEXP}	シェアド・エキスパンダ遅延			5		5	ns
t_{PEXP}	パラレル・エキスパンダ遅延			0.8		0.8	ns
t_{LAD}	ロジック・アレイ遅延			5		5	ns
t_{LAC}	ロジック・コントロール・アレイ遅延			5		5	ns
t_{IOE}	出力イネーブル内部遅延	注(3)		2		2	ns
t_{OD1}	出力バッファおよびパッド遅延 Slow slew rate = off $V_{CCIO} = 5.0\text{-V}$	$C1 = 35\text{ pF}$		1.5		2	ns
t_{OD2}	出力バッファおよびパッド遅延 Slow slew rate = off $V_{CCIO} = 3.3\text{-V}$	$C1 = 35\text{ pF}$ 注(7)		2		2.5	ns
t_{OD3}	出力バッファおよびパッド遅延 Slow slew rate = on $V_{CCIO} = 5.0\text{-V}$ or 3.3-V	$C1 = 35\text{ pF}$ 注(3)		5.5		6	ns
t_{ZX1}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 5.0\text{-V}$	$C1 = 35\text{ pF}$		5		5	ns
t_{ZX2}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 3.3\text{-V}$	$C1 = 35\text{ pF}$ 注(7)		5.5		5.5	ns
t_{ZX3}	出力バッファ、イネーブル遅延 Slow slew rate = on $V_{CCIO} = 5.0\text{-V}$ or 3.3-V	$C1 = 35\text{ pF}$ 注(3)		9		9	ns
t_{XZ}	出力バッファ、ディセーブル遅延	$C1 = 5\text{ pF}$		5		5	ns
t_{SU}	レジスタ・セットアップ時間		2		3		ns
t_H	レジスタ・ホールド時間		3		3		ns
t_{FSU}	高速入力バスのレジスタ・セットアップ時間	注(3)	3		3		ns
t_{FH}	高速入力バスのレジスタ・ホールド時間	注(3)	0.5		0.5		ns
t_{RD}	レジスタ遅延			2		1	ns
t_{COMB}	組み合わせ出力の遅延			2		1	ns
t_{IC}	アレイ・クロック遅延			5		5	ns
t_{EN}	レジスタ・イネーブル時間			5		5	ns
t_{GLOB}	グローバル・コントロール遅延			1		1	ns
t_{PRE}	レジスタ・プリセット時間			3		3	ns
t_{CLR}	レジスタ・クリア時間			3		3	ns
t_{PIA}	PIA遅延			1		1	ns
t_{LPA}	ロー・パワー・モード追加遅延	注(8)		11		11	ns

外部タイミング・パラメータ			スピード・グレード				
			MAX 7000E (-12P)		MAX 7000 (-12) MAX 7000E (-12)		
シンボル	パラメータ	条件	最小	最大	最小	最大	単位
t _{PD1}	入力からレジスタなし出力までの遅延	C1 = 35 pF		12		12	ns
t _{PD2}	I/Oピンからレジスタなし出力までの遅延	C1 = 35 pF		12		12	ns
t _{SU}	グローバル・クロックのセットアップ時間		7		10		ns
t _H	グローバル・クロックのホールド時間		0		0		ns
t _{FSU}	高速入力バスからのグローバル・クロック・セットアップ時間	注(3)	3		3		ns
t _{FH}	高速入力バスからのグローバル・クロック・ホールド時間	注(3)	0		0		ns
t _{CO1}	グローバル・クロックから出力までの遅延	C1 = 35 pF		6		6	ns
t _{CH}	グローバル・クロックのHighレベル時間		4		4		ns
t _{CL}	グローバル・クロックのLowレベル時間		4		4		ns
t _{ASU}	アレイ・クロックのセットアップ時間		3		4		ns
t _{AH}	アレイ・クロックのホールド時間		4		4		ns
t _{ACO1}	アレイ・クロックから出力までの遅延	C1 = 35 pF		12		12	ns
t _{ACH}	アレイ・クロックのHighレベル時間		5		5		ns
t _{ACL}	アレイ・クロックのLowレベル時間		5		5		ns
t _{ODH}	クロック入力後の出力データ、ホールド時間	C1 = 35 pF 注(4)	1		1		ns
t _{CNT}	グローバル・クロック最小期間			11		11	ns
f _{CNT}	内部グローバル・クロック最高周波数	注(8)	90.9		90.9		MHz
t _{ACNT}	アレイ・クロック最小期間			11		11	ns
f _{ACNT}	内部アレイ・クロック最高周波数	注(8)	90.9		90.9		MHz
f _{MAX}	最高クロック周波数	注(6)	125		125		MHz

内部タイミング・パラメータ			スピード・グレード				
			MAX 7000E (-12P)		MAX 7000 (-12) MAX 7000E (-12)		
シンボル	パラメータ	条件	最小	最大	最小	最大	単位
t_{IN}	入力パッドとバッファ遅延			1		2	ns
t_{IO}	I/O入力パッドとバッファ遅延			1		2	ns
t_{FIN}	高速入力バス遅延	注(3)		1		1	ns
t_{SEXP}	シェアド・エキスパンダ遅延			7		7	ns
t_{PEXP}	パラレル・エキスパンダ遅延			1		1	ns
t_{LAD}	ロジック・アレイ遅延			7		5	ns
t_{LAC}	ロジック・コントロール・アレイ遅延			5		5	ns
t_{IOE}	出力イネーブル内部遅延	注(3)		2		2	ns
t_{OD1}	出力バッファおよびパッド遅延 Slow slew rate = off $V_{CCIO} = 5.0\text{-V}$	$C1 = 35\text{ pF}$		1		3	ns
t_{OD2}	出力バッファおよびパッド遅延 Slow slew rate = off $V_{CCIO} = 3.3\text{-V}$	$C1 = 35\text{ pF}$ 注(7)		2		4	ns
t_{OD3}	出力バッファおよびパッド遅延 Slow slew rate = on $V_{CCIO} = 5.0\text{-V}$ or 3.3-V	$C1 = 35\text{ pF}$ 注(3)		5		7	ns
t_{ZX1}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 5.0\text{-V}$	$C1 = 35\text{ pF}$		6		6	ns
t_{ZX2}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 3.3\text{-V}$	$C1 = 35\text{ pF}$ 注(7)		7		7	ns
t_{ZX3}	出力バッファ、イネーブル遅延 Slow slew rate = on $V_{CCIO} = 5.0\text{-V}$ or 3.3-V	$C1 = 35\text{ pF}$ 注(3)		10		10	ns
t_{XZ}	出力バッファ、ディセーブル遅延	$C1 = 5\text{ pF}$		6		6	ns
t_{SU}	レジスタ・セットアップ時間		1		4		ns
t_H	レジスタ・ホールド時間		6		4		ns
t_{FSU}	高速入力バスのレジスタ・セットアップ時間	注(3)	4		2		ns
t_{FH}	高速入力バスのレジスタ・ホールド時間	注(3)	0		2		ns
t_{RD}	レジスタ遅延			2		1	ns
t_{COMB}	組み合わせ出力の遅延			2		1	ns
t_{IC}	アレイ・クロック遅延			5		5	ns
t_{EN}	レジスタ・イネーブル時間			7		5	ns
t_{GLOB}	グローバル・コントロール遅延			2		0	ns
t_{PRE}	レジスタ・プリセット時間			4		3	ns
t_{CLR}	レジスタ・クリア時間			4		3	ns
t_{PIA}	PIA遅延			1		1	ns
t_{LPA}	ロー・パワー・モード追加遅延	注(8)		12		12	ns

外部タイミング・パラメータ			スピード・グレード						
			- 15		- 15T		- 20		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	単位
t _{PD1}	入力からレジスタなし出力までの遅延	C1 = 35 pF		15		15		20	ns
t _{PD2}	I/Oピンからレジスタなし出力までの遅延	C1 = 35 pF		15		15		20	ns
t _{SU}	グローバル・クロックのセットアップ時間		11		11		12		ns
t _H	グローバル・クロックのホールド時間		0		0		0		ns
t _{FSU}	高速入力バスからのグローバル・クロック・セットアップ時間	注(3)	3		–		5		ns
t _{FH}	高速入力バスからのグローバル・クロック・ホールド時間	注(3)	0		–		0		ns
t _{CO1}	グローバル・クロックから出力までの遅延	C1 = 35 pF		8		8		12	ns
t _{CH}	グローバル・クロックのHighレベル時間		5		6		6		ns
t _{CL}	グローバル・クロックのLowレベル時間		5		6		6		ns
t _{ASU}	アレイ・クロックのセットアップ時間		4		4		5		ns
t _{AH}	アレイ・クロックのホールド時間		4		4		5		ns
t _{ACO1}	アレイ・クロックから出力までの遅延	C1 = 35 pF		15		15		20	ns
t _{ACH}	アレイ・クロックのHighレベル時間		6		6.5		8		ns
t _{ACL}	アレイ・クロックのLowレベル時間		6		6.5		8		ns
t _{ODH}	クロック入力後の出力データ、ホールド時間	C1 = 35 pF 注(4)	1		1		1		ns
t _{CNT}	グローバル・クロック最小期間			13		13		16	ns
f _{CNT}	内部グローバル・クロック最高周波数	注(5)	76.9		76.9		62.5		MHz
t _{ACNT}	アレイ・クロック最小期間			13		13		16	ns
f _{ACNT}	内部アレイ・クロック最高周波数	注(5)	76.9		76.9		62.5		MHz
f _{MAX}	最高クロック周波数	注(6)	100		83.3		83.3		MHz

内部タイミング・パラメータ			スピード・グレード						
			- 15		- 15T		- 20		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	単位
t_{IN}	入力パッドとバッファ遅延			2		2		3	ns
t_{IO}	I/O入力パッドとバッファ遅延			2		2		3	ns
t_{FIN}	高速入力バス遅延	注(3)		2		—		4	ns
t_{SEXP}	シェアド・エキスパンダ遅延			8		10		9	ns
t_{PEXP}	パラレル・エキスパンダ遅延			1		1		2	ns
t_{LAD}	ロジック・アレイ遅延			6		6		8	ns
t_{LAC}	ロジック・コントロール・アレイ遅延			6		6		8	ns
t_{IOE}	出力イネーブル内部遅延	注(3)		3		—		4	ns
t_{OD1}	出力バッファおよびパッド遅延 Slow slew rate = off $V_{CCIO} = 5.0\text{-V}$	$C1 = 35\text{ pF}$		4		4		5	ns
t_{OD2}	出力バッファおよびパッド遅延 Slow slew rate = off $V_{CCIO} = 3.3\text{-V}$	$C1 = 35\text{ pF}$ 注(7)		5		—		6	ns
t_{OD3}	出力バッファおよびパッド遅延 Slow slew rate = on $V_{CCIO} = 5.0\text{-V}$ or 3.3-V	$C1 = 35\text{ pF}$ 注(3)、(7)		8		—		9	ns
t_{ZX1}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 5.0\text{-V}$	$C1 = 35\text{ pF}$		6		6		10	ns
t_{ZX2}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 3.3\text{-V}$	$C1 = 35\text{ pF}$ 注(7)		7		—		11	ns
t_{ZX3}	出力バッファ、イネーブル遅延 Slow slew rate = on $V_{CCIO} = 5.0\text{-V}$ or 3.3-V	$C1 = 35\text{ pF}$ 注(3)、(7)		10		—		14	ns
t_{XZ}	出力バッファ、ディセーブル遅延	$C1 = 5\text{ pF}$		6		6		10	ns
t_{SU}	レジスタ・セットアップ時間		4		4		4		ns
t_H	レジスタ・ホールド時間		4		4		5		ns
t_{FSU}	高速入力バスのレジスタ・セットアップ時間	注(3)	2		—		4		ns
t_{FH}	高速入力バスのレジスタ・ホールド時間	注(3)	2		—		3		ns
t_{RD}	レジスタ遅延			1		1		1	ns
t_{COMB}	組み合わせ出力の遅延			1		1		1	ns
t_{IC}	アレイ・クロック遅延			6		6		8	ns
t_{EN}	レジスタ・イネーブル時間			6		6		8	ns
t_{GLOB}	グローバル・コントロール遅延			1		1		3	ns
t_{PRE}	レジスタ・プリセット時間			4		4		4	ns
t_{CLR}	レジスタ・クリア時間			4		4		4	ns
t_{PIA}	PIA遅延			2		2		3	ns
t_{LPA}	ロー・パワー・モード追加遅延	注(8)		13		15		15	ns

表中の注：

- (1) これらの値は21ページの「MAX 7000 5.0-Vデバイスの推奨動作条件」の下で規定されています。
- (2) このデータシートの3ページにある表2で暫定仕様となっているスピード・グレードのデバイス、および5ページの表4で暫定仕様となっているパッケージのデバイスのタイミング・パラメータの値はいずれも暫定仕様です。
- (3) このパラメータはMAX 7000EおよびMAX 7000Sデバイスにのみ適用されます。
- (4) このパラメータはサンプル・テストと幅広い評価テスト結果に基づいて算出された参考値です。このパラメータはグローバル・クロックとアレイ・クロックの双方に適用されます。
- (5) 各LABに16ビットのローダブル、イネーブル、アップ/ダウン・カウンタを構成して測定したものです。
- (6) f_{MAX} の値はパイプライン化されたときのデータの最高動作周波数です。
- (7) 動作条件は一般用、工業用共に $V_{CCIO} = 3.3\text{-}V \pm 10\%$ です。
- (8) ロー・パワー・モードで動作しているマクロセルに対しては、 t_{LAD} 、 t_{LAG} 、 t_{IC} 、 t_{ACL} 、 t_{EN} 、 t_{SEXP} のパラメータに t_{LPA} パラメータを加える必要があります。

EPM7032V AC特性 注(1)

外部タイミング・パラメータ			EPM7032V-12		EPM7032V-15		EPM7032V-20		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	単位
t_{PD1}	入力からレジスタなし出力までの遅延	$C1 = 35\text{ pF}$		12		15		20	ns
t_{PD2}	I/Oピンからレジスタなし出力までの遅延	$C1 = 35\text{ pF}$		12		15		20	ns
t_{SU}	グローバル・クロックのセットアップ時間		10		11		12		ns
t_H	グローバル・クロックのホールド時間		0		0		0		ns
t_{CO1}	グローバル・クロックから出力までの遅延	$C1 = 35\text{ pF}$		7		8		12	ns
t_{CH}	グローバル・クロックのHighレベル時間		4		5		6		ns
t_{CL}	グローバル・クロックのLowレベル時間		4		5		6		ns
t_{ASU}	アレイ・クロックのセットアップ時間		4		4		5		ns
t_{AH}	アレイ・クロックのホールド時間		4		4		5		ns
t_{ACO1}	アレイ・クロックから出力までの遅延	$C1 = 35\text{ pF}$		12		15		20	ns
t_{ACH}	アレイ・クロックのHighレベル時間		5		6		8		ns
t_{ACL}	アレイ・クロックのLowレベル時間		5		6		8		ns
t_{ODH}	クロック入力後の出力データ、ホールド時間	$C1 = 35\text{ pF}$ 注(2)	1		1		1		ns
t_{CNT}	グローバル・クロック最小期間			11		13		16	ns
f_{CNT}	内部グローバル・クロック最高周波数	注(3)	90.9		76.9		62.5		MHz
t_{ACNT}	アレイ・クロック最小期間			11		13		16	ns
f_{ACNT}	内部アレイ・クロック最高周波数	注(3)	90.9		76.9		62.5		MHz
f_{MAX}	最高クロック周波数	注(4)	125		100		83.3		MHz

EPM7032V AC特性 注(1)

内部タイミング・パラメータ			EPM7032V-12		EPM7032V-15		EPM7032V-20		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	単位
t_{IN}	入力パッドとバッファ遅延			3		2		3	ns
t_{IO}	I/O入力パッドとバッファ遅延			3		2		3	ns
t_{SEXP}	シェアド・エキスパンダ遅延			7		8		9	ns
t_{PEXP}	パラレル・エキスパンダ遅延			1		1		2	ns
t_{LAD}	ロジック・アレイ遅延			4		6		8	ns
t_{LAC}	ロジック・コントロール・アレイ遅延			4		6		8	ns
t_{OD}	出力バッファおよびパッド遅延	C1 = 35 pF		3		4		5	ns
t_{ZX}	出力バッファ、イネーブル遅延	C1 = 35 pF		6		6		9	ns
t_{XZ}	出力バッファ、ディセーブル遅延	C1 = 5 pF		6		6		9	ns
t_{SU}	レジスタ・セットアップ時間		5		4		4		ns
t_H	レジスタ・ホールド時間		4		4		5		ns
t_{RD}	レジスタ遅延			1		1		1	ns
t_{COMB}	組み合わせ出力の遅延			1		1		1	ns
t_{IC}	アレイ・クロック遅延			4		6		8	ns
t_{EN}	レジスタ・イネーブル時間			4		6		8	ns
t_{GLOB}	グローバル・コントロール遅延			0		1		3	ns
t_{PRE}	レジスタ・プリセット時間			3		4		4	ns
t_{CLR}	レジスタ・クリア時間			3		4		4	ns
t_{PIA}	PIA遅延			1		2		3	ns
t_{LPA}	ロー・パワー・モード追加遅延	注(5)		15		17		20	ns

表中の注：

- (1) これらの値は25ページの「EPM7032V 3.3-Vデバイスの推奨動作条件」の下で規定されています。
- (2) このパラメータはサンプル・テストと幅広い評価テスト結果に基づいて算出された参考値です。このパラメータはグローバル・クロックとアレイ・クロックの双方に適用されます。
- (3) 各LABに16ビットのローダブル、イネーブル、アップ/ダウン・カウンタを構成して $T_A = 0$ で測定したものです。
- (4) f_{MAX} の値はパイプライン化されたときのデータの最高動作周波数です。
- (5) ロー・パワー・モードで動作しているマクロセルに対しては、 t_{LAD} 、 t_{LAC} 、 t_{IC} 、 t_{ACL} 、 t_{EN} 、 t_{SEXP} のパラメータに t_{LPA} パラメータを加える必要があります。

MAX 7000 3.3-Vデバイス、パワー・ダウン/チップ・イネーブルのタイミング・パラメータ

パワー・ダウン・モードのタイミング・パラメータ		EPM7032V-12		EPM7032V-15		EPM7032V-20		
シンボル	パラメータ	最小	最大	最小	最大	最小	最大	単位
t_{ISUPD}	PDnのLowに対する入力またはI/O入力のセットアップ時間	30		30		35		ns
t_{IHPD}	PDnのLowに対する入力またはI/O入力のホールド時間	0		0		0		ns
t_{GCSUPD}	PDnのLowに対するグローバル・クロックのセットアップ時間	20		20		25		ns
t_{GCHPD}	PDnのLowに対するグローバル・クロックのホールド時間	0		0		0		ns
$t_{AC SUPD}$	PDnのLowに対するアレイ・クロックのセットアップ時間	30		30		35		ns
t_{ACHPD}	PDnのLowに対するアレイ・クロックのホールド時間	0		0		0		ns
t_{HPD}	パワー・ダウン (PDn) ピンのHighレベル最小時間	800		800		900		ns
t_{LPD}	パワー・ダウン (PDn) ピンのLowレベル最小時間	800		800		900		ns
t_{PDOWN}	パワー・ダウン遅延		800		800		900	ns

チップ・イネーブルのタイミング・パラメータ		EPM7032V-12		EPM7032V-15		EPM7032V-20		
シンボル	パラメータ	最小	最大	最小	最大	最小	最大	単位
t_{ISTCE}	チップ・イネーブル挿入前の入力またはI/O入力のセットアップ時間		60		60		70	ns
t_{GCSTCE}	チップ・イネーブル挿入後のグローバル・クロック安定期間		60		60		70	ns
t_{ACSTCE}	チップ・イネーブル挿入後のアレイ・クロック安定期間		60		60		70	ns
t_{CE}	チップ・イネーブル挿入後のデータ安定期間		700		700		800	ns

消費電力

MAX 7000デバイスの動作周波数 (MHz単位の f_{MAX}) に対する消費電力 (P)は、次の式で計算されます。

$$P = P_{INT} + P_{IO} = I_{CCINT} \times V_{CC} + P_{IO}$$

ここで、 P_{IO} はデバイス出力に接続される負荷の特性とスイッチング周波数によって決定される値であり、1998年版データブックに記載されているアプリケーション・ノート AN 74「*Evaluating Power for Altera Devices*」(日本語版「アルテラ・デバイスの消費電力評価方法」)の中に示されているガイドラインを使って計算することができます。

また、上記の式の I_{CCINT} はスイッチング周波数とデザインされたアプリケーションのロジックによって決定される値であり、これは次の式から計算することができます。

$$I_{CCINT} =$$

$$A \times MC_{TON} + B \times (MC_{DEV} - MC_{TON}) + C \times MC_{USED} \times f_{MAX} \times \log_{LC}$$

この式に使用されている各パラメータは、下記の通りです。

- MC_{TON} = ターボ・ビット・オンで使用するマクロセル数で、MAX+PLUS IIのレポート・ファイル(.rpt)で確認することができます
 MC_{DEV} = デバイス内のマクロセル数
 MC_{USED} = デザイン内で使用されているマクロセルの合計数で、MAX+PLUS IIのレポート・ファイル(.rpt)で確認することができます
 f_{MAX} = デバイスの最高動作クロック周波数
 log_{LC} = 各クロックでトグルするロジック・セルの平均的な割合 (通常は0.125)
 A, B, C = 下記の表6で示される定数

表6 MAX 7000の I_{CC} の計算に使用される定数

デバイス名	A	B	C
EPM7032	1.87	0.52	0.144
EPM7032V	0.83	0.40	0.048
EPM7064	1.63	0.74	0.144
EPM7096	1.63	0.74	0.144
EPM7128E	1.17	0.54	0.096
EPM7160E	1.17	0.54	0.096
EPM7192E	1.17	0.54	0.096
EPM7256E	1.17	0.54	0.096
EPM7032S 注(1)	0.93	0.40	0.040
EPM7064S 注(1)	0.93	0.40	0.040
EPM7128S 注(1)	0.93	0.40	0.040
EPM7160S 注(1)	0.93	0.40	0.040
EPM7192S 注(1)	0.93	0.40	0.040
EPM7256S 注(1)	0.93	0.40	0.040

注:

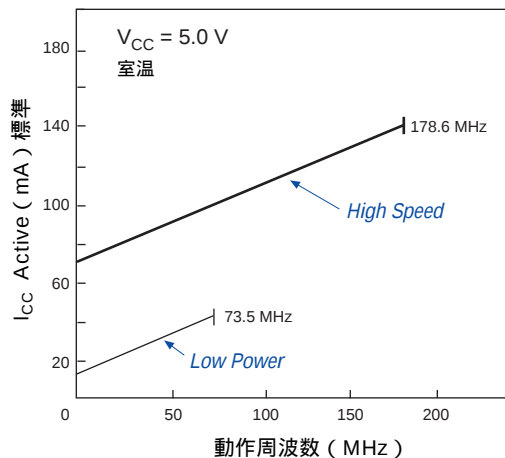
(1) これらは暫定値です

この計算では、各LABに16ビットのローダブル、イネーブル機能付きのアップ/ダウン・カウンタを構成したときの無負荷時の標準的な条件での I_{CC} が推定されます。この計算はデバイスの実際のパターンと周囲の動作条件に影響されるため、実際の I_{CC} の値はデバイスの動作中に確認する必要があります。

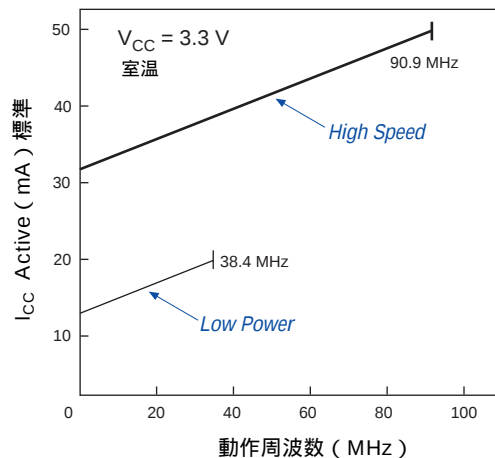
図16はMAX 7000デバイスの標準的な動作周波数に対する I_{CC} の特性を示したものです。

図16 MAX 7000デバイスの動作周波数対 I_{CC} 特性 (1/2)

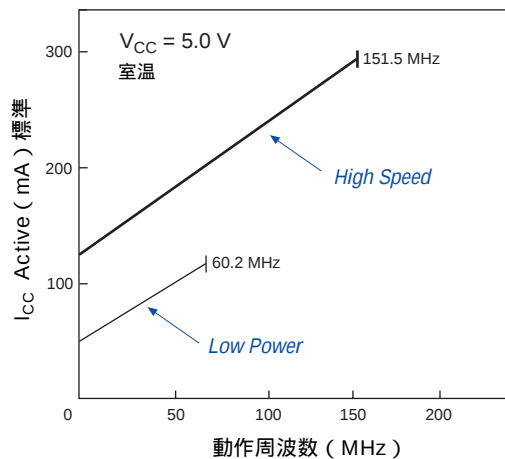
EPM7032



EPM7032V



EPM7064



EPM7096

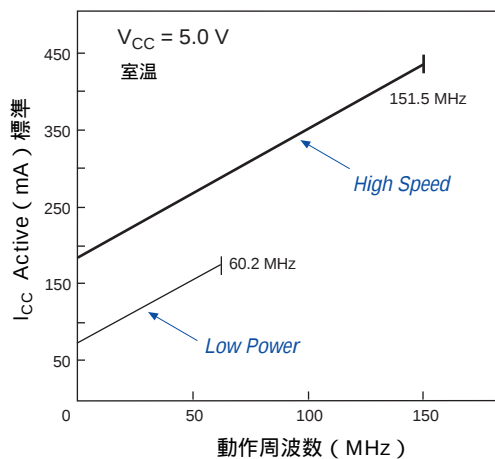
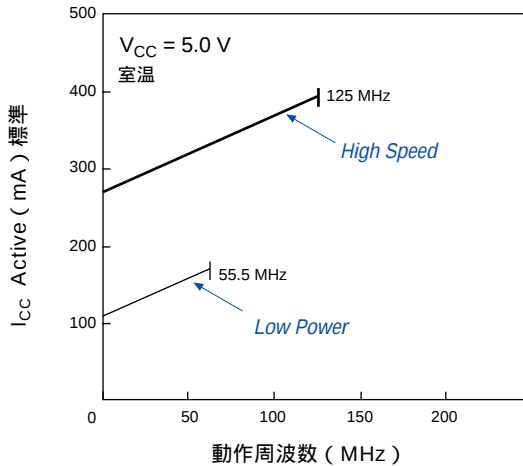
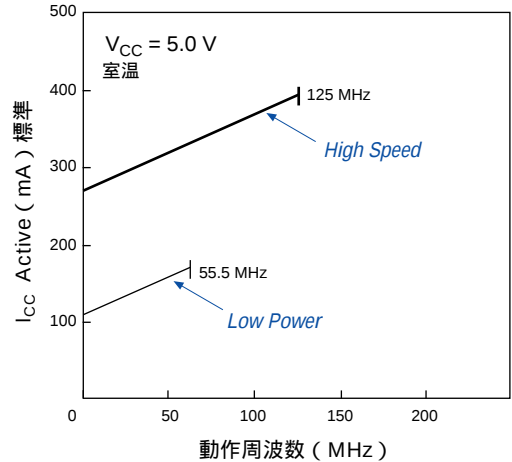


図16 MAX 7000デバイスの動作周波数対 I_{CC} 特性 (2/2)

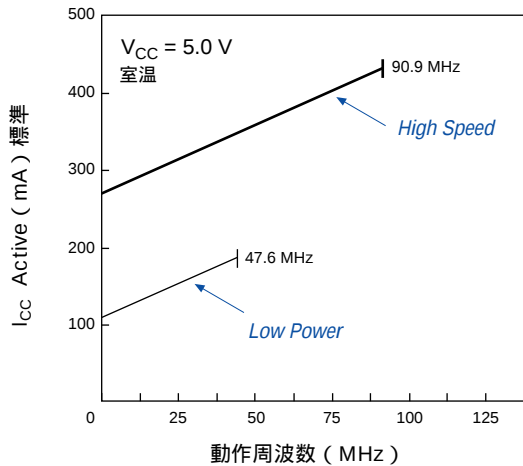
EPM7128E



EPM7160E



EPM7192E



EPM7256E

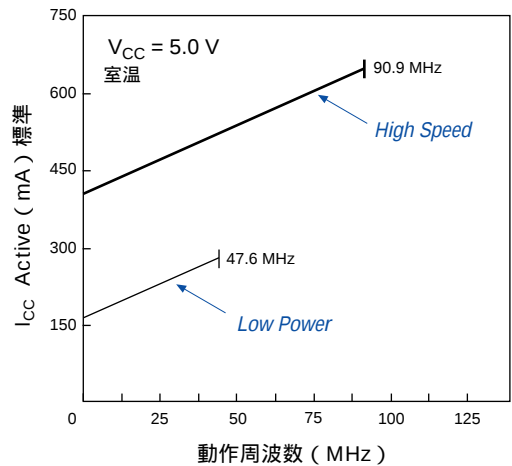
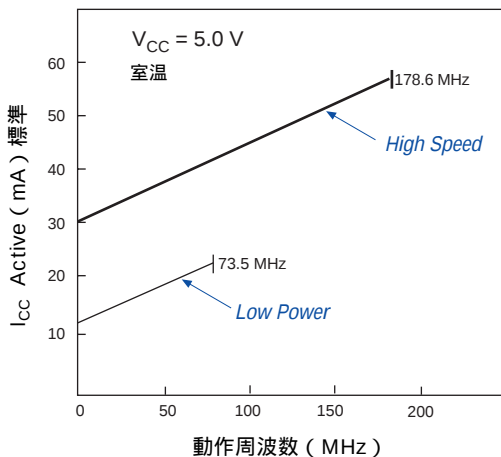


図17はMAX 7000Sデバイスの標準的な動作周波数に対する I_{CC} の特性を示したものです。

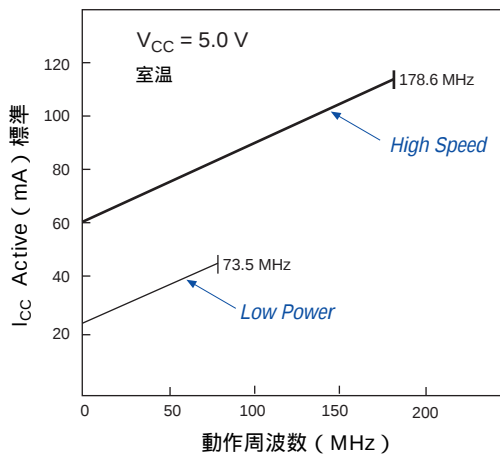
図17 MAX 7000Sデバイスの動作周波数対 I_{CC} 特性 (1/2)

ここに示されているMAX 7000Sデバイスの特性は暫定的な情報です。

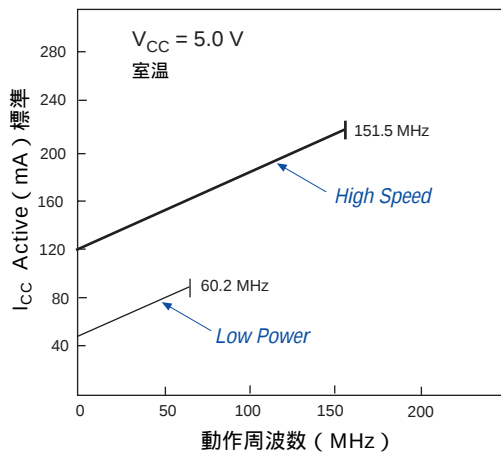
EPM7032S



EPM7064S



EPM7128S



EPM7160S

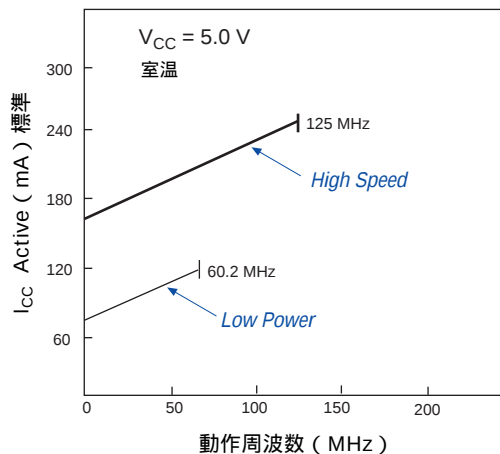
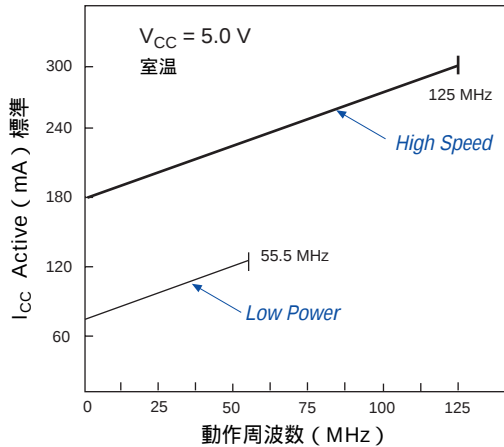


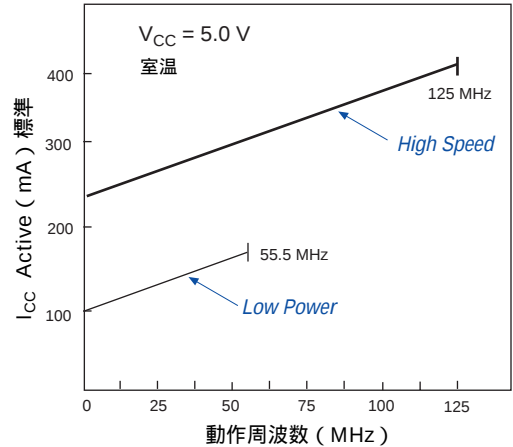
図17 MAX 7000Sデバイスの動作周波数対 I_{CC} 特性 (2/2)

ここに示されているMAX 7000Sデバイスの特性は暫定的な情報です。

EPM7192S



EPM7256S



デバイス・ ピン配置表

表7から表21はMAX 7000Sデバイスの各パッケージごとのピン配置を示したものです。

表7 EPM7032、EPM7032V、EPM7032Sの専用ピン

専用ピン	44-Pin PLCC	44-Pin PQFP/TQFP (1)
INPUT/GCLK1	43	37
INPUT/GCLRn	1	39
INPUT/OE1	44	38
INPUT/OE2/GCLK2 (2)	2	40
TDI (3)	7	1
TMS (3)	13	7
TCK (3)	32	26
TDO (3)	38	32
PDn (4)	3	41
GND (4)	10, 22, 30, 42	4, 16, 24, 36
VCC	3, 15, 23, 35	9, 17, 29, 41
No Connect (N.C.)	—	—
トータル・ユーザI/Oピン数	32	32

表 8 EPM7032、EPM7032V、EPM7032SのI/Oピン 注(2)

MC	LAB	44-Pin PLCC	44-Pin PQFP/TQFP (1)	MC	LAB	44-Pin PLCC	44-Pin PQFP/TQFP (1)
1	A	4	42	17	B	41	35
2	A	5	43	18	B	40	34
3	A	6	44	19	B	39	33
4	A	7 (3)	1 (3)	20	B	38 (3)	32 (3)
5	A	8	2	21	B	37	31
6	A	9	3	22	B	36	30
7	A	11	5	23	B	34	28
8	A	12	6	24	B	33	27
9	A	13 (3)	7 (3)	25	B	32 (3)	26 (3)
10	A	14	8	26	B	31	25
11	A	16	10	27	B	29	23
12	A	17	11	28	B	28	22
13	A	18	12	29	B	27	21
14	A	19	13	30	B	26	20
15	A	20	14	31	B	25	19
16	A	21	15	32	B	24	18

注：

- (1) 44ピンのPQFPパッケージは、EPM7032Sには提供されていません。
- (2) GCLK2のピンはMAX 7000Sデバイスにのみ提供されています。
- (3) MAX 7000Sデバイスでは、このピンをJTAGポートまたはユーザI/Oピンのいずれかとして使用できます。デバイスがISPを行うためにJTAGポートを使用するようにコンフィギュレーションされる場合は、このピンをユーザI/Oとして使用することはできません。
- (4) PDnピンはEPM7032Vデバイスに提供されています。

表9 EPM7064、EPM7064Sの専用ピン 注(1)

専用ピン	44-Pin PLCC	44-Pin TQFP	68-Pin PLCC (2)	84-Pin PLCC	100-Pin TQFP	100-Pin PQFP (2)
INPUT/GCLK1	43	37	67	83	87	89
INPUT/GCLRn	1	39	1	1	89	91
INPUT/OE1	44	38	68	84	88	90
INPUT/OE2/GCLK2 (1)	2	40	2	2	90	92
TDI (3)	7	1	12	14	4	6
TMS (3)	13	7	19	23	15	17
TCK (3)	32	26	50	62	62	64
TD0 (3)	38	32	57	71	73	75
GND	10, 22, 30, 42	4, 16, 24, 36	6, 16, 26, 34, 38, 48, 58, 66	7, 19, 32, 42, 47, 59, 72, 82	38, 86, 11, 26, 43, 59, 74, 95	13, 28, 40, 45, 61, 76, 88, 97
VCCINT (5.0 V only)	3, 15, 23, 35	9, 17, 29, 41	3, 35	3, 43	39, 91	41, 93
VCCIO (3.3 V or 5.0 V)	—	—	11, 21, 31, 43, 53, 63	13, 26, 38, 53, 66, 78	3, 18, 34, 51, 66, 82	5, 20, 36, 53, 68, 84
No Connect (N.C.)	—	—	—	—	1, 2, 5, 7, 22, 24, 27, 28, 49, 50, 53, 55, 70, 72, 77, 78	1, 2, 7, 9, 24, 26, 29, 30, 51, 52, 55, 57, 72, 74, 79, 80
トータル・ユーザI/Oピン数	32	32	48	64	64	64

表10 EPM7064、EPM7064SのI/Oピン (44ピンPLCC、44ピンTQFP、68ピンPLCC)

MC	LAB	44-Pin PLCC	44-Pin TQFP	68-Pin PLCC (2)	MC	LAB	44-Pin PLCC	44-Pin TQFP	68-Pin PLCC (2)
1	A	12	6	18	17	B	21	15	33
2	A	—	—	—	18	B	—	—	—
3	A	11	5	17	19	B	20	14	32
4	A	9	3	15	20	B	19	13	30
5	A	8	2	14	21	B	18	12	29
6	A	—	—	13	22	B	—	—	28
7	A	—	—	—	23	B	—	—	—
8	A	7 (3)	1 (3)	12 (3)	24	B	17	11	27
9	A	—	—	10	25	B	16	10	25
10	A	—	—	—	26	B	—	—	—
11	A	6	44	9	27	B	—	—	24
12	A	—	—	8	28	B	—	—	23
13	A	—	—	7	29	B	—	—	22
14	A	5	43	5	30	B	14	8	20
15	A	—	—	—	31	B	—	—	—
16	A	4	42	4	32	B	13 (3)	7 (3)	19 (3)
33	C	24	18	36	49	D	33	27	51
34	C	—	—	—	50	D	—	—	—
35	C	25	19	37	51	D	34	28	52
36	C	26	20	39	52	D	36	30	54
37	C	27	21	40	53	D	37	31	55
38	C	—	—	41	54	D	—	—	56
39	C	—	—	—	55	D	—	—	—
40	C	28	22	42	56	D	38 (3)	32 (3)	57 (3)
41	C	29	23	44	57	D	39	33	59
42	C	—	—	—	58	D	—	—	—
43	C	—	—	45	59	D	—	—	60
44	C	—	—	46	60	D	—	—	61
45	C	—	—	47	61	D	—	—	62
46	C	31	25	49	62	D	40	34	64
47	C	—	—	—	63	D	—	—	—
48	C	32 (3)	26 (3)	50 (3)	64	D	41	35	65

表11 EPM7064、EPM7064SのI/Oピン (84ピンPLCC、100ピンTQFP、100ピンPQFP)

MC	LAB	84-Pin PLCC	100-Pin TQFP	100-Pin PQFP (2)	MC	LAB	84-Pin PLCC	100-Pin TQFP	100-Pin PQFP (2)
1	A	22	14	16	17	B	41	37	39
2	A	21	13	15	18	B	40	36	38
3	A	20	12	14	19	B	39	35	37
4	A	18	10	12	20	B	37	33	35
5	A	17	9	11	21	B	36	32	34
6	A	16	8	10	22	B	35	31	33
7	A	15	6	8	23	B	34	30	32
8	A	14 (3)	4 (3)	6 (3)	24	B	33	29	31
9	A	12	100	4	25	B	31	25	27
10	A	11	99	3	26	B	30	23	25
11	A	10	98	100	27	B	29	21	23
12	A	9	97	99	28	B	28	20	22
13	A	8	96	98	29	B	27	19	21
14	A	6	94	96	30	B	25	17	19
15	A	5	93	95	31	B	24	16	18
16	A	4	92	94	32	B	23 (3)	15 (3)	17 (3)
33	C	44	40	42	49	D	63	63	65
34	C	45	41	43	50	D	64	64	66
35	C	46	42	44	51	D	65	65	67
36	C	48	44	46	52	D	67	67	69
37	C	49	45	47	53	D	68	68	70
38	C	50	46	48	54	D	69	69	71
39	C	51	47	49	55	D	70	71	73
40	C	52	48	50	56	D	71 (3)	73 (3)	75 (3)
41	C	54	52	54	57	D	73	75	77
42	C	55	54	56	58	D	74	76	78
43	C	56	56	58	59	D	75	79	81
44	C	57	57	59	60	D	76	80	82
45	C	58	58	60	61	D	77	81	83
46	C	60	60	62	62	D	79	83	85
47	C	61	61	63	63	D	80	84	86
48	C	62 (3)	62 (3)	64 (3)	64	D	81	85	87

注：

(1) GCLK2のピンはMAX 7000Sデバイスにのみ提供されています。

(2) このパッケージはEPM7064Sには提供されません。

(3) MAX 7000Sデバイスでは、このピンをJTAGポートまたはユーザI/Oピンのいずれかとして使用できます。デバイスがISPを行うためにJTAGポートを使用するようにコンフィギュレーションされる場合は、このピンをユーザI/Oとして使用することはできません。

表12 EPM7096の専用ピン

専用ピン	68-Pin PLCC	84-Pin PLCC	100-Pin PQFP
INPUT/GCLK1	67	83	89
INPUT/GCLRn	1	1	91
INPUT/OE1	68	84	90
INPUT/OE2/GCLK2	2	2	92
GND	6, 16, 26, 34, 38, 48, 58, 66	7, 19, 32, 42, 47, 59, 72, 82	13, 28, 40, 45, 61, 76, 88, 97
VCCINT (5.0 V only)	3, 35	3, 43	41, 93
VCCIO (3.3 V or 5.0 V)	11, 21, 31, 43, 53, 63	13, 26, 38, 53, 66, 78	5, 20, 36, 53, 68, 84
No Connect (N.C.)	—	6, 39, 46, 79	9, 24, 37, 44, 57, 72, 85, 96
トータル・ユーザI/Oピン数	48	60	72

表13 EPM7096のI/Oピン (1/2)

MC	LAB	68-Pin PLCC	84-Pin PLCC	100-Pin PQFP	MC	LAB	68-Pin PLCC	84-Pin PLCC	100-Pin PQFP
1	A	13	16	8	17	B	23	28	23
2	A	—	—	—	18	B	—	—	—
3	A	—	15	7	19	B	22	27	22
4	A	12	14	6	20	B	—	—	21
5	A	—	—	4	21	B	20	25	19
6	A	10	12	3	22	B	—	24	18
7	A	—	—	—	23	B	—	—	—
8	A	9	11	2	24	B	19	23	17
9	A	8	10	1	25	B	18	22	16
10	A	—	—	—	26	B	—	—	—
11	A	—	9	100	27	B	17	21	15
12	A	7	8	99	28	B	—	20	14
13	A	—	—	98	29	B	15	18	12
14	A	5	5	95	30	B	—	—	11
15	A	—	—	—	31	B	—	—	—
16	A	4	4	94	32	B	14	17	10

表13 EPM7096のI/Oピン (2/2)

MC	LAB	68-Pin PLCC	84-Pin PLCC	100-Pin PQFP	MC	LAB	68-Pin PLCC	84-Pin PLCC	100-Pin PQFP
33	C	33	41	39	49	D	36	44	42
34	C	—	—	—	50	D	—	—	—
35	C	32	40	38	51	D	37	45	43
36	C	—	—	35	52	D	—	—	46
37	C	30	37	34	53	D	39	48	47
38	C	—	36	33	54	D	—	49	48
39	C	—	—	—	55	D	—	—	—
40	C	29	35	32	56	D	40	50	49
41	C	28	34	31	57	D	41	51	50
42	C	—	—	—	58	D	—	—	—
43	C	27	33	30	59	D	42	52	51
44	C	—	—	29	60	D	—	—	52
45	C	25	31	27	61	D	44	54	54
46	C	—	30	26	62	D	—	55	55
47	C	—	—	—	63	D	—	—	—
48	C	24	29	25	64	D	45	56	56
65	E	46	57	58	81	F	56	69	73
66	E	—	—	—	82	F	—	—	—
67	E	47	58	59	83	F	—	70	74
68	E	—	—	60	84	F	57	71	75
69	E	49	60	62	85	F	—	—	77
70	E	—	61	63	86	F	59	73	78
71	E	—	—	—	87	F	—	—	—
72	E	50	62	64	88	F	60	74	79
73	E	51	63	65	89	F	61	75	80
74	E	—	—	—	90	F	—	—	—
75	E	52	64	66	91	F	—	76	81
76	E	—	65	67	92	F	62	77	82
77	E	54	67	69	93	F	—	—	83
78	E	—	—	70	94	F	64	80	86
79	E	—	—	—	95	F	—	—	—
80	E	55	68	71	96	F	65	81	87

表14 EPM7128E、EPM7128Sの専用ピン

専用ピン	84-Pin PLCC	100-Pin PQFP	100-Pin TQFP (1)	160-Pin PQFP
INPUT/GCLK1	83	89	87	139
INPUT/GCLRn	1	91	89	141
INPUT/OE1	84	90	88	140
INPUT/OE2/GCLK2	2	92	90	142
TDI 注(2)	14	6	4	9
TMS 注(2)	23	17	15	22
TCK 注(2)	62	64	62	99
TDO 注(2)	71	75	73	112
GNDINT	42, 82	40, 88	38, 86	60, 138
GNDIO	7, 19, 32, 47, 59, 72	13, 28, 45, 61, 76, 97	11, 26, 43, 59, 74, 95	17, 42, 66, 95, 113, 148
VCCINT (5.0 V only)	3, 43	41, 93	39, 91	61, 143
VCCIO (3.3 V or 5.0 V)	13, 26, 38, 53, 66, 78	5, 20, 36, 53, 68, 84	3, 18, 34, 51, 66, 82	8, 26, 55, 79, 104, 133
No Connect (N.C.)	—	—	—	1, 2, 3, 4, 5, 6, 7, 34, 35, 36, 37, 38, 39, 40, 44, 45, 46, 47, 74, 75, 76, 77, 81, 82, 83, 84, 85, 86, 87, 114, 115, 116, 117, 118, 119, 120, 124, 125, 126, 127, 154, 155, 156, 157
トータル・ユーザI/Oピン数	64	80	80	96

表15 EPM7128E、EPM7128SのI/Oピン (1/2) 注(2)

MC	LAB	84-Pin PLCC	100-Pin PQFP	100-Pin TQFP (1)	160-Pin PQFP	MC	LAB	84-Pin PLCC	100-Pin PQFP	100-Pin TQFP (1)	160-Pin PQFP
1	A	—	4	2	160	17	B	22	16	14	21
2	A	—	—	—	—	18	B	—	—	—	—
3	A	12	3	1	159	19	B	21	15	13	20
4	A	—	—	—	158	20	B	—	—	—	19
5	A	11	2	100	153	21	B	20	14	12	18
6	A	10	1	99	152	22	B	—	12	10	16
7	A	—	—	—	—	23	B	—	—	—	—
8	A	9	100	98	151	24	B	18	11	9	15
9	A	—	99	97	150	25	B	17	10	8	14
10	A	—	—	—	—	26	B	—	—	—	—
11	A	8	98	96	149	27	B	16	9	7	13
12	A	—	—	—	147	28	B	—	—	—	12
13	A	6	96	94	146	29	B	15	8	6	11
14	A	5	95	93	145	30	B	—	7	5	10
15	A	—	—	—	—	31	B	—	—	—	—
16	A	4	94	92	144	32	B	14(3)	6(3)	4(3)	9(3)
33	C	—	27	25	41	49	D	41	39	37	59
34	C	—	—	—	—	50	D	—	—	—	—
35	C	31	26	24	33	51	D	40	38	36	58
36	C	—	—	—	32	52	D	—	—	—	57
37	C	30	25	23	31	53	D	39	37	35	56
38	C	29	24	22	30	54	D	—	35	33	54
39	C	—	—	—	—	55	D	—	—	—	—
40	C	28	23	21	29	56	D	37	34	32	53
41	C	—	22	20	28	57	D	36	33	31	52
42	C	—	—	—	—	58	D	—	—	—	—
43	C	27	21	19	27	59	D	35	32	30	51
44	C	—	—	—	25	60	D	—	—	—	50
45	C	25	19	17	24	61	D	34	31	29	49
46	C	24	18	16	23	62	D	—	30	28	48
47	C	—	—	—	—	63	D	—	—	—	—
48	C	23(3)	17(3)	15(3)	22(3)	64	D	33	29	27	43

表15 EPM7128E、EPM7128SのI/Oピン (2/2) 注(2)

MC	LAB	84-Pin PLCC	100-Pin PQFP	100-Pin TQFP (1)	160-Pin PQFP	MC	LAB	84-Pin PLCC	100-Pin PQFP	100-Pin TQFP (1)	160-Pin PQFP
65	E	44	42	40	62	81	F	—	54	52	80
66	E	—	—	—	—	82	F	—	—	—	—
67	E	45	43	41	63	83	F	54	55	53	88
68	E	—	—	—	64	84	F	—	—	—	89
69	E	46	44	42	65	85	F	55	56	54	90
70	E	—	46	44	67	86	F	56	57	55	91
71	E	—	—	—	—	87	F	—	—	—	—
72	E	48	47	45	68	88	F	57	58	56	92
73	E	49	48	45	69	89	F	—	59	57	93
74	E	—	—	—	—	90	F	—	—	—	—
75	E	50	49	47	70	91	F	58	60	58	94
76	E	—	—	—	71	92	F	—	—	—	96
77	E	51	50	48	72	93	F	60	62	60	97
78	E	—	51	49	73	94	F	61	63	61	98
79	E	—	—	—	—	95	F	—	—	—	—
80	E	52	52	50	78	96	F	62 (3)	64 (3)	62 (3)	99 (3)
97	G	63	65	63	100	113	H	—	77	75	121
98	G	—	—	—	—	114	H	—	—	—	—
99	G	64	66	64	101	115	H	73	78	76	122
100	G	—	—	—	102	116	H	—	—	—	123
101	G	65	67	65	103	117	H	74	79	77	128
102	G	—	69	67	105	118	H	75	80	78	129
103	G	—	—	—	—	119	H	—	—	—	—
104	G	67	70	68	106	120	H	76	81	79	130
105	G	68	71	69	107	121	H	—	82	80	131
106	G	—	—	—	—	122	H	—	—	—	—
107	G	69	72	70	108	123	H	77	83	81	132
108	G	—	—	—	109	124	H	—	—	—	134
109	G	70	73	71	110	125	H	79	85	83	135
110	G	—	74	72	111	126	H	80	86	84	136
111	G	—	—	—	—	127	H	—	—	—	—
112	G	71 (3)	75 (3)	73 (3)	112 (3)	128	H	81	87	85	137

注：

- (1) このパッケージを使用する場合は、デザインを確定する前に十分な熱特性に関する解析を行って下さい。
- (2) MAX 7000Sデバイスに関する情報は暫定仕様です。
- (3) MAX 7000Sデバイスでは、このピンをJTAGポートまたはユーザI/Oピンのいずれかとして使用できます。デバイスがISPまたはバウンダリ・スキャン・テストのためにJTAGポートを使用するようにコンフィギュレーションされる場合は、このピンをユーザI/Oとして使用することはできません。

表16 EPM7160E、EPM7160Sの専用ピン 注(1)

専用ピン	84-Pin PLCC	100-Pin TQFP (2)	100-Pin PQFP (3)	160-Pin PQFP
INPUT/GCLK1	83	87	89	139
INPUT/GCLRn	1	89	91	141
INPUT/OE1	84	88	90	140
INPUT/OE2/GCLK2	2	90	92	142
TDI (1)	14	4	6	9
TMS (1)	23	15	17	22
TCK (1)	62	62	64	99
TDO (1)	71	73	75	112
GND	7, 19, 32, 42, 47, 59, 72, 82	38, 86, 11, 26, 43, 59, 74, 95	13, 28, 40, 45, 61, 76, 88, 97	17, 42, 60, 66, 95, 113, 138, 148
VCCINT (5.0 V only)	3, 43	39, 91	41, 93	61, 143
VCCIO (3.3 V or 5.0 V)	13, 26, 38, 53, 66, 78	3, 18, 34, 51, 66, 82	5, 20, 36, 53, 68, 84	8, 26, 55, 79, 104, 133
No Connect (N.C.)	6, 39, 46, 79	—	—	1, 2, 3, 4, 5, 6, 34, 35, 36, 37, 38, 39, 40, 45, 46, 47, 74, 75, 76, 81, 82, 83, 84, 85, 86, 87, 115, 116, 117, 118, 119, 120, 124, 125, 126, 127, 154, 155, 156, 157,
トータル・ユーザI/Oピン数	60	80	80	100

表17 EPM7160E、EPM7160SのI/Oピン (1/3)

MC	LAB	84-Pin PLCC	100-Pin TQFP(2)	100-Pin PQFP(3)	160-Pin PQFP	MC	LAB	84-Pin PLCC	100-Pin TQFP(2)	100-Pin PQFP(3)	160-Pin PQFP
1	A	11	100	2	158	17	B	18	9	11	15
2	A	—	—	—	—	18	B	—	—	—	—
3	A	10	99	1	153	19	B	17	8	10	14
4	A	—	—	—	—	20	B	—	—	—	—
5	A	—	—	—	152	21	B	—	—	—	13
6	A	—	98	100	151	22	B	—	7	9	12
7	A	—	—	—	—	23	B	—	—	—	—
8	A	9	97	99	150	24	B	16	6	8	11
9	A	8	96	98	149	25	B	15	5	7	10
10	A	—	—	—	—	26	B	—	—	—	—
11	A	5	94	96	147	27	B	14 (1)	4 (1)	6 (1)	9 (1)

表17 EPM7160E、EPM7160SのI/Oピン (2/3)

MC	LAB	84-Pin PLCC	100-Pin TQFP(2)	100-Pin PQFP(3)	160-Pin PQFP	MC	LAB	84-Pin PLCC	100-Pin TQFP(2)	100-Pin PQFP(3)	160-Pin PQFP
12	A	—	—	—	—	28	B	—	—	—	—
13	A	—	—	—	146	29	B	—	—	—	7
14	A	—	93	95	145	30	B	—	2	4	160
15	A	—	—	—	—	31	B	—	—	—	—
16	A	4	92	94	144	32	B	12	1	3	159
33	C	—	19	21	27	49	D	—	—	—	48
34	C	—	—	—	—	50	D	—	—	—	—
35	C	25	17	19	25	51	D	33	28	30	44
36	C	—	—	—	—	52	D	—	—	—	—
37	C	—	—	—	24	53	D	—	27	29	43
38	C	24	16	18	23	54	D	31	25	27	41
39	C	—	—	—	—	55	D	—	—	—	—
40	C	23 (1)	15 (1)	17 (1)	22 (1)	56	D	30	24	26	33
41	C	—	10	12	16	57	D	—	—	—	32
42	C	—	—	—	—	58	D	—	—	—	—
43	C	20	12	14	18	59	D	29	23	25	31
44	C	—	—	—	—	60	D	—	—	—	—
45	C	—	—	—	19	61	D	—	22	24	30
46	C	21	13	15	20	62	D	28	21	23	29
47	C	—	—	—	—	63	D	—	—	—	—
48	C	22	14	16	21	64	D	27	20	22	28
65	E	—	—	—	59	81	F	—	—	—	62
66	E	—	—	—	—	82	F	—	—	—	—
67	E	41	37	39	58	83	F	44	40	42	63
68	E	—	—	—	—	84	F	—	—	—	—
69	E	—	36	38	57	85	F	—	41	43	64
70	E	40	35	37	56	86	F	45	42	44	65
71	E	—	—	—	—	87	F	—	—	—	—
72	E	37	33	35	54	88	F	48	44	46	67
73	E	—	—	—	53	89	F	—	—	—	68
74	E	—	—	—	—	90	F	—	—	—	—
75	E	36	32	34	52	91	F	49	45	47	69
76	E	—	—	—	—	92	F	—	—	—	—
77	E	—	31	33	51	93	F	—	46	48	70
78	E	35	30	32	50	94	F	50	47	49	71
79	E	—	—	—	—	95	F	—	—	—	—
80	E	34	29	31	49	96	F	51	48	50	72

表17 EPM7160E、EPM7160SのI/Oピン (3/3)

MC	LAB	84-Pin PLCC	100-Pin TQFP(2)	100-Pin PQFP(3)	160-Pin PQFP	MC	LAB	84-Pin PLCC	100-Pin TQFP(2)	100-Pin PQFP(3)	160-Pin PQFP
97	G	—	—	—	73	113	H	—	58	60	94
98	G	—	—	—	—	114	H	—	—	—	—
99	G	52	49	51	77	115	H	60	60	62	96
100	G	—	—	—	—	116	H	—	—	—	—
101	G	—	50	52	78	117	H	—	—	—	97
102	G	54	52	54	80	118	H	61	61	63	98
103	G	—	—	—	—	119	H	—	—	—	—
104	G	55	53	55	88	120	H	62 (1)	62 (1)	64 (1)	99 (1)
105	G	—	—	—	89	121	H	—	67	69	105
106	G	—	—	—	—	122	H	—	—	—	—
107	G	56	54	56	90	123	H	65	65	67	103
108	G	—	—	—	—	124	H	—	—	—	—
109	G	—	55	57	91	125	H	—	—	—	102
110	G	57	56	58	92	126	H	64	64	66	101
111	G	—	—	—	—	127	H	—	—	—	—
112	G	58	57	59	93	128	H	63	63	65	100
129	I	67	68	70	106	145	J	74	77	79	123
130	I	—	—	—	—	146	J	—	—	—	—
131	I	68	69	71	107	147	J	75	78	80	128
132	I	—	—	—	—	148	J	—	—	—	—
133	I	—	—	—	108	149	J	—	—	—	129
134	I	—	70	72	109	150	J	—	79	81	130
135	I	—	—	—	—	151	J	—	—	—	—
136	I	69	71	73	110	152	J	76	80	82	131
137	I	70	72	74	111	153	J	77	81	83	132
138	I	—	—	—	—	154	J	—	—	—	—
139	I	71 (1)	73 (1)	75 (1)	112 (1)	155	J	80	83	85	134
140	I	—	—	—	—	156	J	—	—	—	—
141	I	—	—	—	114	157	J	—	—	—	135
142	I	—	75	77	121	158	J	—	84	86	136
143	I	—	—	—	—	159	J	—	—	—	—
144	I	73	76	78	122	160	J	81	85	87	137

注：

- (1) MAX 7000Sデバイスでは、このピンをJTAGポートまたはユーザI/Oピンのいずれかとして使用できます。デバイスがISPまたはバウンダリ・スキャン・テストのためにJTAGポートを使用するようにコンフィギュレーションされる場合は、このピンをユーザI/Oとして使用することはできません。
- (2) このパッケージを使用する場合は、デザインを確定する前に十分な熱特性に関する解析を行って下さい。
- (3) 100ピンのPQFPはEPM7160Sには提供されません。

表18 EPM7192E、EPM7192Sの専用ピン

専用ピン	160-Pin PGA 注(1)	160-Pin PQFP
INPUT/GCLK1	M8	139
INPUT/GCLRn	N8	141
INPUT/OE1	P8	140
INPUT/OE2/GCLK2	R8	142
TDI (2)	P9	146
TMS (2)	G15	23
TCK (2)	G2	98
TD0 (2)	R7	135
GND	C4, C6, C11, D7, D9, D13, G4, H12, J4, M7, M9, M13, N4, N11	3, 18, 32, 47, 57, 64, 66, 81, 96, 111, 126, 138, 143, 148
VCCINT (5.0 V only)	C7, C9, N7, N9	56, 65, 137, 144
VCCI0 (3.3 V or 5.0 V)	C5, C10, C12, D3, G12, H4, J12, M3, N5, N12	10, 25, 40, 55, 74, 89, 103, 118, 133, 155
No Connect (N.C.)	A1, A2, A14, A15, R1, R2, R14, R15	1, 11, 39, 54, 67, 82, 110, 120
トータル・ユーザI/Oピン数	120	120

表19 EPM7192E、EPM7192SのI/Oピン (1/3)

MC	LAB	160-Pin PGA(1)	160-Pin PQFP	MC	LAB	160-Pin PGA(1)	160-Pin PQFP	MC	LAB	160-Pin PGA(1)	160-Pin PQFP
1	A	M12	156	17	B	L14	8	33	C	H14	21
2	A	—	—	18	B	—	—	34	C	—	—
3	A	P11	154	19	B	M14	7	35	C	J13	20
4	A	—	—	20	B	—	—	36	C	—	—
5	A	P12	153	21	B	M15	6	37	C	H15	19
6	A	P10	152	22	B	N14	5	38	C	J15	17
7	A	—	—	23	B	—	—	39	C	—	—
8	A	R12	151	24	B	N15	4	40	C	J14	16
9	A	N10	150	25	B	P15	2	41	C	K15	15
10	A	—	—	26	B	—	—	42	C	—	—
11	A	R11	149	27	B	N13	160	43	C	K13	14
12	A	—	—	28	B	—	—	44	C	—	—
13	A	R10	147	29	B	P14	159	45	C	L15	13
14	A	P9 (2)	146 (2)	30	B	P13	158	46	C	K14	12
15	A	—	—	31	B	—	—	47	C	—	—
16	A	R9	145	32	B	R13	157	48	C	L13	9

表19 EPM7192E、EPM7192SのI/Oピン (2/3)

MC	LAB	160-Pin PGA(1)	160-Pin PQFP	MC	LAB	160-Pin PGA(1)	160-Pin PQFP	MC	LAB	160-Pin PGA(1)	160-Pin PQFP
49	D	D15	33	65	E	B12	45	81	F	D8	60
50	D	—	—	66	E	—	—	82	F	—	—
51	D	E15	31	67	E	B13	44	83	F	A9	59
52	D	—	—	68	E	—	—	84	F	—	—
53	D	E14	30	69	E	C13	43	85	F	C8	58
54	D	F15	29	70	E	B14	42	86	F	B9	53
55	D	—	—	71	E	—	—	87	F	—	—
56	D	F13	28	72	E	C14	41	88	F	A10	52
57	D	G14	27	73	E	D12	38	89	F	B10	51
58	D	—	—	74	E	—	—	90	F	—	—
59	D	F14	26	75	E	B15	37	91	F	A11	50
60	D	—	—	76	E	—	—	92	F	—	—
61	D	G13	24	77	E	D14	36	93	F	B11	49
62	D	G15 (2)	23 (2)	78	E	C15	35	94	F	A12	48
63	D	—	—	79	E	—	—	95	F	—	—
64	D	H13	22	80	E	E13	34	96	F	A13	46
97	G	A8	61	113	H	A3	76	129	I	E3	88
98	G	—	—	114	H	—	—	130	I	—	—
99	G	B8	62	115	H	B4	77	131	I	F3	90
100	G	—	—	116	H	—	—	132	I	—	—
101	G	A7	63	117	H	B3	78	133	I	E2	91
102	G	A6	68	118	H	C3	79	134	I	F2	92
103	G	—	—	119	H	—	—	135	I	—	—
104	G	B7	69	120	H	B2	80	136	I	E1	93
105	G	A5	70	121	H	B1	83	137	I	G3	94
106	G	—	—	122	H	—	—	138	I	—	—
107	G	B6	71	123	H	C2	84	139	I	F1	95
108	G	—	—	124	H	—	—	140	I	—	—
109	G	A4	72	125	H	C1	85	141	I	G1	97
110	G	B5	73	126	H	D2	86	142	I	G2 (2)	98 (2)
111	G	—	—	127	H	—	—	143	I	—	—
112	G	D4	75	128	H	D1	87	144	I	H1	99

表19 EPM7192E、EPM7192SのI/Oピン (3/3)

MC	LAB	160-Pin PGA (1)	160-Pin PQFP	MC	LAB	160-Pin PGA (1)	160-Pin PQFP	MC	LAB	160-Pin PGA (1)	160-Pin PQFP
145	J	H2	100	161	K	L2	113	177	L	R3	125
146	J	—	—	162	K	—	—	178	L	—	—
147	J	J1	101	163	K	N1	114	179	L	R4	127
148	J	—	—	164	K	—	—	180	L	—	—
149	J	H3	102	165	K	L3	115	181	L	M4	128
150	J	J3	104	166	K	P1	116	182	L	R5	129
151	J	—	—	167	K	—	—	183	L	—	—
152	J	K1	105	168	K	M2	117	184	L	P5	130
153	J	J2	106	169	K	N2	119	185	L	R6	131
154	J	—	—	170	K	—	—	186	L	—	—
155	J	K2	107	171	K	P2	121	187	L	P6	132
156	J	—	—	172	K	—	—	188	L	—	—
157	J	K3	108	173	K	N3	122	189	L	N6	134
158	J	L1	109	174	K	P3	123	190	L	R7 (2)	135 (2)
159	J	—	—	175	K	—	—	191	L	—	—
160	J	M1	112	176	K	P4	124	192	L	P7	136

注：

- (1) このパッケージはEPM7192Sに提供されません。
- (2) MAX 7000Sデバイスでは、このピンをJTAGポートまたはユーザI/Oピンのいずれかとして使用できます。デバイスがISPのためにJTAGポートを使用するようにコンフィギュレーションされる場合は、このピンをユーザI/Oとして使用することはできません。

表20 EPM7256E、EPM7256Sの専用ピン

専用ピン	160-Pin PQFP (1)、(2)	192-Pin PGA (2)	208-Pin RQFP/PQFP
INPUT/GCLK1	139	P9	184
INPUT/GCLRn	141	R9	182
INPUT/OE1	140	T9	183
INPUT/OE2/GCLK2	142	U9	181
TDI 注(3)	146	U10	176
TMS 注(3)	23	H15	127
TCK 注(3)	98	H3	30
TDO 注(3)	135	U8	189
GND	3, 18, 32, 47, 57, 64, 66, 81, 96, 111, 126, 138, 143, 148	C7, C13, D4, D8, D10, G14, H4, K14, L4, P8, P10, P15, R4, R11	14, 32, 50, 72, 75, 82, 94, 116, 134, 152, 174, 180, 185, 200
VCCINT (5.0 V only)	56, 65, 137, 144	D7, D11, P7, P11	74, 83, 179, 186
VCCIO (3.3 V or 5.0 V)	10, 25, 40, 55, 74, 89, 103, 118, 133, 155	C5, C11, D14, G4, H14, K4, L14, P3, R5, R14	5, 23, 41, 63, 85, 107, 125, 143, 165, 191
No Connect (N.C.)	–	–	1, 2, 51, 52, 53, 54, 103, 104, 105, 106, 155, 156, 157, 158, 207, 208.
トータル・ユーザI/Oピン数	128	160	160

表21 EPM7256E、EPM7256SのI/Oピン (1/5)

MC	LAB	160-Pin PQFP (1)、(2)	192-Pin PGA (2)	208-Pin RQFP/PQFP	MC	LAB	160-Pin PQFP (1)、(2)	192-Pin PGA (2)	208-Pin RQFP/PQFP
1	A	2	U17	153	17	B	12	N17	141
2	A	–	–	–	18	B	–	–	–
3	A	1	R16	154	19	B	11	M16	142
4	A	–	–	–	20	B	–	–	–
5	A	160	P14	159	21	B	9	M15	144
6	A	–	U16	160	22	B	–	P17	145
7	A	–	–	–	23	B	–	–	–
8	A	159	R15	161	24	B	8	N16	146
9	A	158	U15	162	25	B	7	R17	147
10	A	–	–	–	26	B	–	–	–
11	A	157	T15	163	27	B	6	P16	148
12	A	–	–	–	28	B	–	–	–
13	A	156	U14	164	29	B	5	T17	149

表21 EPM7256E、EPM7256SのI/Oピン (2/5)

MC	LAB	160-Pin PQFP (1)、(2)	192-Pin PGA (2)	208-Pin RQFP/PQFP	MC	LAB	160-Pin PQFP (1)、(2)	192-Pin PGA (2)	208-Pin RQFP/PQFP
14	A	—	U13	166	30	B	—	N15	150
15	A	—	—	—	31	B	—	—	—
16	A	154	T14	167	32	B	4	T16	151
33	C	39	B17	108	49	D	49	A14	92
34	C	—	—	—	50	D	—	—	—
35	C	38	C15	109	51	D	48	B12	93
36	C	—	—	—	52	D	—	—	—
37	C	37	C17	110	53	D	46	B13	95
38	C	—	C16	111	54	D	—	A15	96
39	C	—	—	—	55	D	—	—	—
40	C	36	D17	112	56	D	45	B14	97
41	C	35	D15	113	57	D	44	A16	98
42	C	—	—	—	58	D	—	—	—
43	C	34	E17	114	59	D	43	C14	99
44	C	—	—	—	60	D	—	—	—
45	C	33	D16	115	61	D	42	B16	100
46	C	—	E15	117	62	D	—	B15	101
47	C	—	—	—	63	D	—	—	—
48	C	31	F16	118	64	D	41	A17	102
65	E	153	U12	168	81	F	21	J16	130
66	E	—	—	—	82	F	—	—	—
67	E	152	R13	169	83	F	20	J15	131
68	E	—	—	—	84	F	—	—	—
69	E	151	U11	170	85	F	19	K17	132
70	E	—	T13	171	86	F	—	J14	133
71	E	—	—	—	87	F	—	—	—
72	E	150	T11	172	88	F	17	K16	135
73	E	149	T12	173	89	F	16	K15	136
74	E	—	—	—	90	F	—	—	—
75	E	147	R12	175	91	F	15	L17	137
76	E	—	—	—	92	F	—	—	—
77	E	146 (3)	U10 (3)	176 (3)	93	F	14	L16	138
78	E	—	R10	177	94	F	—	M17	139
79	E	—	—	—	95	F	—	—	—
80	E	145	T10	178	96	F	13	L15	140

表21 EPM7256E、EPM7256SのI/Oピン (3/5)									
MC	LAB	160-Pin PQFP (1)、(2)	192-Pin PGA (2)	208-Pin RQFP/PQFP	MC	LAB	160-Pin PQFP (1)、(2)	192-Pin PGA (2)	208-Pin RQFP/PQFP
97	G	30	E16	119	113	H	60	C9	79
98	G	—	—	—	114	H	—	—	—
99	G	29	F17	120	115	H	59	D9	80
100	G	—	—	—	116	H	—	—	—
101	G	28	F15	121	117	H	58	C10	81
102	G	—	G16	122	118	H	—	A10	84
103	G	—	—	—	119	H	—	—	—
104	G	27	G15	123	120	H	54	A11	86
105	G	26	G17	124	121	H	53	B10	87
106	G	—	—	—	122	H	—	—	—
107	G	24	H17	126	123	H	52	A12	88
108	G	—	—	—	124	H	—	—	—
109	G	23 (3)	H15 (3)	127 (3)	125	H	51	B11	89
110	G	—	J17	128	126	H	—	A13	90
111	G	—	—	—	127	H	—	—	—
112	G	22	H16	129	128	H	50	C12	91
129	I	128	U6	197	145	J	100	J2	27
130	I	—	—	—	146	J	—	—	—
131	I	129	T5	196	147	J	101	J3	26
132	I	—	—	—	148	J	—	—	—
133	I	130	U7	195	149	J	102	K1	25
134	I	—	T6	194	150	J	—	J4	24
135	I	—	—	—	151	J	—	—	—
136	I	131	T7	193	152	J	104	K2	22
137	I	132	R6	192	153	J	105	K3	21
138	I	—	—	—	154	J	—	—	—
139	I	134	R7	190	155	J	106	L1	20
140	I	—	—	—	156	J	—	—	—
141	I	135 (3)	U8 (3)	189 (3)	157	J	107	L2	19
142	I	—	R8	188	158	J	—	M1	18
143	I	—	—	—	159	J	—	—	—
144	I	136	T8	187	160	J	108	L3	17

表21 EPM7256E、EPM7256SのI/Oピン (4/5)

MC	LAB	160-Pin PQFP (1)、(2)	192-Pin PGA (2)	208-Pin RQFP/PQFP	MC	LAB	160-Pin PQFP (1)、(2)	192-Pin PGA (2)	208-Pin RQFP/PQFP
161	K	91	F3	38	177	L	61	B9	78
162	K	—	—	—	178	L	—	—	—
163	K	92	F1	37	179	L	62	C8	77
164	K	—	—	—	180	L	—	—	—
165	K	93	E2	36	181	L	63	A9	76
166	K	—	G2	35	182	L	—	A8	73
167	K	—	—	—	183	L	—	—	—
168	K	94	G3	34	184	L	67	A7	71
169	K	95	G1	33	185	L	68	B8	70
170	K	—	—	—	186	L	—	—	—
171	K	97	H1	31	187	L	69	A6	69
172	K	—	—	—	188	L	—	—	—
173	K	98 (3)	H3 (3)	30 (3)	189	L	70	B7	68
174	K	—	J1	29	190	L	—	A5	67
175	K	—	—	—	191	L	—	—	—
176	K	99	H2	28	192	L	71	C6	66
193	M	119	U1	4	209	N	109	N1	16
194	M	—	—	—	210	N	—	—	—
195	M	120	R2	3	211	N	110	M2	15
196	M	—	—	—	212	N	—	—	—
197	M	121	R3	206	213	N	112	M3	13
198	M	—	U2	205	214	N	—	P1	12
199	M	—	—	—	215	N	—	—	—
200	M	122	P4	204	216	N	113	N2	11
201	M	123	U3	203	217	N	114	R1	10
202	M	—	—	—	218	N	—	—	—
203	M	124	T3	202	219	N	115	P2	9
204	M	—	—	—	220	N	—	—	—
205	M	125	U4	201	221	N	116	T1	8
206	M	—	U5	199	222	N	—	N3	7
207	M	—	—	—	223	N	—	—	—
208	M	127	T4	198	224	N	117	T2	6

表21 EPM7256E、EPM7256SのI/Oピン (5/5)

MC	LAB	160-Pin PQFP (1)、(2)	192-Pin PGA (2)	208-Pin RQFP/PQFP	MC	LAB	160-Pin PQFP (1)、(2)	192-Pin PGA (2)	208-Pin RQFP/PQFP
225	O	82	B1	49	241	P	72	A4	65
226	O	—	—	—	242	P	—	—	—
227	O	83	C3	48	243	P	73	B6	64
228	O	—	—	—	244	P	—	—	—
229	O	84	C1	47	245	P	75	B5	62
230	O	—	D3	46	246	P	—	A3	61
231	O	—	—	—	247	P	—	—	—
232	O	85	D1	45	248	P	76	B4	60
233	O	86	C2	44	249	P	77	A2	59
234	O	—	—	—	250	P	—	—	—
235	O	87	E1	43	251	P	78	C4	58
236	O	—	—	—	252	P	—	—	—
237	O	88	E3	42	253	P	79	B2	57
238	O	—	D2	40	254	P	—	B3	56
239	O	—	—	—	255	P	—	—	—
240	O	90	F2	39	256	P	80	A1	55

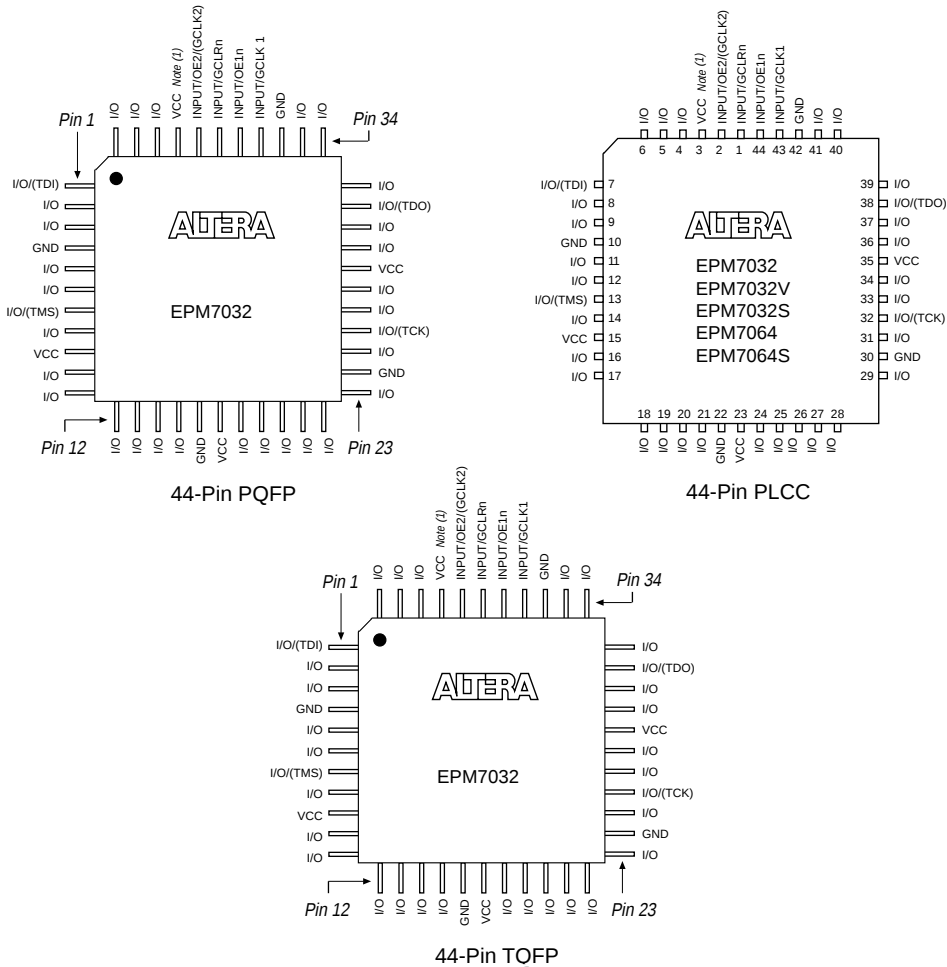
注：

- (1) このパッケージを使用する場合は、デザインを確定する前に十分な熱特性に関する解析を行って下さい。詳細については、1998年版データブックに掲載されている「*Operating Requirements for Altera Devices*」を参照して下さい。
- (2) このパッケージは、EPM7256Sには提供されません。
- (3) MAX 7000Sデバイスでは、このピンをJTAGポートまたはユーザI/Oピンのいずれかとして使用できます。デバイスがISPにJTAGポートを使用するようにコンフィギュレーションされる場合は、このピンをユーザI/Oとして使用することはできません。

図18から図24はMAX 7000デバイスに提供されている各パッケージのピンの位置を示したものです。実際のパッケージ寸法は、70ページからのパッケージ・アウトラインで確認して下さい。

図18 44ピン、PQFP/PLCC/TQFPパッケージのピン配置図

下記の図は実寸ではありません。カッコ内で示されているピン機能はMAX 7000Sデバイスにのみ有効です。

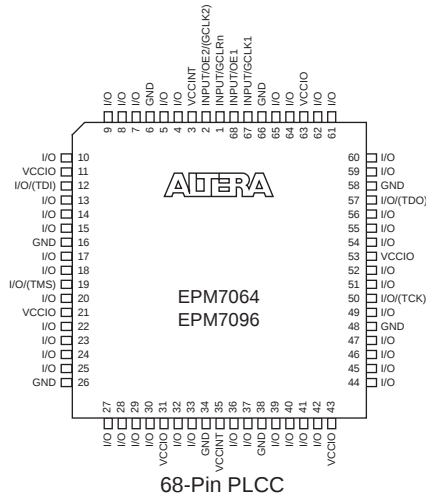


注：

(1) EPM7032Vでは、このピンがパワー・ダウン (PDn) ピンになります。

図19 68ピンPLCCパッケージのピン配置図

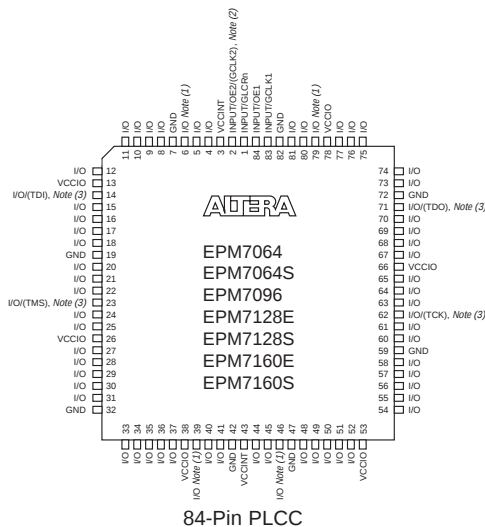
下記の図は実寸ではありません。カッコ内で示されているピン機能はMAX 7000Sデバイスにのみ有効です。



68-Pin PLCC

図20 84ピンPLCCパッケージのピン配置図

下記の図は実寸ではありません。カッコ内で示されているピン機能はMAX 7000Sデバイスにのみ有効です。



84-Pin PLCC

注：

- (1) EPM7096, EPM7160E, EPM7160Sでは、ピン-6、-39、-46、-79がN.C. (No Connection) ピンになります。
- (2) これらのピンはMAX 7000EとMAX 7000Sデバイスにのみ提供されています。
- (3) JTAGポートはMAX 7000Sデバイスにのみ提供されます。

図21 100ピンPQFP/TQFPパッケージのピン配置図

下記の図は実寸ではありません。

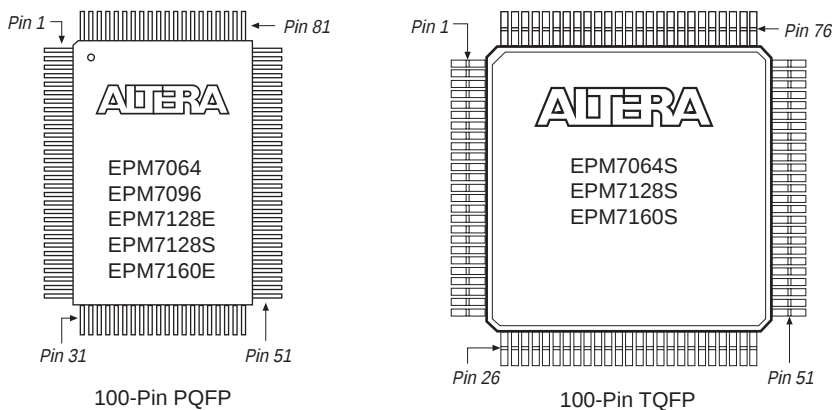


図22 160ピンPGA/PQFPパッケージのピン配置図

下記の図は実寸ではありません。

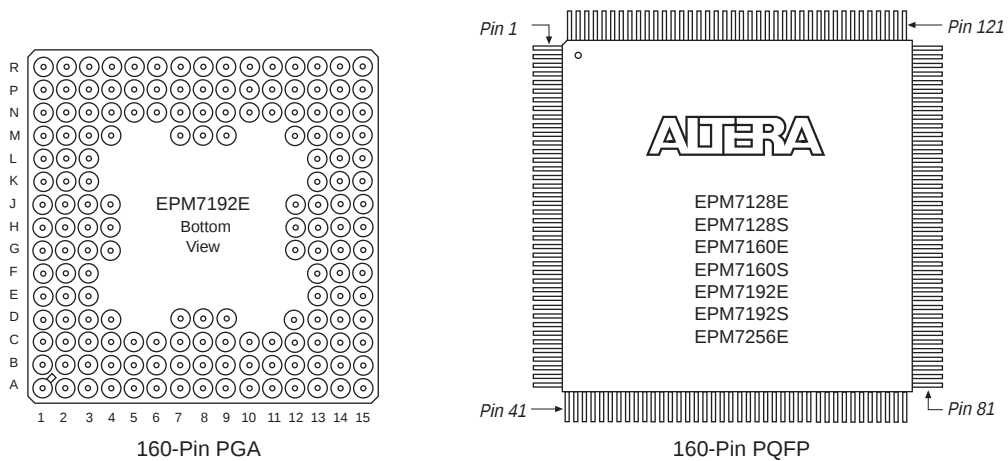


図23 192ピンPGAパッケージのピン配置図

下記の図は実寸ではありません。

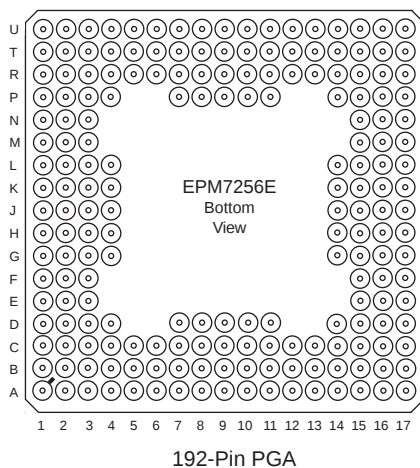
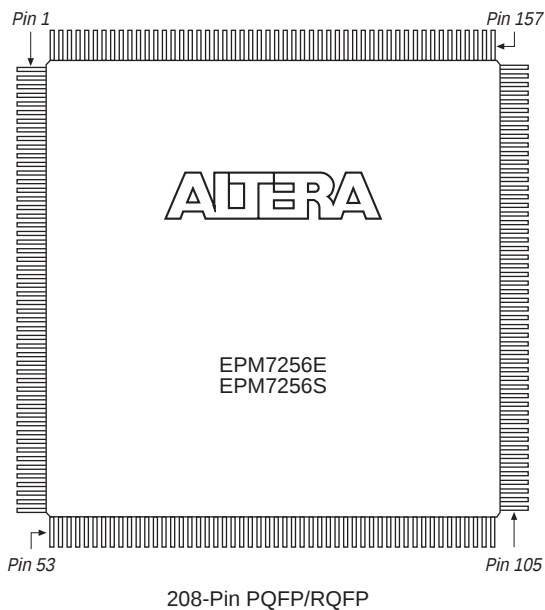


図24 208ピンPQFP/RQFPパッケージのピン配置図

下記の図は実寸ではありません。



パッケージ・ アウトライン

71ページ以降には各パッケージの寸法図が示されています。パッケージ寸法の表示方法は、下記のフォーマットとなっています。

$$\frac{\text{インチ最小 (ミリメートル最小)}}{\text{インチ最大 (ミリメートル最大)}} \quad \text{または} \quad \frac{\text{インチ標準} \pm \text{許容差}}{\text{(ミリメートル標準} \pm \text{許容差)}}$$

または

$$\frac{\text{インチ}}{\text{(ミリメートル)}} \text{ BSC, Min., Max., Ref., Typ., R, Dia., Sq.}$$

です。

表 22 パッケージ・アウトラインに使用される記号	
シンボル	説 明
BSC	Basic の略。理論値、または目標値
Min.	規定された最小値
Max.	規定された最大値
Ref.	参考値。参照のための値で、保証された値ではない。
Typ.	標準値。一般的な値として表示されているもので、保証された値ではない。
R	半径。曲線の寸法を表す値
Dia.	直径。曲線の寸法を表すための値
Sq.	長さ方向と幅方向のサイズが等しいパッケージの面積を表す。

図23 44ピン、プラスチック・Jリード・チップ・キャリア (PLCC) パッケージ寸法図

基準測定寸法はインチです。カッコ内の値はミリメートルの参考値です。表示フォーマットについては70ページの表で確認して下さい。

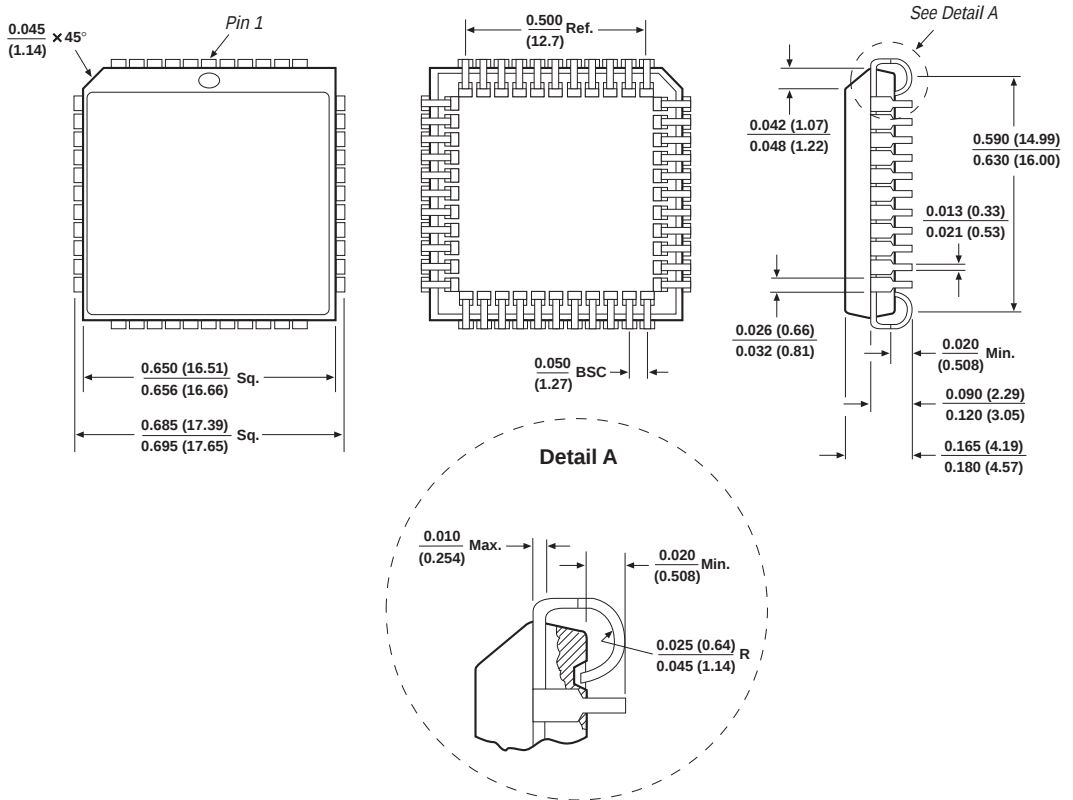


図24 44ピン、プラスチック・クワッド・フラット・パック (PQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては70ページの表で確認して下さい。

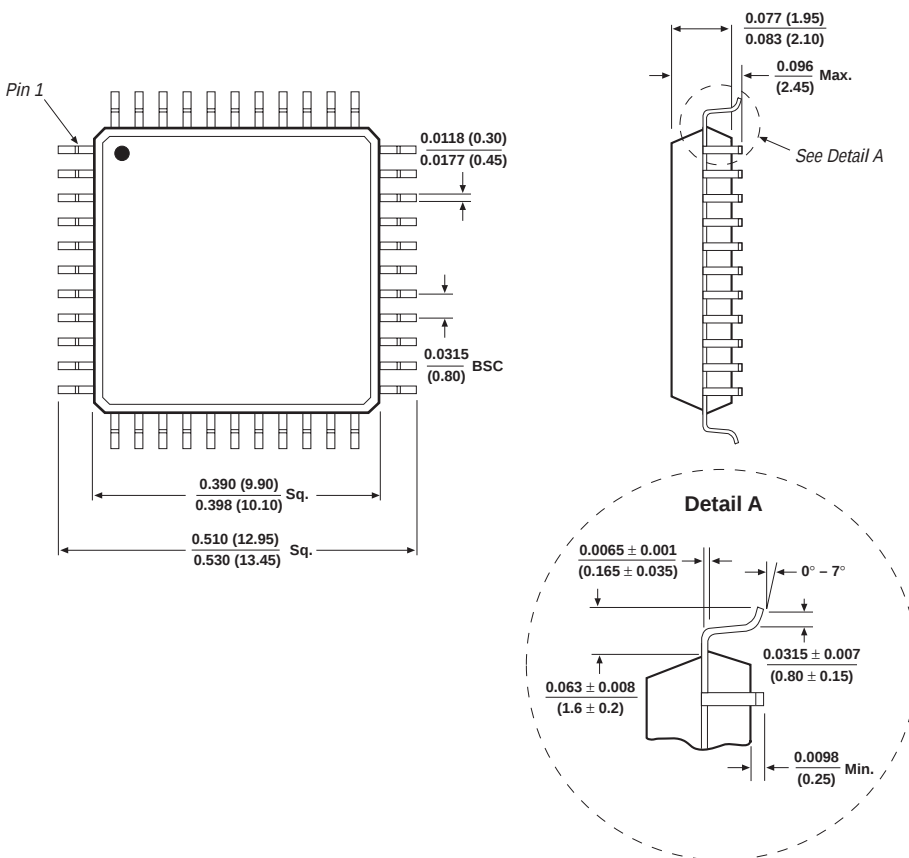


図25 44ピン、プラスチック薄型クワッド・フラット・バック (TQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては70ページの表で確認して下さい。

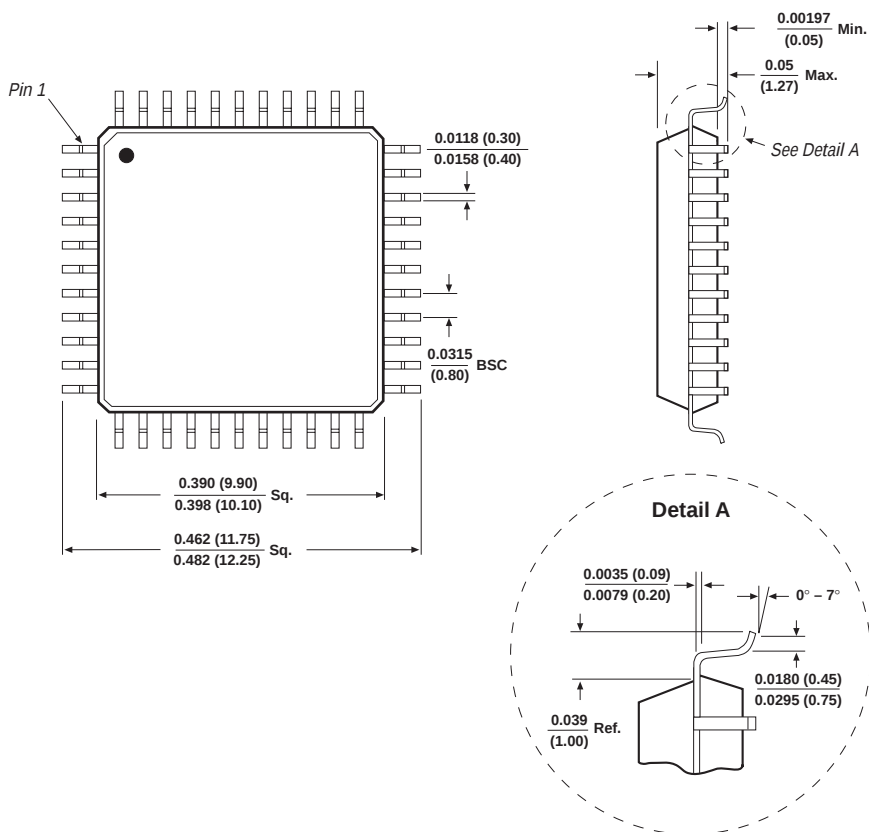


図26 68ピン、プラスチック・Jリード・チップ・キャリア (PLCC) パッケージ寸法図

基準測定寸法はインチです。カッコ内の値はミリメートルの参考値です。表示フォーマットについては70ページの表で確認して下さい。

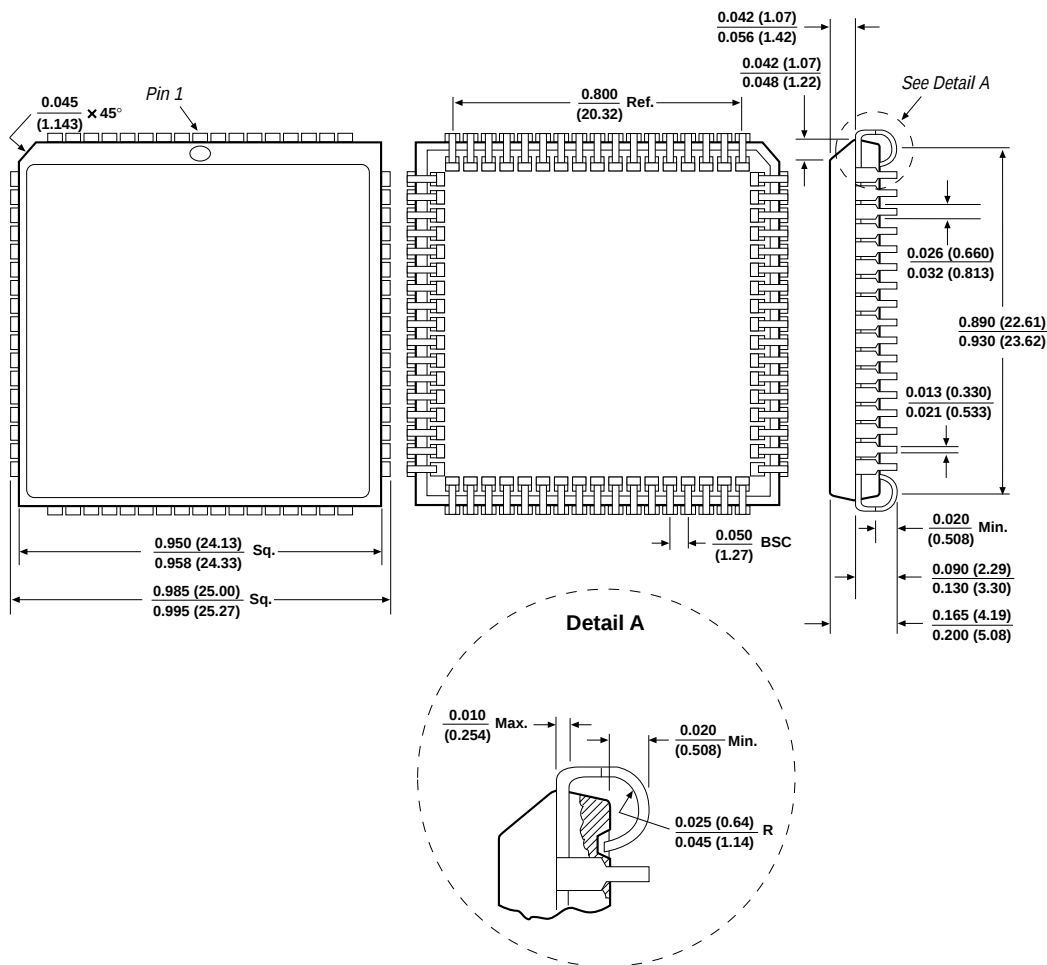


図27 84ピン、プラスチック・Jリード・チップ・キャリア (PLCC) パッケージ寸法図

基準測定寸法はインチです。カッコ内の値はミリメートルの参考値です。表示フォーマットについては70ページの表で確認して下さい。

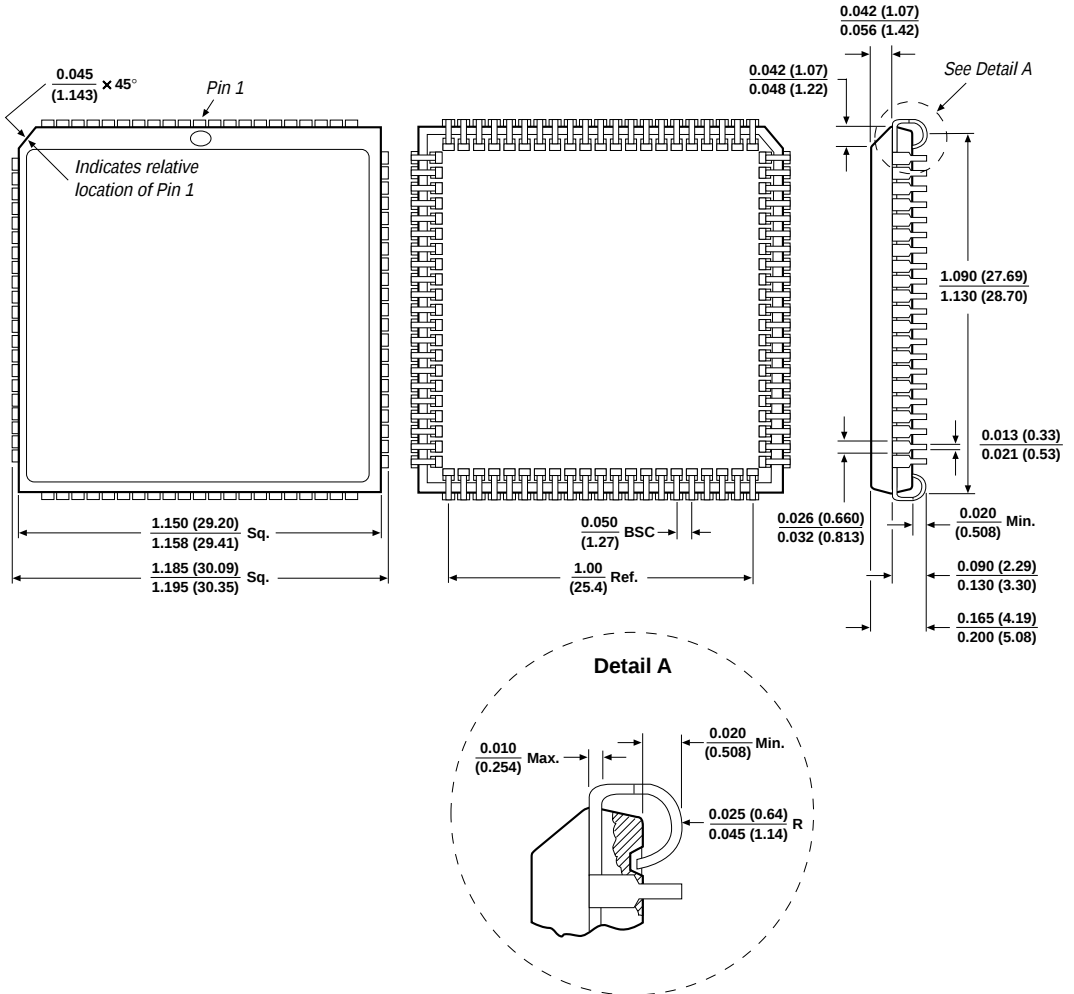


図28 100ピン、プラスチック・クワッド・フラット・パック (PQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては70ページの表で確認して下さい。

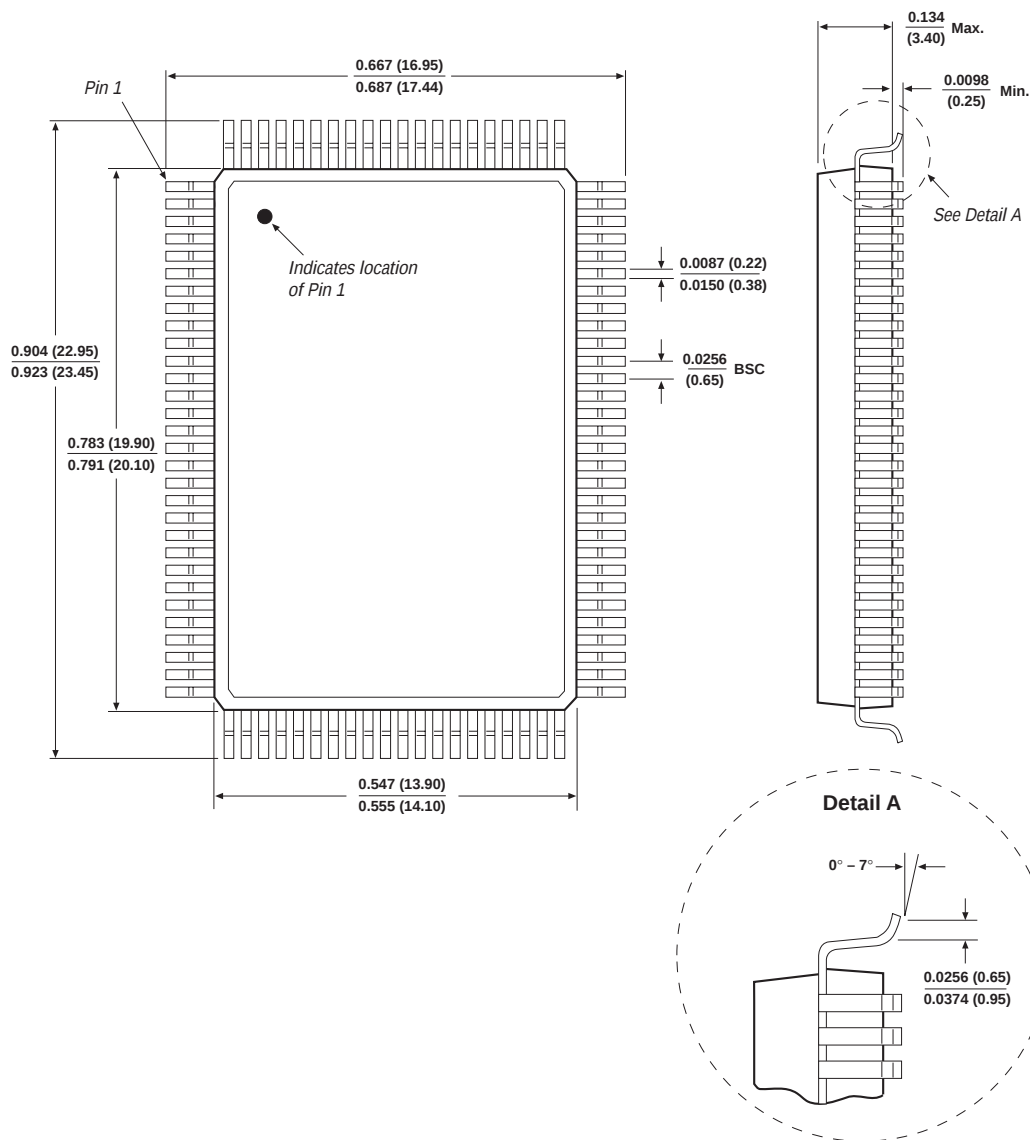


図29 100ピン、プラスチック薄型クワッド・フラット・パック (TQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては70ページの表で確認して下さい。

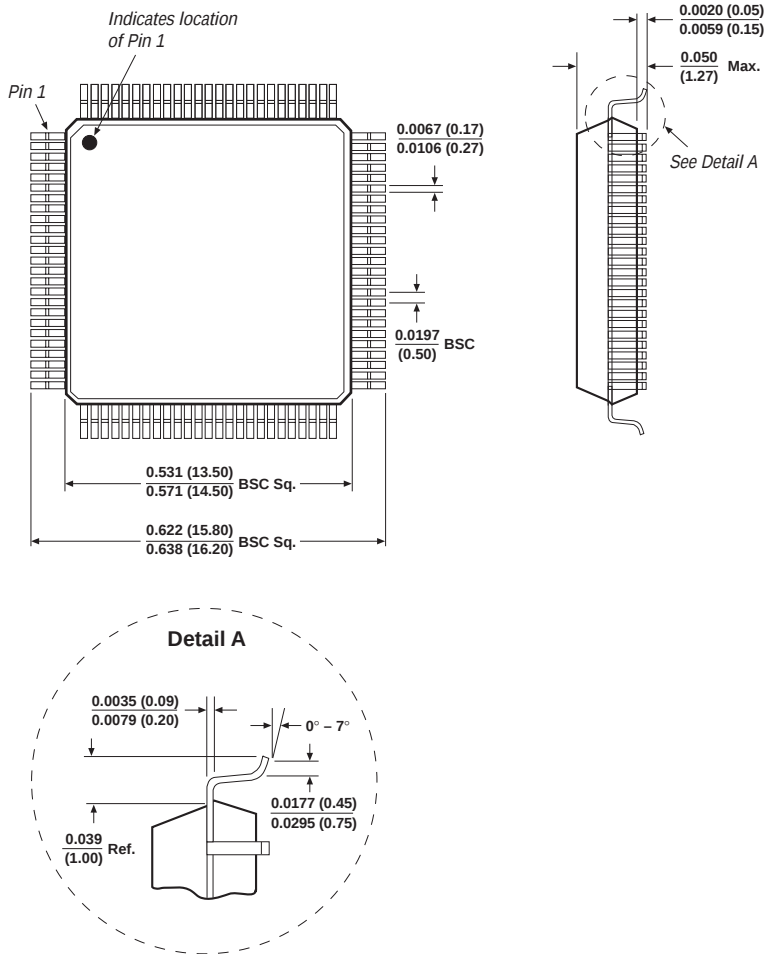


図30 160ピン、セラミック・ピン・グリッド・アレイ (PGA) パッケージ寸法図

基準測定寸法はインチです。カッコ内の値はミリメートルの参考値です。表示フォーマットについては70ページの表で確認して下さい。

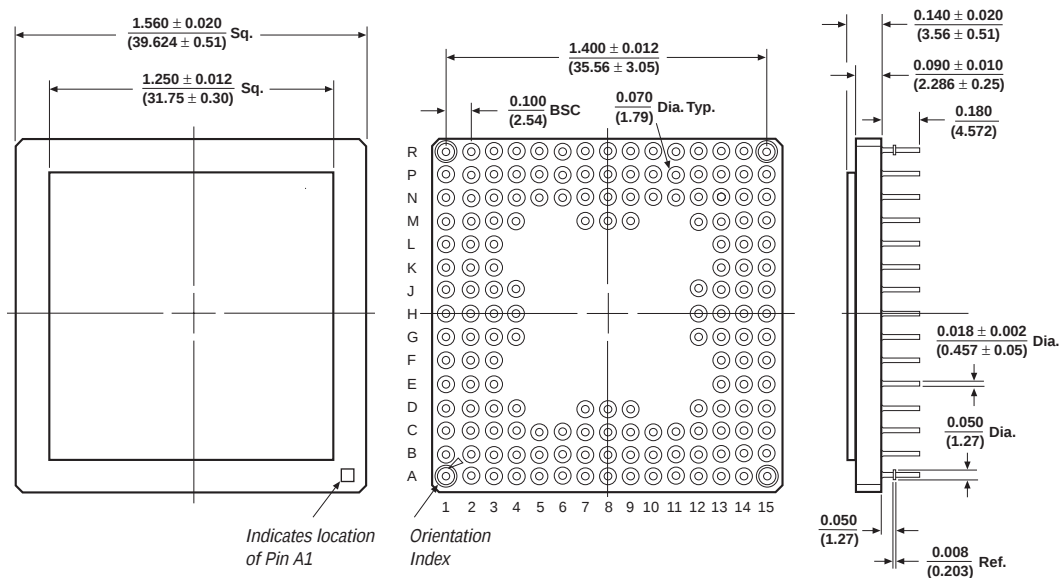


図31 160ピン、プラスチック・クワッド・フラット・パック (PQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては70ページの表で確認して下さい。

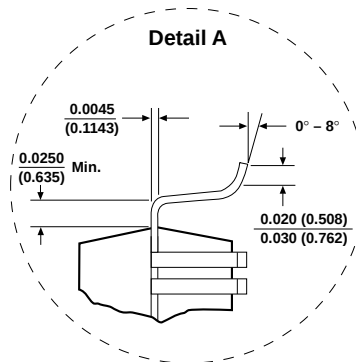
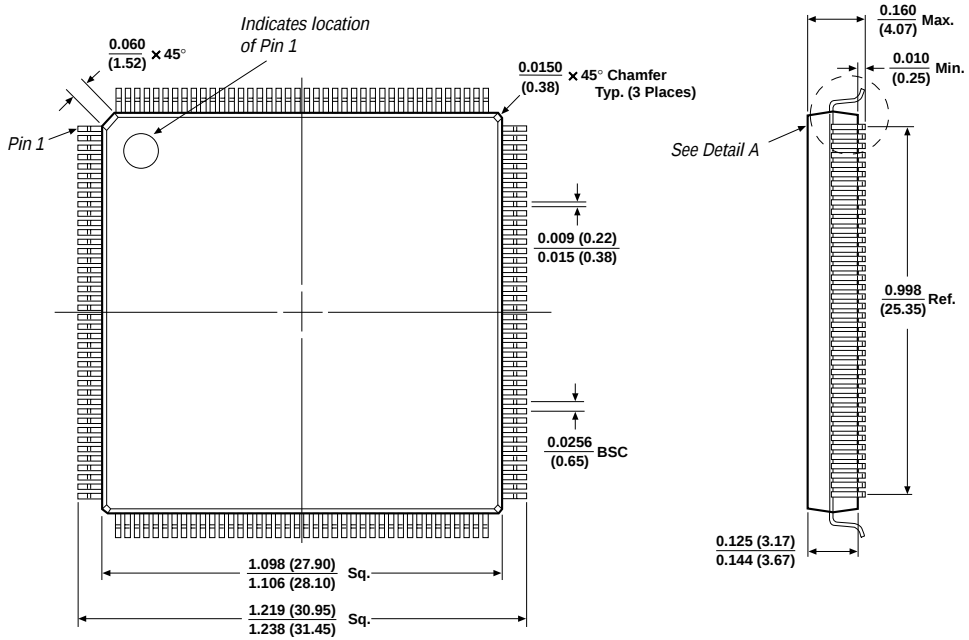


図32 192ピン、セラミック・ピン・グリッド・アレイ (PGA) パッケージ寸法図

基準測定寸法はインチです。カッコ内の値はミリメートルの参考値です。表示フォーマットについては70ページの表で確認して下さい。

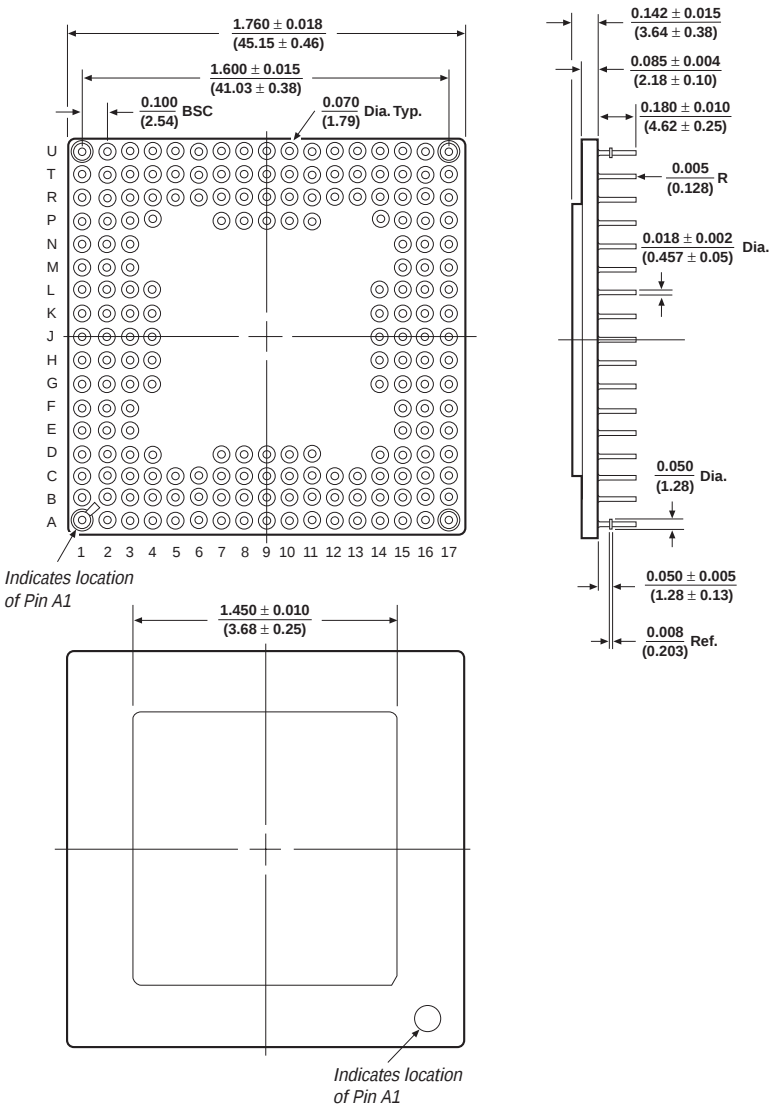


図33 208ピン、プラスチック・クワッド・フラット・パック (PQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては70ページの表で確認して下さい。

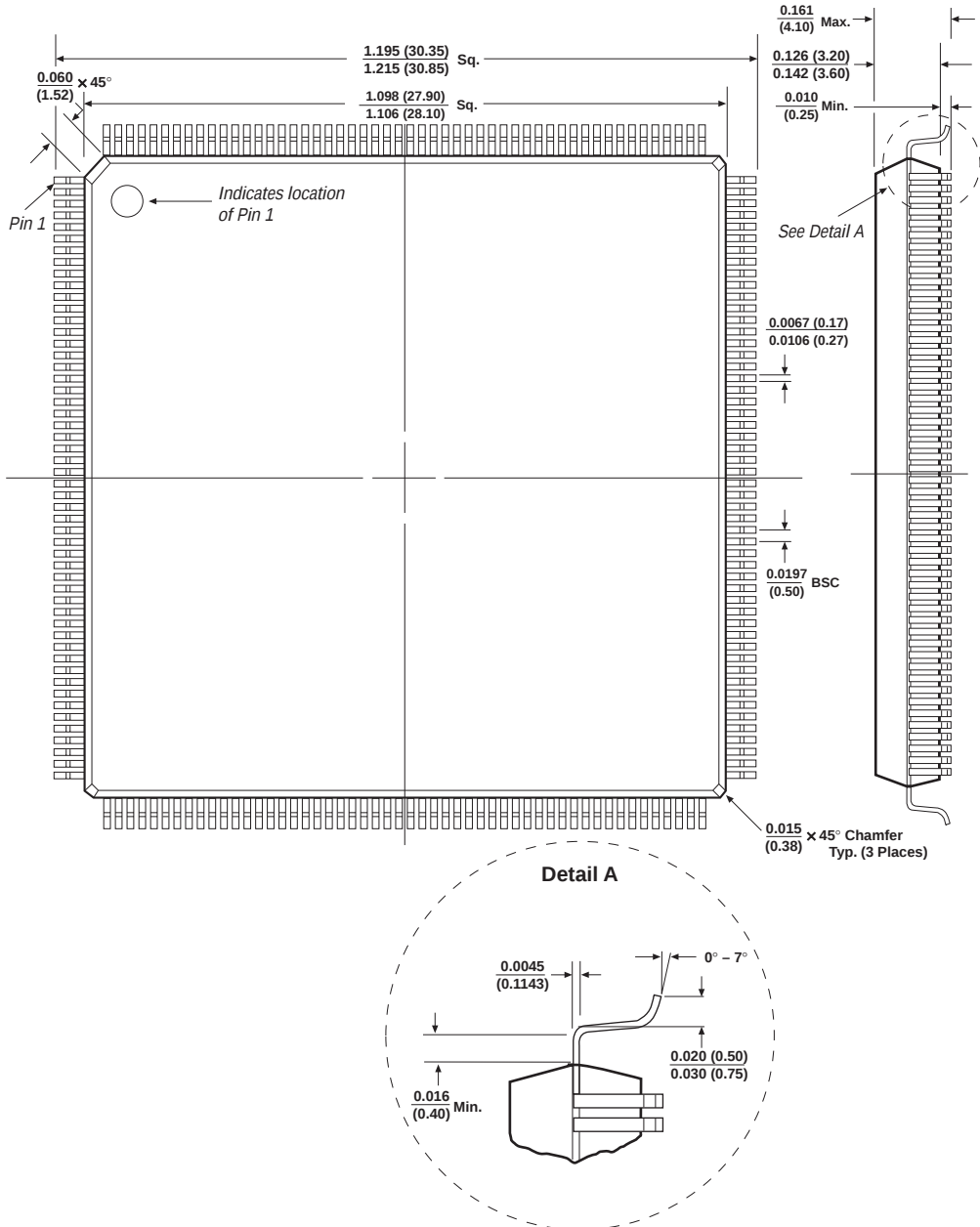
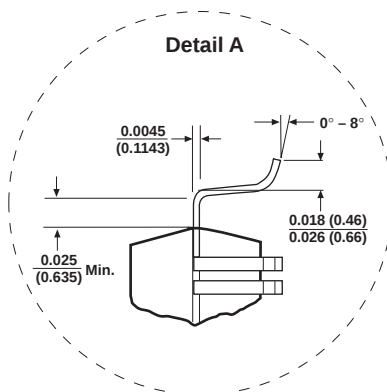
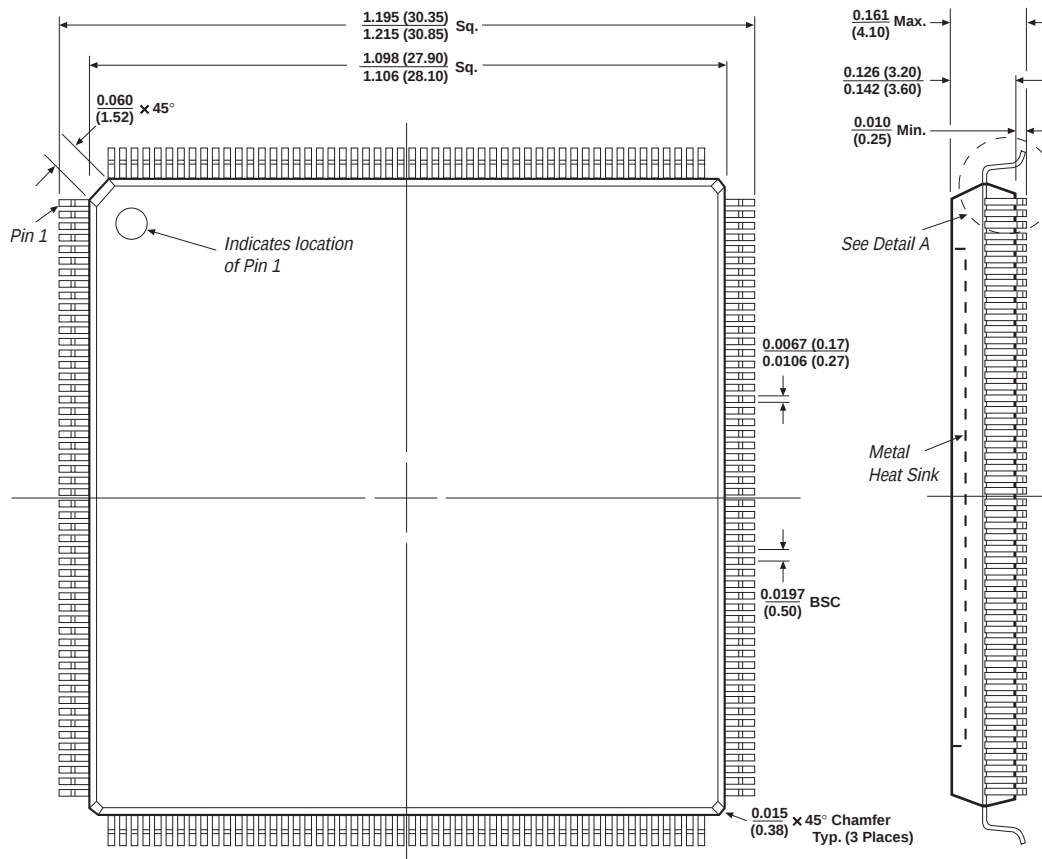


図34 208ピン、パワー・クワッド・フラット・バック (RQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては70ページの表で確認して下さい。メタル・ヒートシンク部が側面図で示されています。





〒163-0436
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 Altera Corporation

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料はアルテラが発行した英文の資料を日本語化したものです。アルテラが各デバイスに対して保証する仕様、規格は英文オリジナルの内容です。なお、本資料に記載された内容は予告なく変更される場合があります。最新の情報はアルテラのワールド・ワイド・ウェブ・サイト (<http://www.altera.com>) でご確認下さい。