

64 ビット PCI マスタ / ターゲット MegaCore ファンクション

Solution Brief 44

June 1999, ver.1

ターゲット・アプリケーション:
すべての PCI システム

ターゲット・デバイス・ファミリ:
APEX™ 20K、FLEX® 10K

オーダ・コード:
PLSM-PCI/C

ベンダ:



101 Innovation Drive
San Jose, CA 95134
<http://www.altera.com>
Tel. (408) 544-7000

特長

- 個別のペリフェラルの要求に応じたカスタマイズが可能な柔軟性に富んだ汎用の 64 ビット PCI (Peripheral Component Interconnect) インタフェース
- APEX 20K および FLEX 10KE デバイスにより、66MHz の PCI 仕様に準拠
- PCI Special Interest Group (PCI SIG) の *PCI Local Bus Specification Revision 2.2* の タイミングおよび機能仕様に完全準拠
- デザイン・サイクルを大幅に短縮
- 実績の高い Phoenix Technologies 社のテスト・ベンチで検証済み
- 下記のハードウェアとソフトウェアを使用してハードウェアをテスト済み (詳細は、*pci_c MegaCore Function User Guide* の Compliance Summary を参照)
 - HP E2928A PCI バス・アナライザ / エクセサイザ
 - HP E2920 Computer Verification Tools, PCI シリズ
 - アルテラの FLEX 10KE PCI 開発用ボード
- APEX 20K と FLEX 10KE のアーキテクチャに最適化
- リスク・フリーの OpenCore™ 評価機能により、購入前に Quartus™ および MAX+PLUS® II ソフトウェアによるデザインへのインスタンス化とシミュレーションをサポート
- PCI マスタの機能
 - PCI リード / ライト動作で無限ゼロ・ウェイト・ステート・サイクルをサポート (528M バイト / sec まで)
 - デュアル・アドレス・サイクル (DAC) による 64 ビットのアドレッシングが可能
 - 64 ビットおよび 32 ビットのトランザクションをサポート
 - 64 ビットのトランザクションをダイナミックに判定して、データを 64 ビットの ローカル・データ・バスに自動的にマルチプレクス
 - ホスト・ブリッジのアプリケーションに要求される機能を実現
- PCI ターゲットの機能
 - ゼロ・ウェイト・ステートによる PCI リード / ライト動作 (528M バイト / sec まで)
 - ケイバリティ・リスト・ポインタをサポート
 - メモリ・サイズとタイプの調整が可能な 6 個までのベース・アドレス・レジスタ (BAR)
 - 拡張 ROM BAR をサポート
 - アブノーマル・ターゲット・ターミネーション
 - 64 ビットのアドレッシングをサポート
 - 32 ビットまたは 64 ビットのトランザクションに自動的に応答
 - ローカル・サイドのインタラプト・リクエスト
- コンフィギュレーション・レジスタ
 - パラメータ化されているレジスタ: デバイス ID、ベンダ ID、クラス・コード、リビジョン ID、BAR0 から BAR5、サブシステム ID、サブシステム・ベンダ ID、最大レイテンシ、最小グラント、ケイバリティ・リスト・ポインタ、拡張 ROM BAR
 - パラメータ化されていないレジスタ: コマンド、ステータス、ヘッダ・タイプ、レイテンシ・タイム、キャッシュ・ライン・サイズ、インタラプト・ピン、インタラプト・ライン

概要

pci_c MegaCore™ ファンクション (オーダ・コード: PLSM-PCI/C) は、ハードウェアでテスト済みとなっている高性能 64 ビット PCI マスタ / ターゲット・インタフェースとなっており、このファンクションの実現には高い柔軟性が提供されています。この MegaCore ファンクションは複雑な PCI のプロトコルを処理し、内部で要求される厳しいタイミングを実現します。このため、設計者は付加価値を高めるカスタム機能の開発に注力できるようになり、市場参入までの期間、いわゆる「Time-to-Market」の期間が大幅に短縮されます。

PCI 仕様への完全な準拠を保証するため、このファンクションのハードウェアは HP 社の E2928A PCI バス・エクセサイザ / アナライザを使用してテストされています。HP 社の

E2928A PCIバス・エクスサイザ/アナライザは、多様なパラメータ設定によるトランザクションをランダムに実行させ、PCIバス上のランダムな特性をシミュレーションします。

アルテラのAPEX 20KおよびFLEX 10KEデバイスに最適化されているpci_cファンクションは、コンフィギュレーション・I/O、およびメモリの各トランザクションをサポートしています。APEXおよびFLEXデバイスが提供する高い集積度により、このPCIインタフェースを実現した後も、残されたリソースでローカル側のカスタム・ロジックなどを構成することができます。このpci_cファンクションは33MHzまたは66MHzのPCIバス・クロックで動作し、64ビット / 33MHzのPCIバス・システムでは264Mバイト / secのスループットを、64ビット / 66MHzのPCIバス・システムでは528Mバイト / secのスループットを達成します。

パラメータ化が実現されているこのpci_cファンクションには、インスタンス後でも変更が可能になっているコンフィギュレーション・レジスタ群が内蔵されています。これらの機能によって、高いスケーラビリティとアダプタビリティ、そしてシリコンの高い使用効率が実現されています。このため、同じMegaCoreファンクションを要求の異なる複数のPCIプロジェクトに使用することができます。例えば、このpci_cファンクションは、複数のローカル・サイド・デバイスに対応した6個までのベース・アドレス・レジスタ (BAR) を内蔵しています。アプリケーションによっては、ひとつの連続したメモリ領域のみを必要とすることがあります。このような場合は、インスタンス化するBARを1個のみにする選択を行い、使用されるロジック・エレメントの数を減少させることができます。パラメータの値が定義されると、QuartusまたはMAX+PLUS IIソフトウェアがデザインを自動的にまた効率的に変更して、ロジックを実現します。2Gバイト以上のメモリ領域を必要とするハイ・エンド・システムに対して、pci_cファンクションは64ビットのBARをサポートしています。また、このpci_cファンクションはDACを使用した64ビットのアドレッシングを開始することができます。

このソリューション・ブリーフは、最新のPCIユーザ・ガイドと併せて利用してください。また、このpci_cファンクションの使用にあたっては、事前にPCIの標準仕様を理解しておく必要があります。図1は、pci_cファンクションをブロック図で示したものです。

図1 pci_c ファンクションの機能ブロック図

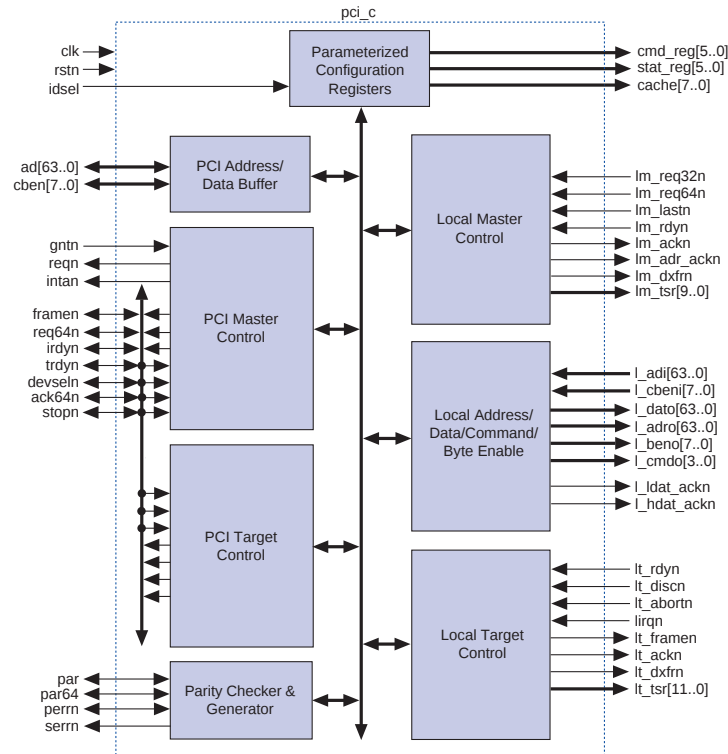


表 1 は、pci_c MegaCore ファンクションが開始、または応答できるコマンドを示したものです。

表 1 サポートされる PCI バス・コマンド			
cben [3..0]の値	バス・コマンド・サイクル	マスタ	ターゲット
0000	インタラプト・アクノレッジ	無視	無視
0001	スペシャル・サイクル	無視	無視
0010	I/O リード	サポート	サポート
0011	I/O ライト	サポート	サポート
0100	予約	無視	無視
0101	予約	無視	無視
0110	メモリ・リード	サポート	サポート
0111	メモリ・ライト	サポート	サポート
1000	予約	無視	無視
1001	予約	無視	無視
1010	コンフィギュレーション・リード	サポート	サポート
1011	コンフィギュレーション・ライト	サポート	サポート
1100	メモリ・リード・マルチプル(1)	サポート	サポート
1101	デュアル・アドレス・サイクル	サポート	サポート
1110	メモリ・リード・ライン(1)	サポート	サポート
1111	メモリ・ライト・アンド・インバリデイト(1)	サポート	サポート

注：

- (1) メモリ・リード・マルチプルとメモリ・リード・ラインのコマンドは、メモリ・リードとして扱われます。また、メモリ・ライト・アンド・インバリデイトのコマンドは、メモリ・ライトとして扱われます。ローカル側は、1_cben[3..0] バス上の値に対して表 1 に対応したデコードを行い、正確なコマンドを認識します。

コンフィギュレーション・レジスタ

表 2 は、定義されている64バイトのコンフィギュレーション・スペースを示したものです。この領域内のレジスタは、デバイスの定義、PCIバス・ファンクションのコントロール、PCIバス・ステータスの表示を行うときに使用されます。灰色で塗られている領域は、この pci_c ファンクションでサポートされているレジスタであることを示しています。

表2 PCIバスのコンフィギュレーション・レジスタ				
アドレス	バイト			
	3	2	1	0
00H	デバイス ID		ベンダ ID	
04H	ステータス・レジスタ		コマンド・レジスタ	
08H	クラス・コード			リビジョン ID
0CH	BIST	ヘッダ・タイプ	レイテンシ・タイム	キャッシュ・ライン・サイズ
10H	ベース・アドレス・レジスタ 0			
14H	ベース・アドレス・レジスタ 1			
18H	ベース・アドレス・レジスタ 2			
1CH	ベース・アドレス・レジスタ 3			
20H	ベース・アドレス・レジスタ 4			
24H	ベース・アドレス・レジスタ 5			
28H	カード・バス CIS ポインタ			
2CH	サブシステム ID		サブシステム・ベンダ ID	
30H	拡張 ROM ベース・アドレス・レジスタ			
34H	予 約			ケイパビリティ・ポインタ
38H	予 約			
3CH	最大レイテンシ	最小グラント	インタラプト・ピン	インタラプト・ライン



日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
 新宿三井ビル私書箱 261 号
 TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan>
 E-mail: japan@altera.com